

MÓDULO INTEGRADO DE CONTROLE DE UM MARCAPASSO CARDÍACO DE DEMANDA EXTERNO

† *Diego Caldas Salengue*, † *Cesar Augusto Prior*, ‡ *João Baptista dos Santos Martins*
‡ *César Ramos Rodrigues*
[diegoacs, caprior]@mail.ufsm.br, batista@inf.ufsm.br, cesar@ct.ufsm.br

Universidade Federal de Santa Maria
Programa de Pós Graduação em Engenharia Elétrica
Departamento de Eletrônica e Computação
Grupo de Microeletrônica

ABSTRACT

This paper describes a new design of digital control for cardiac pacemaker. The design implements all the function necessary to the digital control through the development in hardware description language (VHDL). The pacemaker control behavior was tested through logic simulations achieved in the Mentor Graphics tool ModelSim. After the validation of the circuit by simulation, it was synthetized in a FPGA (Xilinx XC2S200) validating the working of the proposed logic.

RESUMO

Este artigo descreve um novo projeto de controle digital para marca-passo cardíaco externo. O projeto implementa todas as funções necessárias ao controle digital através do desenvolvimento em linguagem de descrição de hardware (VHDL). O comportamento do controle do marca-passo foi testado através de simulações lógicas realizadas na ferramenta ModelSim da Mentor Graphics. Depois do circuito ter sido validado pela simulação, o mesmo foi sintetizado em um FPGA (Xilinx XC2S200) validando o funcionamento da lógica proposta.

MÓDULO INTEGRADO DE CONTROLE DE UM MARCAPASSO CARDÍACO DE DEMANDA EXTERNO

† Diego Caldas Salengue, † Cesar Augusto Prior, ‡ João Baptista dos Santos Martins
‡ César Ramos Rodrigues

[diegocs, caprior]@mail.ufsm.br, batista@inf.ufsm.br, cesar@ct.ufsm.br

Universidade Federal de Santa Maria
Programa de Pós Graduação em Engenharia Elétrica
Grupo de Microeletrônica

RESUMO

Este artigo descreve um novo projeto de controle digital para marca-passo cardíaco. O projeto implementa todas as funções necessárias ao controle digital através de desenvolvimento em linguagem de descrição de hardware (VHDL). O comportamento do controle do marca-passo foi testado através de simulações lógicas realizadas na ferramenta ModelSim da Mentor Graphics. Depois do circuito ter sido validado pela simulação, o mesmo foi sintetizado em um FPGA (Xilinx XC2S200) comprovando o correto funcionamento da lógica proposta.

1. INTRODUÇÃO

O marca-passo cardíaco é um dos principais dispositivos biomédicos implantáveis em seres humanos. A função básica de um marca-passo cardíaco é monitorar a frequência e intensidade dos sinais cardíacos do paciente, atuando quando necessário, através de estímulos elétricos, para manter a intensidade do pulso e a frequência do coração limitada a um valor mínimo.

Existem nos dias de hoje, diversos tipos de marca-passos cardíacos [1], desde simples estimuladores assíncronos temporários até sofisticados dispositivos capazes de gerenciar recursos como [2,3]:

- Sensoriamento da atividade cardíaca, através de sensores, amplificadores e filtros analógicos;
- Ritmo adaptativo, através do monitoramento e realimentação de sinais que indicam o nível de atividade física;
- Tele-programação, através de interfaces externas que se comunicam com um sistema de controle;
- Baixo consumo [4], através de circuitos que utilizam modernas técnicas de projeto e novas tecnologias.

Todos estes avanços devem-se em grande parte às técnicas de micro-fabricação, projeto do circuito integrado e processos envolvidos na área de microeletrônica.

Um marca-passo é constituído de módulos integrados analógicos e módulos digitais. Os módulos

analógicos são responsáveis pela aquisição, amplificação e condicionamento dos sinais.

O circuito que gerencia as funções do marca-passo é chamado de circuito de controle e consiste em um sistema digital capaz de reconhecer a atividade cardíaca, analisá-la e fazer o seu monitoramento.

Neste trabalho é apresentada uma proposta de controle digital para um marca-passo cardíaco de demanda externo capaz de:

- monitorar a presença de estímulo natural do coração, advindo de um condicionador de entrada através de um pulso digital;

- ajustar o intervalo de tempo de observação e estimulação, ou adaptativamente ao ritmo do paciente através de uma entrada digital de 6 bits, ligada a um sensor de atividade física, ou fixando um valor adequado ao paciente através de programação ;

- programar o nível de sensibilidade através de uma saída digital de 6 bits (para circuito conversor D/A em uma etapa comparadora de entrada), podendo este na ausência de sensibilidade tornar o funcionamento do marca-passo assíncrono, ou em outras palavras, funcionando como estimulador permanente numa determinada frequência programada;

- controlar o nível de estimulação necessário através de uma saída digital de 6 bits para um conversor D/A;

- fornecer sinal de controle para o chaveamento do sensor/atuador.

Está organizado da seguinte maneira, na seção 2 são apresentadas algumas definições de termos usados neste artigo. Na seção 3 é apresentada uma descrição do funcionamento e um diagrama de blocos representando uma entidade para descrição do circuito de controle em VHDL. Na seção 4, são apresentados resultados de simulações utilizando ferramentas de síntese da Mentor Graphics. Na seção 5 é apresentado o resultado da implementação em um FPGA (Xilinx XC2S200). E por fim na seção 6 são apresentados conclusões e resultados finais.

2. DEFINIÇÕES

- *Nível de sensibilidade*: sensibilidade do circuito ao nível de tensão dos sinais espontâneos do coração. É a tensão de

†- Estudante de mestrado PPGEE / UFSM - Pesquisador bolsista pela CAPES

‡ - Professor DELC / PPGEE / UFSM

referência comparada a tensão de estímulo natural.

- *Nível de estímulo*: é a quantidade de energia elétrica liberada pelo pulso do marca-passo para estimular o coração.
- *BPM*: batimentos cardíacos por minuto.
- *Período refratário*: é o intervalo de tempo após um evento sentido ou estimulado em que o marca-passo torna-se insensível a qualquer atividade intrínseca do coração ou pelo estímulo do próprio marca-passo [1].
- *Período de alerta*: Intervalo de tempo no qual o circuito de detecção torna-se ativo. Esse intervalo varia de acordo com a frequência de estimulação programada [1].
- *Circuito de chaveamento do eletrodo*: Circuito responsável por inverter o sentido do eletrodo. Transforma-lo em atuador quando um estímulo cardíaco artificial for necessário ou em sensor durante o período de alerta.

3. DESCRIÇÃO DO CONTROLE DIGITAL

O controle digital do marca-passo é responsável por fornecer uma base de tempo variável dentro da qual pulsos naturais deveriam ocorrer, definir um tempo de período refratário no qual o sensor de entrada é desligado, controlar o nível de sensibilidade a pulsos naturais através de uma saída digital de 6 bits ligada a um conversor D/A, variar o nível de tensão dos estímulos artificiais também através de uma saída digital de 6 bits ligada a outro conversor D/A. É responsável também por um sinal que habilita a aplicação do estímulo artificial e através de uma entrada digital ligada a um conversor A/D [5] pode variar automaticamente o ritmo cardíaco (no caso variar a base de tempo). A fig. 1 demonstra as ligações do controle digital com a entrada analógica do circuito.

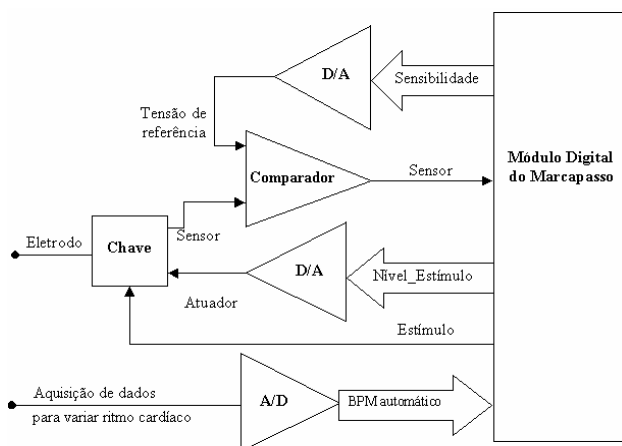


Figura 1 – Ligações da parte digital com a parte analógica

Além dessas ligações com a entrada analógica, o controle digital também deverá possuir uma entrada que indicará se o marca-passo irá variar o ritmo cardíaco automaticamente, uma entrada que será responsável por

definir o sinal que será variado (bpm, sensibilidade ou nível de estímulo) e ao mesmo tempo definir a informação que irá aparecer no display e duas entradas responsáveis por variar para cima ou para baixo este sinal. A fig. 2 mostra a entidade VHDL que implementa o marca-passo com seus sinais de entrada e saída.

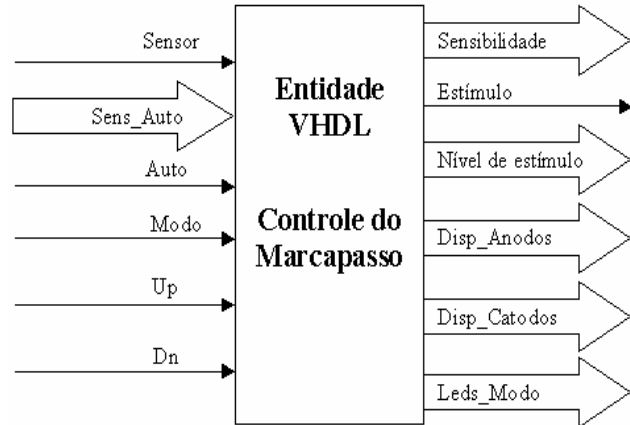


Figura 2 – Entidade VHDL que implementa o marcapasso

O marca-passo pode ser de demanda [2, 3], atua apenas quando não houver um pulso cardíaco natural em um certo intervalo de tempo, ou assíncrono, atua sempre em intervalos regulares não importando se houver algum pulso natural. O que irá definir este comportamento será o nível de sensibilidade a pulsos naturais, quando estiver no máximo estes serão sempre menores que a sensibilidade e, portanto, o marca-passo irá se comportar de forma assíncrona.

Quando estiver funcionando como marca-passo de demanda, a base de tempo poderá ser variada através de botões (*up* e *dn*) ou automaticamente (quando o sinal *auto* da fig.2 estiver em nível alto) pelo valor de um conversor A/D ligado a um sensor que irá determinar o nível de atividade física (sinal *sens_auto* na fig. 2). O estímulo será dado quando a base de tempo se esgotar e não houver ocorrido um pulso natural. Sempre que um estímulo for dado ou um pulso natural for sentido o marca-passo entrará no período refratário, no qual o sensor será desabilitado. Após este período será o período de alerta onde o marca-passo deverá esperar por estímulos naturais. Se um pulso natural for sentido no período de alerta o contador da base de tempo é zerado abrindo nova contagem e outro período refratário se iniciará.

O nível de tensão que será aplicado ao coração também poderá ser variado através de um conversor D/A ligado ao circuito de chaveamento do eletrodo [1], controlado pelo sinal *estímulo* como visto na fig. 1. O nível de estímulo deverá manter-se zero até que um estímulo seja necessário. Um atraso entre o sinal de estímulo e a aplicação do estímulo é necessário para se ter certeza que o eletrodo foi chaveado antes de passar a funcionar como atuador, para não haver interferência ao sensor.

Resumindo, a parte digital do marca-passo é responsável por definir o período refratário, definir e

variar a base de tempo, variar a sensibilidade, variar o nível de estímulo, definir se a base de tempo será modificada automaticamente e mostrar estas informações em um display e leds de indicação que indicam se a variação da base de tempo esta sendo feita de forma automática, se a informação que esta sendo vista no display, e conseqüentemente a informação que poderá ser variada, é a base de tempo, sensibilidade ou nível de estímulo.

A fig. 3 representa um diagrama de fluxo de dados e detalha a implementação interna da entidade VHDL. Os círculos representam processos, retângulos representam sinais de comunicação entre processos e as duas barras representam eventos externos, ou seja, as entradas e saídas da entidade VHDL.

Um processo denominado *sincronismo* é

responsável por sentir o primeiro pulso do sensor e colocar nível alto em um sinal *sinc* que serve para sincronizar o processo de contagem da base de tempo com os batimentos cardíacos naturais.

O processo *divide* implementa os contadores de base de tempo e período refratário. É responsável por definir que pulsos do sensor sentidos dentro do período refratário não serão considerados, zerar o contador de base de tempo e iniciar outro período refratário quando um pulso natural for sentido dentro da base de tempo e também levantar o sinal *estimulo* quando o contador da base de tempo chegar até o fim e nenhum pulso natural for sentido.

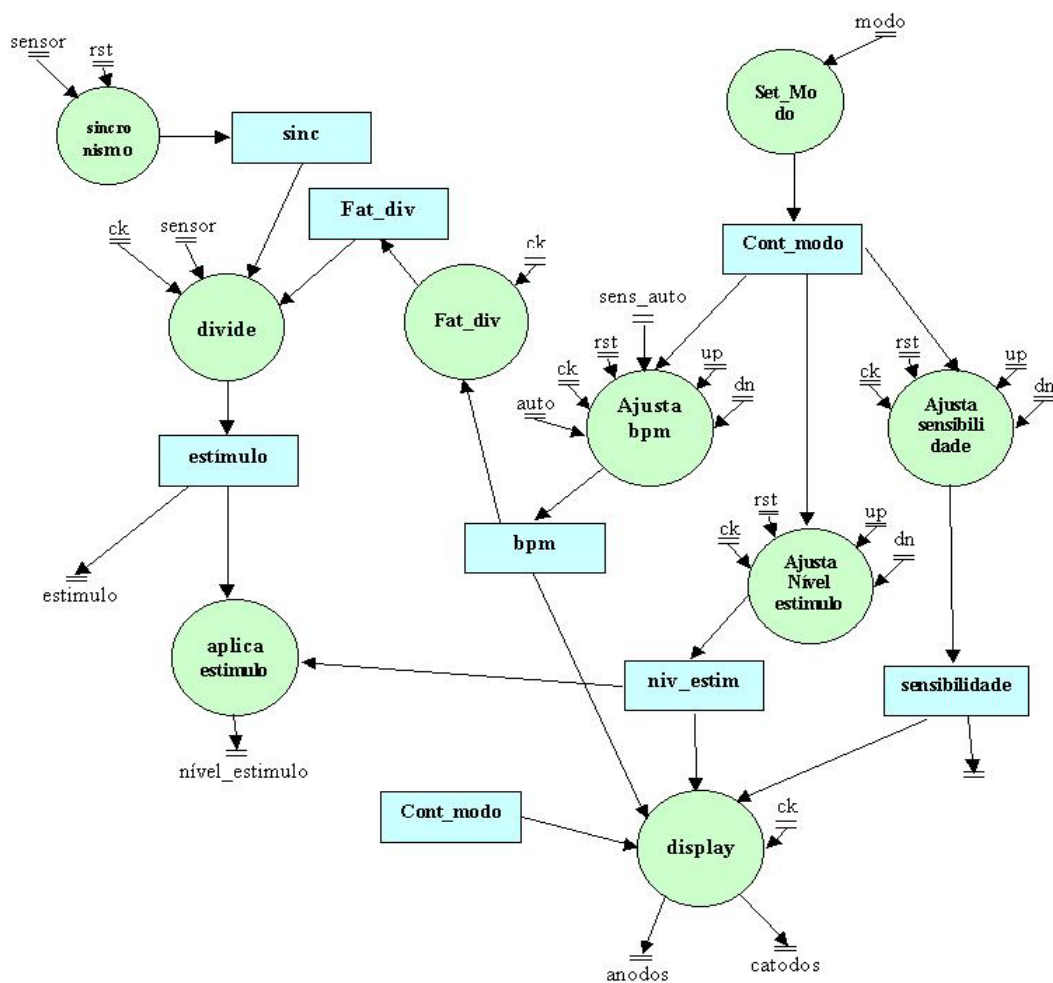


Figura 3 – DFD que detalha a entidade VHDL

O processo *aplica estimulo* armazena o valor do nível de estímulo que deverá ser aplicado e o transfere por um certo período de tempo [1] (cerca de 2 ms) para a saída *nível estimulo* depois do sinal *estimulo* ficar em nível alto. Se nenhum estímulo precisa ser aplicado, mantém a saída *nível estimulo* com valor zero.

O processo *modo* é responsável por

incrementar um contador (*cont modo*) na borda de subida da entrada *modo*. Este contador irá definir qual valor poderá ser modificado (base de tempo, sensibilidade ou nível de estímulo) e qual valor será mostrado no display.

Os processos *ajusta bpm*, *ajusta nivel estimulo* e *ajusta sensibilidade* são responsáveis por variar a base

de tempo, sensibilidade e nível de estímulo dependendo do valor do sinal *cont modo*.

O processo *fat_div* implementa uma tabela (implementada como uma memória ROM) dos valores de base de tempo dependendo do valor de *bpm* desejado e da frequência de clock de entrada do circuito.

E, finalmente, o processo *display* faz a decodificação para BCD 7 segmentos do sinal de *bpm*, sensibilidade ou nível de estímulo (depende do valor de *cont modo*) e transfere este valor para um display.

4. RESULTADOS DAS SIMULAÇÕES

A descrição VHDL do marca-passo foi validada através da compilação do código e simulações que são apresentadas nesta seção.

A fig. 4 demonstra a situação de nunca haver pulso natural no sensor (marca-passo trabalhando de forma assíncrona). Esta simulação foi feita em uma base de tempo de 60 bpm (em binário 0111100), ou seja, o contador da base de tempo (*fat_div*) deve ter 1024 pulsos (1000000000 em binário) em uma frequência de clock de entrada de 1024 Hz antes de um estímulo cardíaco ser aplicado. Como a simulação mostra, nunca há pulsos no sensor e os pulsos de estímulo acontecem a cada segundo. Também pode se perceber que quando há um pulso de estímulo a saída *nível_estimulo* fica com o mesmo valor de *sg_niv_estim*.

A fig. 5 é um zoom da fig. 4 no qual percebe-se que estímulo artificial só é efetivamente aplicado quando um pulso de estímulo ocorre, caso contrário o nível de estímulo fica com valor zero.

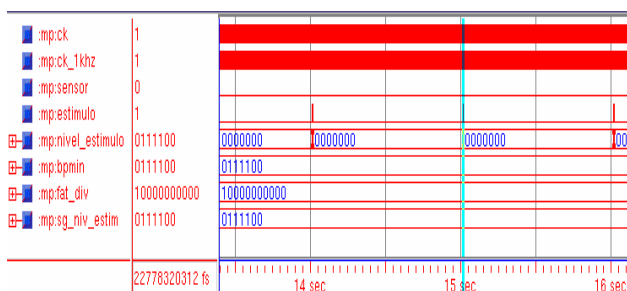


Figura 4 – Simulação no ModelSim do marcapasso trabalhando assincronamente em uma frequência cardíaca de 60 bpm

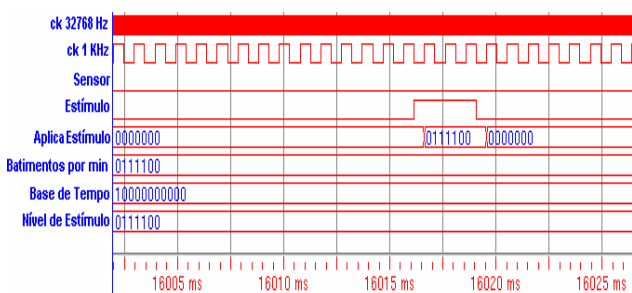


Figura 5 – Zoom da fig. 4

Na fig. 6 temos a simulação da situação em que um pulso do sensor ocorre dentro e fora do período refratário. Como pode ser visto na figura, um pulso do sensor ocorreu instantes depois de ter ocorrido um pulso de estímulo. Esta situação pode ser mais bem visualizada na fig. 7. Pode-se ver também que após algum tempo ocorre outro pulso do sensor, este fora do período refratário, situação melhor vista na fig. 8. Depois da ocorrência desse segundo pulso do sensor nenhum pulso é sentido e o marca-passo é re-sincronizado a partir deste último sinal do sensor.

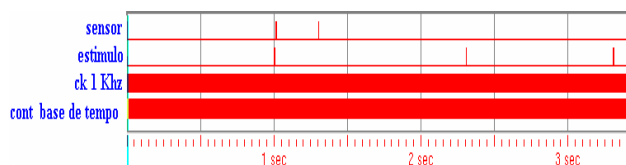


Figura 6 – Pulso do sensor ocorrendo dentro e fora do período refratário

A fig. 7 é um zoom da fig. 6 para demonstrar o período refratário, no qual o marca-passo é imune a pulsos do sensor. Como pode ser visto na figura, após um pulso de estímulo acontecer, o contador da base de tempo é zerado e o pulso de sensor, ocorrido cerca de 10 ms após o estímulo, é ignorado (fora do período refratário este pulso também zeraria o contador). Este período refratário é o tempo necessário para o coração ficar apto a receber outro pulso natural ou estímulo artificial. Durante este período o sensor poderá captar algum ruído que seria interpretado como um pulso natural. Por este motivo, durante este tempo a entrada do sensor deverá ser ignorada.

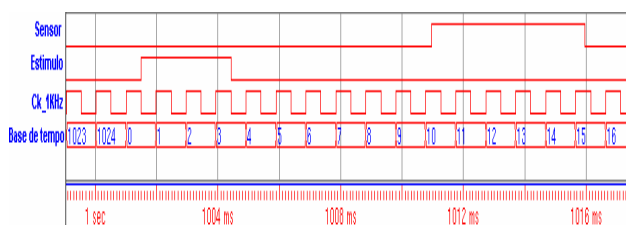


Figura 7 – Zoom da fig. 6 para demonstrar o período refratário

A fig. 8, também uma ampliação da fig. 6, ilustra a situação de ocorrer um pulso natural dentro da base de tempo e fora do período refratário (depois de 300 ms). Neste caso, o contador é zerado e inicia-se um novo período refratário e uma nova base de tempo, desta forma o marca-passo é re-sincronizado com o batimento cardíaco natural.

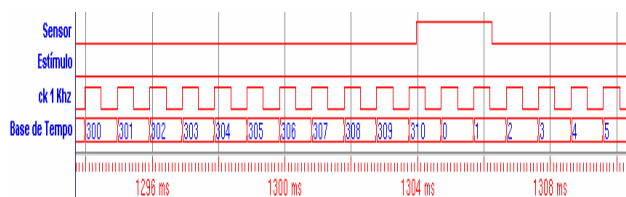


Figura 8 – Zoom na simulação da fig. 6, o qual mostra um pulso natural ocorrido dentro da base de tempo e fora do período refratário

5. IMPLEMENTAÇÃO EM FPGA

Após terem sido realizados testes através de simulações, o circuito do controle digital do marca-passo foi implementado dentro de um FPGA Xilinx XC2S200 para verificação de seu comportamento na prática.

A fig. 9 é um sumário da lógica implementada dentro do FPGA através ferramenta de síntese da Xilinx. A fig.10 é um sumário do place and route, mostra que a descrição do controle do marca-passo ocupa 16% dos slices (bloco lógico dentro do FPGA) disponíveis no FPGA (cada CLB possui 2 slices).

```
Summary:
  inferred   1 ROM(s) .
  inferred   7 Counter(s) .
  inferred 137 D-type flip-flop(s) .
  inferred   1 Latch(s) .
  inferred  18 Adder/Subtractor(s) .
  inferred  13 Comparator(s) .
  inferred  45 Multiplexer(s) .
Unit <mp> synthesized.
```

Figura 9 – Sumário dos dispositivos lógicos programados dentro do FPGA para implementar o marca-passo

Device utilization summary:

Number of External GCLKIOBs	2 out of 4	50%
Number of External IOBs	43 out of 140	30%
Number of LOCed External IOBs	0 out of 43	0%
Number of SLICES	397 out of 2352	16%
Number of GCLKs	2 out of 4	50%

Figura 10 – Sumário do place and route, demonstra a ocupação do FPGA

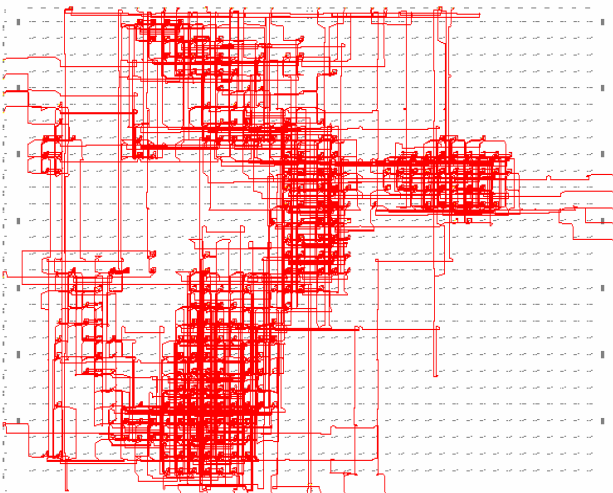


Figura 11 – Layout e interconexões do marca-passo dentro do FPGA

```
#
COMP "auto" LOCATE = SITE "P46" ;
COMP "ck" LOCATE = SITE "P80" ;
COMP "disp_anodos<0>" LOCATE = SITE "P192" ;
COMP "disp_anodos<1>" LOCATE = SITE "P191" ;
COMP "disp_anodos<2>" LOCATE = SITE "P189" ;
COMP "disp_anodos<3>" LOCATE = SITE "P75" ;
COMP "disp_catodos<0>" LOCATE = SITE "P8" ;
COMP "disp_catodos<1>" LOCATE = SITE "P7" ;
COMP "disp_catodos<2>" LOCATE = SITE "P6" ;
COMP "disp_catodos<3>" LOCATE = SITE "P5" ;
COMP "disp_catodos<4>" LOCATE = SITE "P4" ;
COMP "disp_catodos<5>" LOCATE = SITE "P199" ;
COMP "disp_catodos<6>" LOCATE = SITE "P201" ;
COMP "dn" LOCATE = SITE "P173" ;
COMP "estimulo" LOCATE = SITE "P194" ;
COMP "leds_indic<0>" LOCATE = SITE "P200" ;
COMP "leds_indic<1>" LOCATE = SITE "P87" ;
COMP "leds_indic<2>" LOCATE = SITE "P195" ;
COMP "leds_indic<3>" LOCATE = SITE "P175" ;
COMP "leds_indic<4>" LOCATE = SITE "P82" ;
COMP "modo" LOCATE = SITE "P77" ;
COMP "nivel_estimulo<0>" LOCATE = SITE "P181" ;
COMP "nivel_estimulo<1>" LOCATE = SITE "P180" ;
COMP "nivel_estimulo<2>" LOCATE = SITE "P188" ;
COMP "nivel_estimulo<3>" LOCATE = SITE "P176" ;
COMP "nivel_estimulo<4>" LOCATE = SITE "P179" ;
COMP "nivel_estimulo<5>" LOCATE = SITE "P178" ;
COMP "nivel_estimulo<6>" LOCATE = SITE "P187" ;
COMP "rst" LOCATE = SITE "P205" ;
COMP "sens_auto<0>" LOCATE = SITE "P74" ;
COMP "sens_auto<1>" LOCATE = SITE "P73" ;
COMP "sens_auto<2>" LOCATE = SITE "P69" ;
COMP "sens_auto<3>" LOCATE = SITE "P68" ;
COMP "sens_auto<4>" LOCATE = SITE "P70" ;
COMP "sens_auto<5>" LOCATE = SITE "P71" ;
COMP "sens_auto<6>" LOCATE = SITE "P81" ;
COMP "sensibilidade<0>" LOCATE = SITE "P139" ;
COMP "sensibilidade<1>" LOCATE = SITE "P133" ;
COMP "sensibilidade<2>" LOCATE = SITE "P134" ;
COMP "sensibilidade<3>" LOCATE = SITE "P135" ;
COMP "sensibilidade<4>" LOCATE = SITE "P167" ;
COMP "sensibilidade<5>" LOCATE = SITE "P140" ;
COMP "sensibilidade<6>" LOCATE = SITE "P172" ;
COMP "sensor" LOCATE = SITE "P29" ;
COMP "up" LOCATE = SITE "P193" ;
#
```

Figura 12 – PAD report, relatório das entradas e saídas usadas dentro do FPGA

A fig. 11 mostra o PAD report, relatório das entradas e saídas do controle do marca-passo e suas respectivas correspondências com a pinagem dentro do FPGA. Como se pode perceber, foram usadas 43 entradas e saídas (IOB do FPGA). Já a fig. 12 ilustra o layout gerado dentro do FPGA para implementar o circuito.

6. CONCLUSÕES

Este artigo é parte de um trabalho do grupo de microeletrônica da UFSM que tem por objetivo implementar um marca-passo cardíaco externo de demanda, que é usado após cirurgias. Uma ferramenta de geração automática de layout será usada para gerar um arquivo de layout que será conectado ao módulo analógico do marca-passo que está sendo feito em uma metodologia full-custom.

Num projeto completo de um marca-passo o controle digital é a parte menos crítica em termos de área ocupada e consumo de potência. Em um chip híbrido que implementaria um marca-passo, os dispositivos analógicos como conversores D/A e A/D, amplificadores de entrada, comparadores, etc. ocupariam a maior parte da área de silício e consumiriam a maior parte da potência, fator crucial no projeto de um marca-passo.

Os resultados das simulações lógicas obtiveram os resultados esperados, concluiu-se desta forma que a descrição apresentada é um controle digital válido para um marca-passo externo. A implementação dentro do FPGA serviu para avaliar que o circuito apresentado não irá ocupar uma área muito grande dentro de um chip (ocupou apenas 16% de um dispositivo que pode implementar até 200 mil portas lógicas) e para testar seu comportamento elétrico. Estes resultados comprovaram a viabilidade do projeto de controle digital do marca-passo.

7. REFERÊNCIAS

- [1] Menegolla, F. A., *Marcapasso Cardíaco Temporário Microcontrolado de Demanda e Baixo Consumo*, Dissertação de Mestrado, USP, Brasil, 1996.
- [2] H. Weston Moses, Brian D. Miller, Kriegh P. Moulton, and Joel A. Schneider, *A Practical Guide to Cardiac Pacing*, Lippincott Williams & Wilkins, Philadelphia, PA, 2000.
- [3] W. Fischer, Ph. Ritter, *Cardiac Pacing in Clinical Practice*, Springer, Germany, 1998.
- [4] Silveira, F., Flandré, D., "A 110 nA Pacemaker Sensing Channel in CMOS on Silicon-on-Insulator" *IEEE Journal of Solid-State Circuits*, pp. 181-184, 2002
- [5] W.I. Chung, H.S. Lin, and Y.F. Chen, C W Yen, "Design and Implementation of a Microprocessor-based Controller for Rate-Responsive Demand Pacemaker Applications" *2nd International Conference on Bioelectromagnetism*, Melbourne AUSTRALIA, pp. 55-56, February 1998.