

ANÁLISE E PROJETO DE MÓDULOS AMPLIFICADORES E COMPARADORES EM TECNOLOGIA CMOS 0.35 μ m

*Fernando Paixão Cortes, Eric Fabris, Juan Pablo Martinez Brito, Sergio Bampi
{fpcortes, fabris, juan, bampi}@inf.ufrgs.br*

Instituto de Informática – Universidade Federal do Rio Grande do Sul (UFRGS)
Caixa Postal 15.064 – 91.501-970 – Porto Alegre – RS – Brazil

ABSTRACT

Design techniques and CAD tools for digital systems are advancing rapidly at decreasing cost, while CMOS analog circuit design is related mostly with the individual experience and background of the designer. Therefore, the design of an analog circuit depends on several factors such as a reliable design methodology, good modeling and technology characterization. Most of this work focuses on the analysis of several analog circuits, including their functionality, using different design methodologies. A “conventional” design methodology, based on the modeling where a current equation is obtained considering that the transistor is in the saturation region, and a design methodology based on the g_m/I_D characteristic, that allows a unified synthesis methodology in all regions of operation of the transistor are used. The analog circuits to be analyzed and designed are basic building blocks that find vast applications today – amplifiers, comparators and analog filters.

RESUMO

Diferente do projeto de sistemas digitais onde as técnicas de projeto e ferramentas CAD (Computer-Aided Design) vem apresentando uma crescente evolução acompanhada da redução de seus preços, o projeto de circuitos analógicos ainda apresenta uma forte correlação com a experiência do projetista. Dentro deste contexto, importantes fatores como caracterização de tecnologia, modelamento de dispositivos e metodologia de projeto devem ser considerados. Mais especificamente, este trabalho ilustra o processo de análise de vários circuitos analógicos, assim como as características de cada circuito em questão, empregando diferentes metodologias de projeto. São usadas uma metodologia de projeto “convencional”, baseada em modelos onde se obtém uma equação explícita para a corrente válida na região de operação de saturação do transistor, e uma metodologia de projeto baseada na característica g_m/I_D do transistor, que apresenta uma síntese unificada considerando todas as regiões de operação do transistor MOS. Os circuitos a serem analisados e projetados são blocos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente – amplificadores, comparadores e filtros analógicos.

ANÁLISE E PROJETO DE MÓDULOS AMPLIFICADORES E COMPARADORES EM TECNOLOGIA CMOS 0.35 μ m

*Fernando Paixão Cortes, Eric Fabris, Juan Pablo Martinez Brito, Sergio Bampi
{fpcortes, fabris, juan, bampi}@inf.ufrgs.br*

Instituto de Informática – Universidade Federal do Rio Grande do Sul (UFRGS)
Caixa Postal 15.064 – 91.501-970 – Porto Alegre – RS – Brazil

RESUMO

Diferente do projeto de sistemas digitais onde as técnicas de projeto e ferramentas CAD (Computer-Aided Design) vem apresentando uma crescente evolução acompanhada da redução de seus preços, o projeto de circuitos analógicos ainda apresenta uma forte correlação com a experiência do projetista. Dentro deste contexto, importantes fatores como caracterização de tecnologia, modelamento de dispositivos e metodologia de projeto devem ser considerados. Mais especificamente, este trabalho ilustra o processo de análise de vários circuitos analógicos, assim como as características de cada circuito em questão, empregando diferentes metodologias de projeto. São usadas uma metodologia de projeto “convencional”, baseada em modelos onde se obtém uma equação explícita para a corrente válida na região de operação de saturação do transistor, e uma metodologia de projeto baseada na característica g_m/I_D do transistor, que apresenta uma síntese unificada considerando todas as regiões de operação do transistor MOS. Os circuitos a serem analisados e projetados são blocos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente – amplificadores, comparadores e filtros analógicos.

1. INTRODUÇÃO

Um dos principais fatores na evolução no projeto de sistemas VLSI (*Very Large Scale Integration*) é a tecnologia de integração de circuitos (CI) que permite a realização e construção de sistemas cada vez mais velozes e complexos. Hoje é visível uma crescente digitalização dos sistemas, porém os circuitos analógicos não podem ser totalmente substituídos, pois todas as grandezas físicas na natureza são analógicas fazendo-se necessária alguma forma de transformar sinais analógicos em digitais e vice-versa.

Diferente do projeto de sistemas digitais, o projeto de circuitos analógicos ainda apresenta uma forte correlação com experiência do projetista. O projetista deve dominar

igualmente aspectos importantes de projeto, como as características de dispositivos e de processo e tecnologia, a fim de modelar, caracterizar, implementar e testar os seus circuitos.

Muitas vezes, o processamento de um sinal por um circuito analógico é mais econômico e eficiente do que o seu equivalente digital. Exemplos dessa economia podem ser encontrados em aplicações onde a frequência de operação é alta inviabilizando sua implementação digital com sinal amostrado, ou em aplicações de muito baixa potência. A complexidade de projeto aumenta na medida que se tem como objetivo a integração da parte digital com a parte analógica (projeto misto) em uma mesma

pastilha de silício buscando as vantagens dos dois lados. Dentro deste contexto, o modelamento de dispositivos semicondutores constitui um aspecto importante no projeto de um sistema analógico, pois de forma abstrata tem-se o objetivo de emular o comportamento elétrico de um dispositivo real. Portanto, o modelamento e a caracterização de dispositivos MOS são áreas de constante pesquisa tanto acadêmica quanto industrial. Muitas ferramentas computacionais têm sido desenvolvidas para estudar as características do transistor MOS e simular corretamente o desempenho de circuitos formados por este dispositivo. Atualmente são utilizados simuladores de circuitos tais como o SPICE, que adotam modelos compactos para a emulação do diversos dispositivos.

Outro importante fator que o projetista analógico deve considerar, é a metodologia de projeto a ser usada, ou seja, dadas as especificações desejadas, o cálculo da geometria dos transistores (W/L) dos blocos a partir de modelos analíticos que emulem o comportamento do bloco a ser implementado. A maioria dos métodos para síntese de circuitos analógicos geralmente considera que os transistores MOS operam ou em inversão forte ou em região fraca, que muitas vezes não é uma boa solução para se obter resultados seguros.

Este trabalho tem como objetivo o estudo de técnicas de projeto e modelagem a fim de se obter o projeto de um circuito analógico com menor custo, bom desempenho e reduzido tempo de projeto. Os circuitos a serem

analisados serão blocos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente, mais precisamente visando Moduladores Sigma-Delta [7], sistemas bem populares atualmente e usados em diversas aplicações – amplificadores, comparadores e filtros analógicos. Toda esta análise será baseada na tecnologia CMOS AMS0.35 μ m.

Este artigo está organizado na seguinte forma: seção 2 discute o projeto analógico CMOS; seção 3 apresenta um modelo onde se obtém uma equação explícita para a corrente válida na região de operação de saturação do transistor; a seção 4 trata da caracterização dos parâmetros que descrevem características particulares do transistor MOS; a seção 5 apresenta uma metodologia de projeto baseada na característica g_m/I_D do transistor, uma metodologia de síntese unificada considerando todas as regiões de operação do transistor MOS; a seção 6 é dedicada à análise e projeto de blocos analógicos; e finalmente, a seção 7 apresenta algumas conclusões e trabalhos futuros.

2. PROJETO ANALÓGICO CMOS

O objetivo do projetista analógico é transformar as especificações requeridas em circuitos que satisfaçam estas especificações, tanto com seus esquemáticos, netlists e layouts. Para isto é necessário um estudo extenso sobre o modelo do transistor MOS, assim como o conhecimento de sua tecnologia.

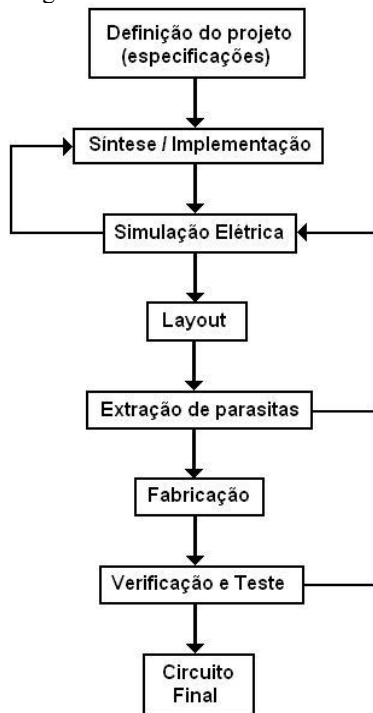


Figura 1 - Fluxo para o projeto analógico CMOS

A figura 1 ilustra uma aproximação geral dos passos necessários para o projeto analógico CMOS baseado em [1]. O projetista é responsável por todos estes passos exceto a fabricação. Primeiramente, uma extensa caracterização da tecnologia a ser usada deve ser feita, onde os parâmetros que descrevem as características particulares dos dispositivos são obtidos. A partir desta caracterização e das especificações requeridas para o circuito é feita uma modelagem e síntese a fim de se obter a dimensão dos transistores. As ferramentas para a análise do desempenho elétrico do circuito são a seguir utilizadas, onde o projetista deve realizar uma iteração usando os resultados de simulação para melhorar a performance do circuito. Com a performance desejada satisfeita, é feita a sua descrição geométrica (*layout*). É indispensável uma nova simulação elétrica pós-*layout*, incluindo os efeitos geométricos (incluindo os parasitas R, L e C extraídos do *layout*). Depois de todos estes passos, se os resultados forem satisfatórios, o circuito está pronto para fabricação. Senão, uma nova iteração de projeto deve ser realizada.

Outra importante consideração no projeto analógico CMOS diz respeito às técnicas de *layout*. Para a implementação do *layout* de blocos básicos analógicos (presentes na maioria dos circuitos analógicos), como par diferencial e espelho de corrente, é necessário o uso de técnicas especiais. Por exemplo, para se obter bom casamento no par diferencial, uma solução é a construção do *layout* com um centróide comum, o que o torna menos sensível a variações de processo da tecnologia. O mesmo vale para o espelho de corrente.

3. MODELAGEM DE CIRCUITOS ANALÓGICOS CMOS

A principal função do projeto analógico é prever e verificar a performance do circuito ou sistema. Esta função é alcançada através do uso de modelos que emulam o funcionamento destes circuitos. Segundo [1], modelagem é definido como o processo em que as propriedades elétricas de um dispositivo semiconductor ou um grupo de dispositivos interconectados são representados por equações matemáticas, representação de circuitos ou tabelas.

Portanto, a fim de se obter uma análise confiável de qualquer circuito analógico, deve-se modelar as características do dispositivo básico para o projeto analógico: transistor MOS. Estas características são: o comportamento DC (análise de grandes sinais); o comportamento AC (características de pequenos sinais); e resposta em frequência de pequenos sinais.

Pode se obter, então, um modelo simplificado para se calcular a corrente do transistor MOS baseado em [1] e [8], usado em modelos SPICE nível 1, considerando que o transistor está operando exclusivamente na região de

saturação. A tabela 1 mostra a relação dos principais elementos deste modelo simplificado.

Tabela 1 – Equações simplificadas dos elementos do modelo AC e DC do transistor MOS na região de saturação

| Definição | Equação |
|---|--|
| I_D Corrente de polarização do transistor | $I_D = \frac{\mu_0 \cdot C_{ox}}{2 \cdot n} \cdot \frac{W}{L} \cdot (V_{GS} - V_t)^2$ |
| g_m Ganho de transcondutância | $\frac{\partial I_D}{\partial V_{GS}} = \sqrt{2 \cdot \frac{\mu_0 \cdot C_{ox}}{n} \cdot \frac{W}{L} \cdot I_D }$ |
| g_{ds} Condutância de saída do transistor | $\frac{\partial I_D}{\partial V_{DS}} = g_o = \frac{I_D \cdot \lambda}{1 + \lambda \cdot V_{DS}} \cong I_D \cdot \lambda \cong \frac{I_D}{VA}$ |

4. CARACTERIZAÇÃO DOS PARÂMETROS ELÉTRICOS DO TRANSISTOR MOS

Na seção anterior foi apresentado um modelo que emula o transistor MOS na região de saturação, sob várias condições de funcionamento de acordo com seus terminais (S, G, D, B). Entretanto, antes de qualquer modelo ser usado, é importante que os parâmetros que descrevem características particulares de um dado dispositivo sejam conhecidos. Portanto, antes que o projeto comece, os dispositivos a serem usados devem ser caracterizados para que se obtenha um modelo com seus parâmetros devidamente determinados. Como geralmente os parâmetros de tecnologia não são totalmente fornecidos pelas *foundries*, é necessário que o próprio projetista caracterize os dispositivos físicos a serem usados, através de medidas elétricas. Como ainda não se possui dispositivos físicos para a caracterização na tecnologia aqui em uso, AMS0.35µm, a solução encontrada foi o uso de simulações elétricas com o modelo elétrico disponível, o modelo BSIM3v3.2.2. A tabela 2 mostra uma lista destes parâmetros de tecnologia.

Tabela 2 – Parâmetros de processo da tecnologia AMS0.35µm

| | NMOS | PMOS | |
|-----------------------|----------|----------|---------------------|
| n_i (Si, T=350K) | | 1,5e+10 | cm ⁻³ |
| ϵ_{si} | | 1,045 | pF/cm |
| N_{ch} | 2,31e+17 | 1,03e+17 | 1/cm ³ |
| μ_0 | 403,5 | 129,6 | cm ² /Vs |
| T_{ox} | 7,7e-07 | 7,7e-07 | cm |
| C_{ox} | 4,48e-7 | 4,48e-7 | F/cm ² |
| V_{to} | 0,465 | -0,617 | V |

Pode-se observar que dois parâmetros muito importantes para o projeto analógico, o fator de inclinação n (*slope factor*) e VA (tensão de Early) não são fornecidos, pois o

modelo elétrico BSIM3v3 possui equações para estes parâmetros que dependem de outros parâmetros. A seguir serão descritos os processos de obtenção destes parâmetros através de métodos gráficos e numéricos desenvolvidos em [3] e [5].

4.1. Determinação do parâmetro n (“Subthreshold Slope”)

A fim de se calcular corretamente a corrente de polarização (I_D) do transistor, é necessário levar em consideração o parâmetro chamado de fator de inclinação n (*slope factor*). Este parâmetro é interpretado como a inclinação da curva $\log(I_D)$ versus V_{GS} na região de inversão fraca. Portanto, fica clara a importância deste parâmetro para o projeto analógico.

Este método de extração deste parâmetro é baseado em [5], levando em consideração uma outra interpretação do fator de inclinação n . Pode-se considerar o parâmetro equivalente ao inverso da derivada de V_p em relação a V_{GB} . A tensão de pinch-off (V_p) é definida como a tensão de canal no limite entre a região de inversão fraca e a região de inversão forte [6]. V_p é obtido a partir das características “gate-comum”, como é ilustrado na figura 2, onde o ponto I_s é a corrente de normalização.

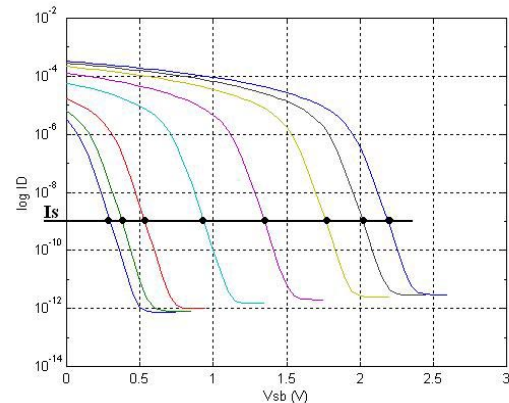


Figura 2 – Característica I_D versus V_S do transistor NMOS ($W/L = 1$) com o ponto I_s escolhido para se achar se o seu V_p correspondente

Já a figura 3 mostra a característica V_p versus V_{GB} do transistor, aonde se obtém o valor de n (derivada da curva) e V_{to} (ponto em que V_p é nulo). Obtendo-se $n_{NMOS} = 1,22$ e $n_{PMOS} = 1,17$. As três características da figura 3 foram obtidas considerando-se três valores diferentes para I_s .

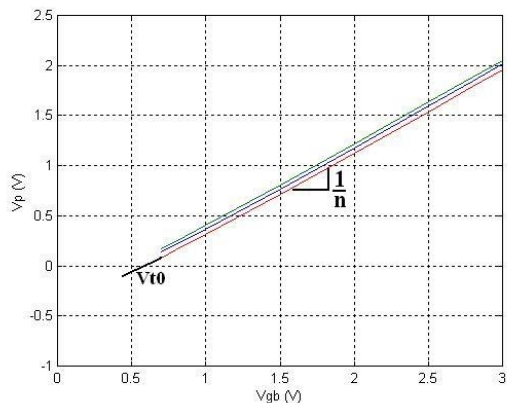


Figura 3 - Característica V_p versus V_{GB} do transistor NMOS para cada I_s diferente

4.2. Determinação do parâmetro VA

Um dos parâmetros necessários para o projeto analógico CMOS analítico é a tensão de Early (V_A). Este parâmetro é essencial para o projeto analógico CMOS, pois a resistência de saída do transistor depende diretamente deste parâmetro, que por sua vez depende linearmente do comprimento do canal (L) do transistor.

Este parâmetro foi estimado através dos métodos apresentados em [1] e [8] empregando simulações elétricas. Como é mostrada na tabela 3, a tensão de Early está diretamente ligada com o comprimento do canal (L) do transistor.

Tabela 3 – Variação do parâmetro tensão de Early em função do L do transistor – $V_{gb} = 3V$ – Tecnologia CMOS 0.35 μm

| L (μm) | VA (V) | |
|------------------|--------|-------|
| | NMOS | PMOS |
| 1 | 129,5 | 27,55 |
| 1,5 | 159,6 | 38,24 |
| 2 | 178,8 | 48,06 |
| 2,5 | 204,05 | 57,99 |
| 5 | 297,3 | 103,9 |
| 7,5 | 357,8 | 151,5 |
| 10 | 426,2 | 198,9 |

Porém, muitas vezes o projetista escolhe a corrente de polarização DC e/ou a região de operação do transistor a ser usado e a partir daí escolhe seu tamanho, e conseqüentemente seu V_A . Portanto, é interessante ao projetista o conhecimento da variação V_A em relação a região de operação do transistor. A figura 4 ilustra a relação da variação da tensão de Early em função da variação da característica g_m/I_D do transistor para diversos comprimentos de canal diferentes. Portanto, pode-se obter uma curva de V_A versus a característica universal de g_m/I_D

(que será mais detalhada na próxima seção) pode ser explorada durante o projeto, onde as dimensões dos transistores são desconhecidas.

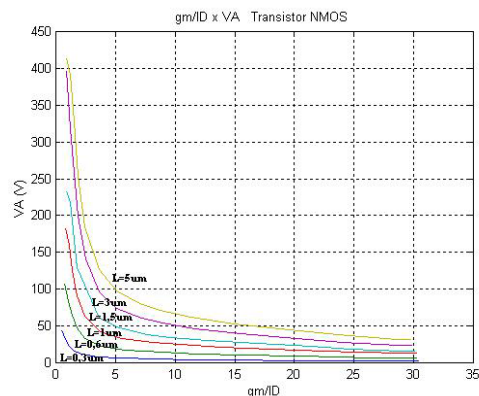


Figura 4 - V_A em função da característica g_m/I_D para L diferentes do transistor NMOS - Tecnologia AMS0.35 μm

5. METODOLOGIA GM/ID

O principal problema para o projetista é dado as especificações desejadas, o cálculo da geometria dos transistores (W/L) dos blocos. A maioria dos métodos para síntese de circuitos analógicos geralmente considera que os transistores MOS operam ou em inversão forte ou em região fraca, que muitas vezes não é uma boa solução para se obter resultados seguros. A metodologia de projeto g_m/I_D , proposta por [10], apresenta um método alternativo para este problema, permitindo uma metodologia de síntese unificada considerando todas as regiões de operação do transistor MOS. Neste método é considerada a relação entre a razão entre a transcondutância g_m sobre a corrente de dreno I_D e a corrente de dreno normalizada $I_D/(W/L)$ como a ferramenta fundamental para o projeto.

Outra interessante característica desta metodologia é que tanto a relação g_m/I_D como a corrente normalizada $I_D/(W/L)$ são independentes em relação às dimensões dos transistores. Portanto, pode-se considerar que a relação entre g_m/I_D e a corrente normalizada é uma característica única para todos os transistores do mesmo tipo (NMOS e PMOS) para uma determinada tecnologia. Pode-se, então, obter uma curva com esta característica universal de g_m/I_D versus $I_D/(W/L)$ que pode ser explorada durante o projeto, onde as dimensões dos transistores são desconhecidas. A partir das especificações desejadas para um determinado bloco analógico, e uma vez que um par de valores g_m e I_D forem obtidos (escolha da região de operação do transistor pelo projetista), o W/L do transistor pode ser determinado.

A curva g_m/I_D versus $I_D/(W/L)$ pode ser obtida por duas maneiras: analiticamente, usando um modelo para o transistor MOS, ou através de medidas experimentais de um transistor típico. Para se obter a curva g_m/I_D analiticamente, é necessária o uso de um modelo de transistor MOS, como o modelo EKV [6] que forneça uma representação contínua da corrente do transistor e parâmetros se pequenos sinais em todas as regiões de sua operação. Já a para a obtenção da curva g_m/I_D experimental, seriam necessárias várias medidas de transistores típicos para a tecnologia aqui em uso. Como ainda não se possui dispositivos físicos para a caracterização nesta tecnologia, a solução encontrada foi a obtenção da curva através de simulações elétricas SPECTRE com o modelo BSIM3v3. A figura 5 mostra a as curvas g_m/I_D obtidas analiticamente e através de simulação elétrica dos transistores NMOS e PMOS para a tecnologia AMS0.35 μ m.

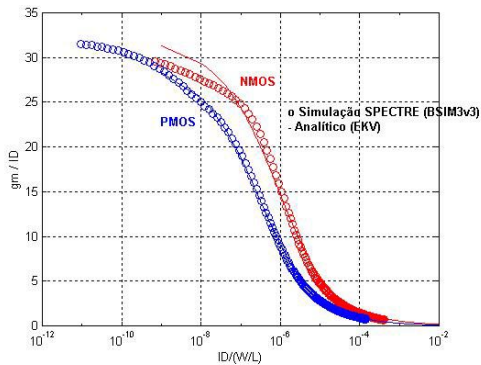


Figura 5 - Curva g_m/I_D : analítica e simuladas transistores NMOS e PMOS para a tecnologia AMS0.35 μ m.

Com a curva g_m/I_D obtida para a tecnologia desejada, o próximo passo foi a aplicação e validação desta metodologia. O circuito escolhido foi o amplificador operacional tipo Miller, que tem seu esquemático mostrado na figura 6.

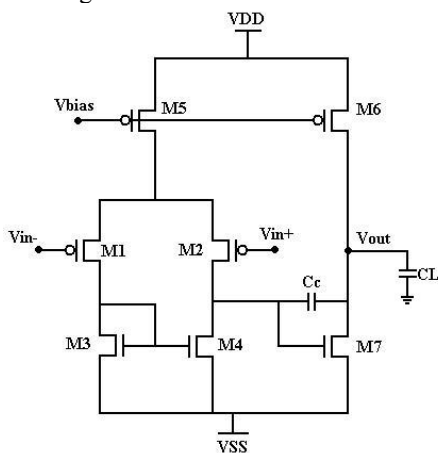


Figura 6 – Esquemático do amplificador tipo Miller

Deseja-se obter um amplificador Miller com as seguintes especificações: $A_v > 10000$ (80dB), $GBW = 15\text{MHz}$, $ICMR = -1\text{V}$ a $0,5\text{V}$, $SR > 18\text{V/us}$, $CL = 10\text{pF}$, $VDD = 1,65\text{V}$ e $VSS = -1,65\text{V}$.

O procedimento do projeto é ilustrado aqui buscando melhor performance em termos de ganho DC (A_v), Margem de Fase (MF), produto ganho-faixa (GBW) e slew rate (SR). Entretanto, este procedimento pode ser modificado levando em conta outros aspectos (como ruído e CMRR – rejeição de modo comum) que podem ser relevantes para um determinado tipo de aplicação, desde que esteja diretamente ligado com relação g_m/I_D versus $I_D/(W/L)$. O projeto segue a seguinte seqüência:

- primeiro, é necessário estabelecer o valor do capacitor de compensação C_c . Como regra básica [1], o pólo dominante de saída do circuito deve ser posicionado a 2,2 vezes o GBW , o que garante uma margem de fase de 60° (assumindo que o zero do semi-plano direito z_1 é maior que 10 vezes o GBW). Tal posicionamento do pólo resulta na seguinte expressão para o valor para C_c : $C_c > 0,22 \cdot C_L \Rightarrow C_c = 2,5\text{pF}$
- a partir da especificação de SR, pode-se obter a corrente de polarização (I_{bias}), que é igual a $45\mu\text{A}$ ($I_{bias} = C_c \cdot SR$);
- os transistores do espelho de corrente NMOS (M3 e M4) devem operar na região de inversão forte, a fim de se garantir um bom casamento e boas propriedades de ruído. Portanto, é escolhido $(g_m/I_D)_3 = (g_m/I_D)_4 = 10$;
- para o par diferencial de GBW pode-se saber o g_m dos transistores do par, e conseqüentemente seu g_m/I_D . Portanto, $(g_m/I_D)_1 = 10,47$;
- a partir da relação $g_{m7} \geq 10 \cdot g_{m1}$ [1], tem-se que $(g_m/I_D)_7 = 10$;
- $(g_m/I_D)_5 = (g_m/I_D)_6 = 7$.

Com os valores de (g_m/I_D) escolhidos, a corrente normalizada $I_D/(W/L)$ é determinada através da curva g_m/I_D de cada transistor, e conseqüentemente o W/L de cada transistor. O comprimento de canal (L) é determinado a fim de se obter uma melhor relação entre área e ganho DC (devido à dependência da tensão de Early em relação ao L , como é mostrado na seção 3), aqui estimado em 5 vezes o L mínimo que a tecnologia permite. Os valores escolhidos são mostrados na tabela 4.

Tabela 4 – Dimensões dos transistores – Amp. Miller

| | W/L | W (um) | L (um) |
|----|-----|--------|--------|
| M1 | 36 | 54 | 1.5 |
| M2 | 36 | 54 | 1.5 |
| M3 | 10 | 15 | 1.5 |
| M4 | 10 | 15 | 1.5 |
| M5 | 30 | 45 | 1.5 |
| M6 | 158 | 237 | 1.5 |
| M7 | 103 | 154.4 | 1.5 |

A tabela 5 mostra excelentes resultados de performance do amplificador Miller, calculados analiticamente e através de simulações elétricas SPECTRE, nas versões esquemático elétrico e com o *layout* extraído. O *layout* do amplificador projetado, mostrado na figura 7, foi feito no ambiente CADENCE usando as técnicas de *layout* descritas na seção 2.

Tabela 5 – Resultados de performance do Amp. Miller calculados e simulados

| | Analítico | Simulação SPECTRE | |
|--------------------------|-----------|-------------------|-----------------|
| | | Esquemático | Layout Extraído |
| Av (dB) | 107,45 | 90,09 | 81,99 |
| F _{3dB} (Hz) | | 543 | 1,037K |
| MF (°) | 60 | 54,3 | 55 |
| GBW (MHz) | 15 | 15,14 | 14,6 |
| SR (V/us) | 18 | 20,7 | 20,42 |
| I _{DD} (A) | 280,6u | 356u | 346,9 |
| P _{diss} (mW) | 0,925 | 1,17 | 1,144 |
| V _{out} máx (V) | | 1,55 | 1,55 |
| V _{out} min (V) | | -1,6 | -1,6 |

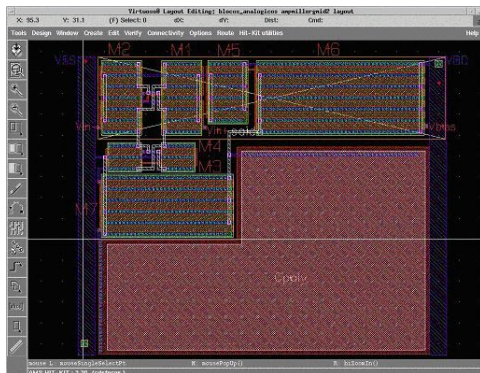


Figura 7 – Layout do amplificador tipo Miller AMS0.35um

6. PROJETO DE BLOCOS FUNCIONAIS ANALÓGICOS

Com uma metodologia de projeto eficaz e confiável definida, serão analisados blocos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente, mais precisamente visando um Modulador $\Sigma\Delta$

passa-banda [7], que é composto basicamente por um estágio filtro passa-banda (com blocos transcondutores) e um comparador. A seguir descreve-se o desenvolvimento de cada um deles.

6.1. Comparador track-and-latch

O comparador track-and-latch [4], mostrado na figura 7 consiste em um par diferencial NMOS (M1 e M2), dois inversores realimentados (M3/M8 e M4/M9), dois transistores PMOS pull-up de reset (M6/M7) e uma fonte de corrente controlada por um relógio (M5). Durante o semi-ciclo ativo do relógio, os transistores pull-up ficam “abertos” e o par diferencial é ativado, onde os sinais de entrada devem estar definidos e estáveis, realizando-se a comparação. No semi-ciclo inativo, a corrente I₅ é cortada e os nodos de saída são resetados (pré-carga).

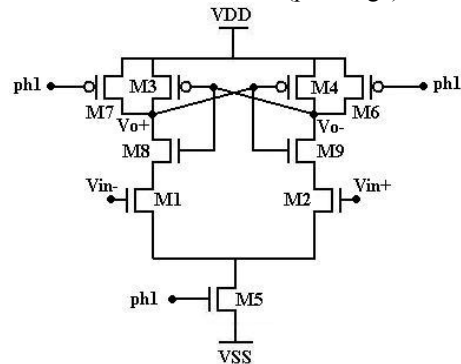


Figura 7 – Esquemático do comparador track-and-latch

Deseja-se obter um comparador com as seguintes especificações: sensibilidade de 5mV, frequência de operação de 10MHz, SR = 100V/μs, CL = 100fF (carga de entrada do estágio seguinte, Latch D), VDD = 1,65 V e VSS = -1,65 V.

A partir da análise do comportamento DC e da análise AC, através de seu modelo de pequenos sinais pode-se obter as principais relações que modelam seu comportamento. Utilizando as técnicas de projeto desenvolvidas anteriormente, pode-se obter as dimensões dos transistores que satisfazem as especificações requeridas (tabela 6).

Tabela 6 – Dimensões dos transistores – Comparador

| | W/L | W (um) | L (um) |
|----|-------|--------|--------|
| M1 | 22 | 33 | 1,5 |
| M2 | 22 | 33 | 1,5 |
| M3 | 2,4 | 6 | 2,5 |
| M4 | 2,4 | 6 | 2,5 |
| M5 | 0,277 | 1,25 | 4,5 |
| M6 | 3,33 | 1 | 0,3 |
| M7 | 3,33 | 1 | 0,3 |
| M8 | 0,8 | 2 | 2,5 |
| M9 | 0,8 | 2 | 2,5 |

Com as dimensões obtidas partiu-se para a etapa de implementação utilizando-se a ferramenta CADENCE. O circuito foi implementado em duas versões: esquemático (utilizando a biblioteca de transistores AMS0.35) e layout (extraído com capacitâncias). A figura 8 mostra o layout do estágio comparador na tecnologia AMS0.35 μm , com uma área total de $53 \times 25 \mu\text{m}^2$. A tabela 7 mostra alguns resultados de performance do comparador através de simulações elétricas SPECTRE, nas versões esquemático e com o se layout extraído.

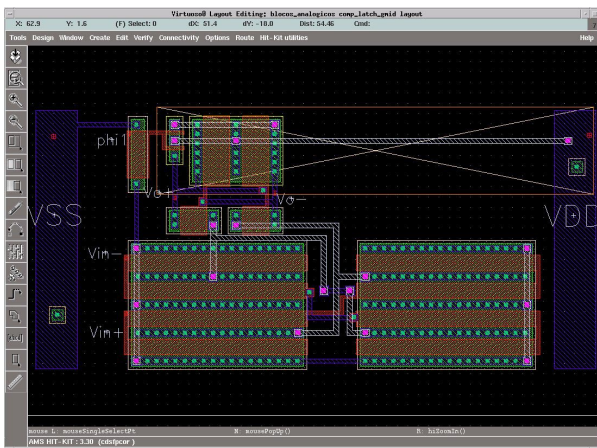


Figura 8 – Layout do comparador track-and-latch AMS0.35 μm

Tabela 7 – Resultados de performance do comparador track-and-latch simulados

| Simulação SPECTRE | | |
|--|-------------|-----------------|
| | Esquemático | Layout Extraído |
| CL (pF) | 10 | 10 |
| Delay t_d (ns) (phi1 \rightarrow Vo+) | 4,95 | 5,02 |
| F max (MHz) | 70 | 70 |
| Sensibilidade - ΔV_{in} (mVpp) @ 10MHz | 0,5 | 1 |
| $I_{tail_m\acute{a}x}$ (μA) | 95,58 | 102 |

5.2 Filtro Passa-Banda

Para a implementação do filtro passa-banda, foi escolhida a arquitetura usando filtros Transcondutância-C (Gm-C) [2] e [11], que é uma boa opção para o projeto de filtros contínuos no tempo. Filtros Gm-C são usados em diversas aplicações, evitando o uso de amplificadores operacionais, obtendo o ganho que se necessita através de amplificadores transcondutores. Portanto só é necessário para sua implementação capacitores e trancondutores, facilitando a sua implementação em circuitos integrados. A figura 9 mostra a topologia escolhida usando blocos trancondutores que implementa um filtro passa-banda, que é uma variação da topologia biquadrática baseada em [11].

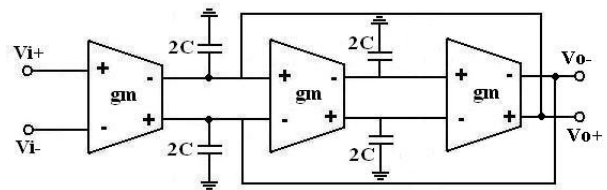


Figura 9 – Topologia do filtro Gm-C passa-banda

Um amplificador de transcondutância ideal para este tipo de aplicação seria uma fonte de corrente controlada por tensão com largura de banda infinita e resistências de entrada e saída infinitas. A configuração estágio amplificador diferencial com CMFB (Common-Mode FeedBack) [1], mostrado na figura 10, é uma boa opção para este projeto. O amplificador é linearizado com o uso da técnica de degeneração de fonte (*source degeneration*) [8] e [11], onde um resistor passivo é conectado entre os terminais de fonte do par diferencial. Portanto, o ganho de transcondutância g_m do par diferencial é determinado pelo termo linear R, que é implementado através de um transistor com o seu terminal gate conectado a uma tensão de polarização (VC) que garante o transistor operando na região não linear (triódo).

O projeto foi feito buscando melhor performance em termos de ganho de trancondutância (g_m), produto ganho-faixa (GBW) e slew rate (SR), a fim de se obter um filtro passa-banda com sua frequência central de aproximadamente 5MHz.

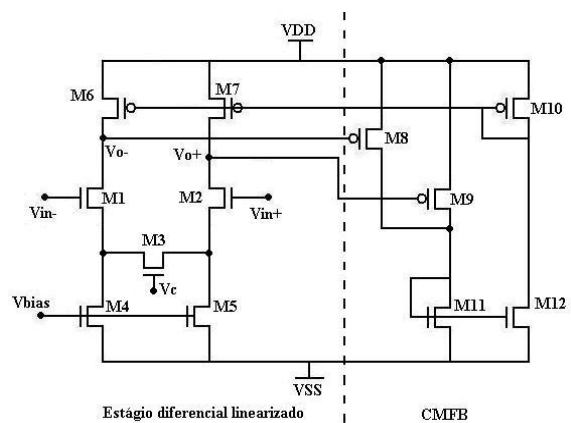


Figura 10 – Esquemático do OTA diferencial com CMFB

O filtro proposto foi implementado em duas versões: esquemático (utilizando a biblioteca de transistores AMS0.35) e layout (extraído com capacitâncias). A figura 11 mostra o layout do estágio comparador na tecnologia AMS0.35 μm , com uma área total de $121 \times 163 \mu\text{m}^2$.

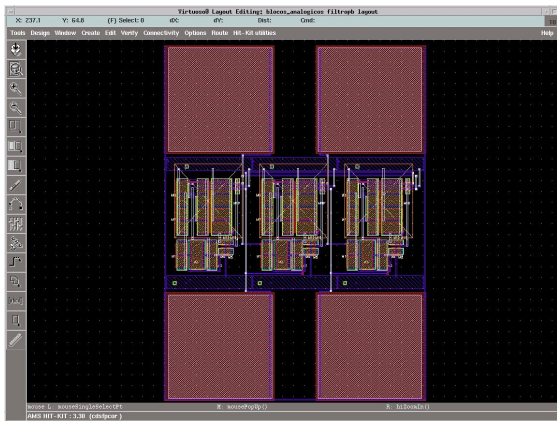


Figura 11 - Layout do filtro passa-banda com F_c ajustável implementado em ambiente CADENCE SPECTRE

Os resultados de simulação mostram a frequência central de operação (F_c) entre 4MHz e 5MHz e um fator de qualidade (Q) de aproximadamente 250, como ilustra a figura 12.

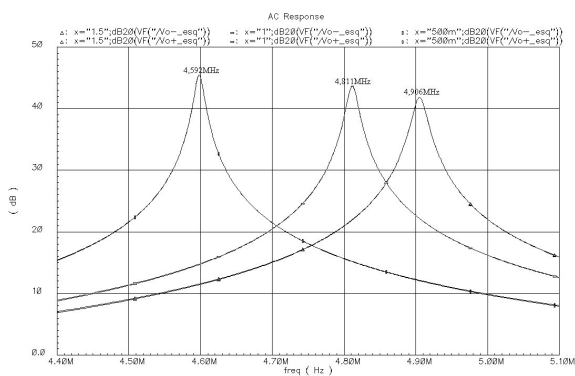


Figura 12 – Resultados de simulação para ajuste de frequência do filtro passa-banda implementado – Versão esquemático.

6. CONCLUSÕES E TRABALHOS FUTUROS

Este trabalho exemplificou o uso de técnicas de projeto, modelagem e caracterização de parâmetros de tecnologia para o desenvolvimento de diversos blocos analógicos considerados básicos para construção da maioria dos sistemas analógicos usados atualmente – amplificadores, comparadores e filtros analógicos.

Com uma metodologia de projeto eficaz e confiável definida, a metodologia gm/ID, o projeto dos blocos funcionais comparador *track-and-latch* e OTA (para o filtro GM-C passa-banda) foi detalhado e validado. No nível das simulações elétricas, os resultados atingidos foram muito bons, porém a fim que estes resultados sejam estendidos para o nível de implementação física diversas considerações devem ser feitas, como a validade do modelo elétrico usado e as características do processo de fabricação (capacitância e resistências parasitas).

Portanto, pretende-se prototipar estes circuitos, passando por todas as etapas necessárias para a obtenção de um sistema analógico em tecnologia CMOS.

7. REFERÊNCIAS

- [1] Allen, Phillip E.; Holberg, Douglas R. *CMOS Analog Circuit Design*. Oxford University Press, 1987.
- [2] Benabes, P.; Kerama, M.; Gauthier, A.; Kielbasa, R. “Nonlinearity of Gm-C in Bandpass Sigma-Delta Modulators”. *IEEE Journal of Solid-State Circuits*, vol. 43, august, 2000.
- [3] Cortes, Fernando P.; Bampi, Sergio (2001) “Medidas Experimentais, Extração e Otimização de Parâmetros para Simulação de Módulos Amplificadores em Mar de Transistores”. Trabalho Individual, Instituto de Informática, Universidade Federal do Rio Grande do Sul (UFRGS).
- [4] Choi, J. H.; Bampi, Sergio. “Mixed-Signal Analog-Digital Circuits Design on the Pre-Diffused Array Using Trapezoidal Association of Transistors”. PHD thesis, Instituto de Informática – UFRGS, 2001.
- [5] Cunha, Ana I. A.; Montoro, Carlos G. Um Modelo do Transistor MOS para Projeto de Circuitos Integrados. Tese de Doutorado, Pós-Graduação em Engenharia Elétrica - UFSC, 1996.
- [6] Enz, C. Ch.; Krummenacher, F.; Vittoz, E. A. “An Analytical MOS Transistor Model Valid in All Regions of Operation and Dedicated to Low-Voltage and Low-Current Applications”. *Analog Integrated Circuits and Systems Processing Journal on Low-Voltage and Low-Power Circuits*, New York, p.1588-1591, July 1995.
- [7] Fabris, Eric E.; Carro, Luigi; Bampi, Sergio. An Analog Signal Interface with Constant Performance for SOCs. *IEEE ISCAS2003*. Dezembro de 2002.
- [8] Laker, Kenneth R.; Sansen, Willy M. C. *Design of Analog Integrated Circuits and Systems*. McGraw-Hill, Inc., 1994.
- [9] Norsworthy, S. R.; Schreier, R.; Temes, G. C. *Delta-Sigma Data Converters – Theory, Design and Simulation*. IEE Press, 1997.
- [10] Silveira, F.; Flandre, D.; Jespers, P. G. A. “A gm/ID Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-on-Insulator Micropower OTA”. *IEEE Journal of Solid-State Circuits*, vol. 31, no. 9, september 1996.
- [11] Tsividis, Yannis. “Integrated Continuous-Time Filter Design – An Overview”. *IEEE Journal of Solid-State Circuits*. Vol. 29, 1994.