

REDES DE DISTRIBUCION DE RELOJ GLOBALES CONTRA LOCALES

M. Salim Maza, M. Linares Aranda

Instituto Nacional de Astrofísica, Óptica y Electrónica.
Apdo. Postal 51 y 216, CP 7200, Puebla, Pue., Mex.
Email: msalim@susu.inaoep.mx, mlnares@inaoep.mx

ABSTRACT

There is a growing demand on portable equipment that performs more functions, at higher speeds and with a low power consumption. These equipments do the most of its processes on an IC on synchronous digital way, this implies a clock distribution network covering a large section of the chip and handling the fastest frequencies of the device. This net consumes typically from 40 to 60% of the total system power.

In this work an analysis and comparison of the most representative global and local clock distribution networks is presented. It is concluded that global nets are necessary to divide the time of flight problem on large chips at high frequencies.

RESUMEN

Existe una demanda creciente en equipos portátiles que incorporen más funciones, a mayor velocidad y bajo consumo de potencia. Estos equipos realizan la mayoría de sus procesos dentro de un CI de forma digital síncrona, lo que implica una red de distribución de reloj que cubra la mayoría del chip y maneje las frecuencias más altas del dispositivo. Esta red típicamente consume de 40 a 60% de la potencia total del sistema.

En este trabajo se presenta un análisis y comparación de las redes globales y locales de distribución de reloj, más representativas. Se concluye que las redes globales son necesarias para dividir el problema de tiempo de vuelo en chips grandes a altas frecuencias.

REDES DE DISTRIBUCION DE RELOJ GLOBALES CONTRA LOCALES

M. Salim Maza, M. Linares Aranda

Instituto Nacional de Astrofísica, Óptica y Electrónica.

Apdo. Postal 51 y 216, CP 7200, Puebla, Pue., Mex.

Email: msalim@susu.inaoep.mx, mlinares@inaoep.mx

RESUMEN

Existe una demanda creciente en equipos portátiles que incorporen más funciones, a mayor velocidad y bajo consumo de potencia. Estos equipos realizan la mayoría de sus procesos dentro de un CI de forma digital síncrona, lo que implica una red de distribución de reloj que cubra la mayoría del chip y maneje las frecuencias más altas del dispositivo. Esta red típicamente consume de 40 a 60% de la potencia total del sistema.

En este trabajo se presenta un análisis y comparación de las redes globales y locales de distribución de reloj, más representativas. Se concluye que las redes globales son necesarias para dividir el problema de tiempo de vuelo en chips grandes a altas frecuencias.

1. INTRODUCCION

En los últimos años se ha visto una demanda creciente en equipos portátiles como teléfonos celulares, computadoras y reproductores portátiles. Se desea que estos equipos incorporen cada vez más funciones y que trabajen a mayor velocidad para hacerlos más atractivos al público consumidor, pero conservando un bajo consumo de potencia que se refleje en mayor duración y tiempo de vida de las baterías. Estos equipos realizan la mayoría de sus procesos dentro de un circuito integrado y de forma digital síncrona, lo que implica que una red de distribución debe llevar la o las señales de reloj a todos los nodos que lo requieran, como por ejemplo, a cientos de miles de compuertas de transistores distribuidas heterogéneamente en casi todo el chip, sumando una carga considerable [1].

Las redes de distribución de reloj (RDR) manejan las frecuencias más altas del dispositivo y las longitudes de interconexión más largas, por lo que efectos como crosstalk y líneas de transmisión son importantes a considerar en su diseño. Debido a lo complejo del diseño manual de las RDR, actualmente existen herramientas que realizan el ruteo, dimensionamiento e inserción de buffers de manera automática, pero a frecuencias superiores al

gigahertz, o incluso desde 500MHz, existe un alto grado de incertidumbre en el desempeño esperado.

Estas redes consumen típicamente de 40 a 60% de la potencia total del sistema [2], por lo que disminuyendo su consumo, se obtiene una reducción significativa de la potencia de todo el sistema. En general, el desempeño de la RDR repercutirá en gran medida sobre las prestaciones máximas que pueda ofrecer el sistema.

Existen diferentes tipos de RDR, como por ejemplo, entre las que siguen algún patrón geométrico, los árboles Binario, Cuaternario y H; Rejillas; y sus combinaciones [3]. Otras redes no siguen un patrón geométrico porque son generadas automáticamente para optimizar algún parámetro, tales como corrimiento del reloj (clockskew), consumo de potencia o costo de metal [4]. Las redes anteriormente mencionadas, distribuyen una señal de reloj original de forma global; sin embargo los sistemas se hacen cada vez más grandes (MCM y SoC) y las frecuencias mayores. Debido al problema de tiempo de vuelo [1], han surgido otras técnicas de sincronización local, entre ellas destaca la globalmente asíncrona, localmente síncrona [5], basada en anillos interconectados de 5 o 3 etapas inversoras [6].

El presente trabajo presenta un análisis y comparación de las redes globales y locales de distribución de reloj, más representativas. En la Sección 2 se presentan las RDR globales y locales que comprende el estudio. En la Sección 3 se definen las condiciones de simulación y figuras de mérito a considerar. En la Sección 4 se analizan y comparan los resultados obtenidos. Finalmente la Sección 5 presenta las conclusiones de este trabajo.

2. REDES DE DISTRIBUCION DE RELOJ

Las cuatro topologías de RDR globales más usadas son: Árbol RC generado automáticamente (Fig. 1-a) [4]; Árbol H (Fig. 2-a); Combinaciones de ambos; Otros como Cuaternario (Fig. 3) [7] y Rejilla Mesh (Fig. 1-b) [8]; y sus variaciones con SC (Stage Connecting o Etapas interconectadas) (Figs. 2-b y 3-b) [7]. En estas figuras se muestran solo 2 etapas de las RDR consideradas, alimentando a 16 sumideros o nodos finales que pueden

representar una carga, compuertas, o todo un elemento de procesador. Además se indica el sumidero inicial S_0 , que es a donde debe llegar la señal de reloj a distribuir. Esta señal puede venir desde un pin del circuito integrado y llegar a través de un pad en la periferia del chip (considerando un chip de 8x8 mm), al que se denominará CLK.

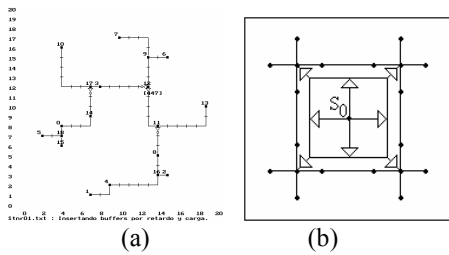


Figura 1. a) Árbol generado automáticamente basado en costo con inserción de buffers (RC). b) Topología Rejilla Mesh con buffers.

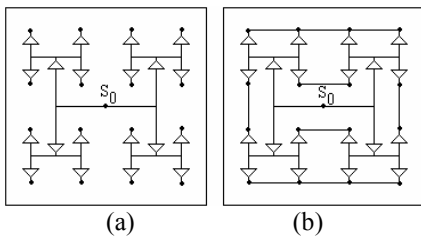


Figura 2. a) Árbol H con buffers. b) Árbol H con buffers y SC evitando traslapes (excepto desde CLK a S_0).

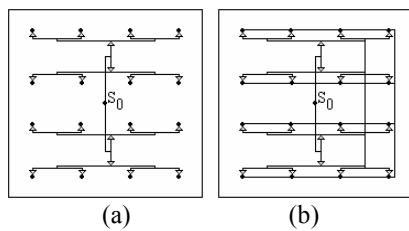


Figura 3. a) Árbol Cuaternario con buffers (Q). b) Árbol Cuaternario con buffers con SC regular con traslapes (Q-SC).

También se presentan las RDR globalmente asíncronas, localmente síncronas. En la fig. 4 se muestran 16 anillos interconectados de 5 etapas inversoras, que es una RDR fabricada a través de cuatro chips [5]; y en las figs. 5 y 6 se muestran nuestras propuestas de 3 etapas inversoras para diferentes ángulos y etapas [6].

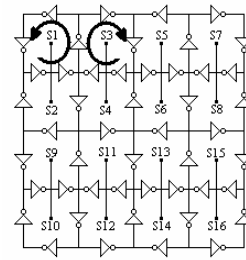


Figura 4. 16 anillos interconectados de 5 etapas inversoras. Se muestran 16 sumideros y se marcan los anillos 1 y 3.

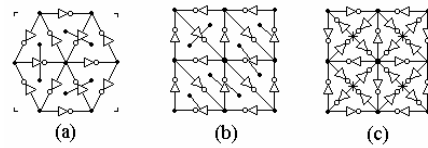


Figura 5. 2 etapas de anillos interconectados de 3 etapas inversoras mostrando sumideros: a) 6 anillos a 60° ; b) 8 anillos a 45° ; c) 16 anillos a $\pm 45^\circ$, solo se muestra un sumidero por cada 4 anillos (4:1).

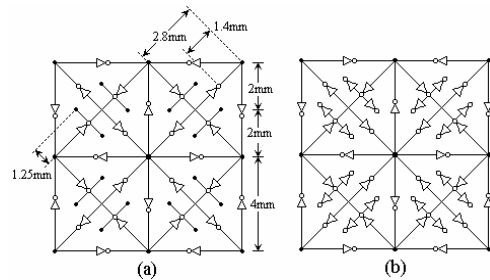


Figura 6. 16 anillos interconectados de 3 etapas inversoras a $\pm 45^\circ$, un anillo por sumidero (1:1): a) Sumideros y longitudes de interconexiones mostradas; b) Con buffers-inversores para cada sumidero.

En la fig. 7 se muestra un oscilador de relajación controlado por voltaje dividido en 4 submódulos y en la fig. 8 se muestra un arreglo básico de 2x2 osciladores interconectados, lo que representa una primera aproximación hacia los anillos interconectados de una sola etapa inversora.

Se calcularon el número de etapas inversoras y el costo de metal por etapas de todas las topologías presentadas. La topología 3 inv. $\pm 45^\circ$ 1:1 resultó con el menor número de inversores por etapa y la topología con menor costo de metal después de la topología de anillos interconectados de 5 etapas inversoras [6].

3. CONDICIONES Y RESULTADOS DE SIMULACION

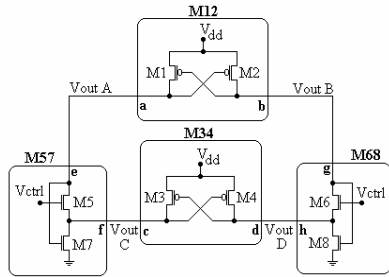


Figura 7. Oscilador de relajación dividido en 4 submódulos para su interconexión.

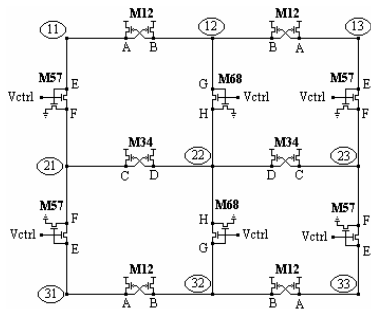


Figura 8. Arreglo de 2x2 osciladores de relajación interconectados obtenido al aplicar simetría.

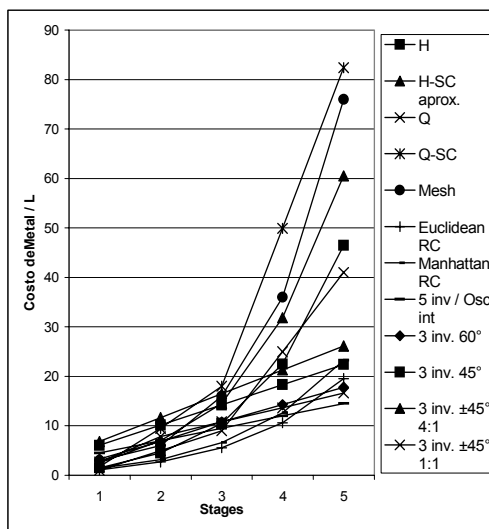


Figura 9. Comparación de costos de metal para las diferentes RDR globales y locales.

La fig. 9 muestra el crecimiento exponencial del costo de metal para las RDR globales y el incremento lineal para las RDR locales contra número de etapas. Esto es muy importante pues los tamaños de chip están creciendo y se requieren más etapas, por lo que las RDR globales tendrán más restricciones y limitaciones que las RDR locales.

La comparación es hecha en base a mediciones de retardos, frecuencia, corrimiento de reloj (clockskew), consumo potencia, variación de la fuente de alimentación (groundbounce) y acoplamiento (crosstalk). A altas frecuencias, las formas de onda ya no son tan cuadradas, por lo que debe considerarse la medición del tiempo de plateau que es el tiempo en que la señal se encuentra por arriba y debajo de 90 y 10% respectivamente de los niveles de alimentación. Entre más cercano sea este valor al 50% del periodo, más se asemeja la señal a una onda cuadrada.

Las topologías globales fueron analizadas para 3 casos: Sin buffers (NB), con buffers sólo en los 16 sumideros (16B), y con buffers en los 16 sumideros e insertos para árboles RC e intermedios para las otras topologías (IB). Estos casos incluyen buffers desde el reloj ideal (CLK) al sumidero inicial (S0).

Todas las topologías globales poseen el mismo diseño básico de buffer, capacitor de compensación, y ancho de interconexión (0.9mm con modelo 6-p RLC), usando tecnología AMS 0.35mm y metal-2 [8]. Se utilizó un modelo eléctrico concentrado para el pin del chip.

Los casos fueron simulados en *Star-HspiceMR* para cinco diferentes cargas de sumidero (CL), tiempos de subida-bajada de la señal de reloj (Trf), diseños de buffer básico (D), anchos de interconexión (W), capacitancias entre interconexiones acopladas (CCI) y 100 casos de análisis de Monte Carlo. Los diseños (D) indican la relación de tamaños entre el primer y segundo inversor de los buffers y el ancho de los transistores Nmos; el ancho de los Pmos se hizo al doble de los Nmos.

Los resultados más significativos son presentados en las tablas I a III para redes globales [3] y en las figs. 10 y 11 para redes locales [6].

TABLA I
Retardo promedio (ns) de S_0 a los 16 sumideros

Casos	RC	Mesh	H	H-SC	Q	Q-SC
W 3.5u NB	0.512	0.500	0.507	0.507	0.508	0.506
D:2-10u 16B	0.932	0.861	0.895	0.898	0.923	0.893
W 3.5u 16B	0.938	0.848	0.866	0.854	0.870	0.850
D:2-10u IB	1.086	1.104	0.917	0.917	0.928	0.922

TABLA II
Consumo de Potencia (mW).

Casos	RC	Mesh	H	H-SC	Q	Q-SC
D:2-10u NB	1.6266	1.6583	1.6149	1.6149	1.6148	1.6149
D:2-10u 16B	2.1129	1.9621	1.9659	1.9522	1.9425	1.9513
D:2-10u IB	2.1869	2.0562	1.9993	1.9975	2.0030	1.9838

TABLA III

Clock Skew (ps) en los 16 sumideros para la topología RC, despreciable para las otras redes globales.

Casos	NB	16B	IB
C _L 2856fF		17.627	62.780
D:2-10u	5.953	18.591	59.366
D:1-20u	5.624	41.007	72.487

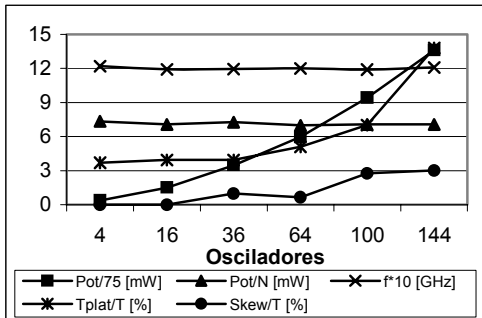


Figura 10. Figuras de mérito para anillos interconectados 3 inv. ±45° 1:1 con 200fF de carga en los sumideros finales.

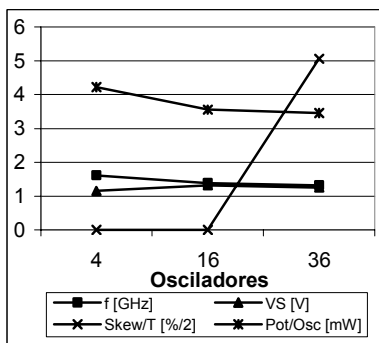


Figura 11. Figuras de mérito para osciladores de relajación interconectados con 200fF de carga en los sumideros finales.

4. ANALISIS DE RESULTADOS Y COMPARACION

Para topologías globales [3], Mesh presenta el menor retardo, el menor clockskew y la mayor robustez a fallas y variaciones en el proceso de fabricación, pero dada la tendencia a reducir dimensiones mínimas e incrementar el tamaño del chip para cualquier aplicación, es preferible el árbol RC, por su flexibilidad, bajo costo y velocidad. Sin embargo, dado el alto clockskew de los árboles RC, su combinación con uno o dos primeros niveles de árbol H (la mejor topología basada en geometría), resultan en una combinación muy atractiva para reducir este parámetro y simplificar el diseño de un árbol RC grande. El *stage connecting* mejora el clockskew y el consumo de potencia, pero incrementa el costo de metal y reduce la uniformidad,

que lleva a incrementar los efectos de groundbounce y crosstalk.

Para topologías locales [6], como se muestra en la fig. 10, los anillos interconectados conservan satisfactoriamente las características del anillo básico y el consumo de potencia se mantiene proporcional al número de anillos aún incrementando el número de anillos hasta 144, lo que representa longitudes de 24mm de chip. Sin embargo, como se muestra en la fig. 11, los osciladores interconectados son más sensibles al número de etapas, pues con 36 osciladores interconectados, se presenta un incremento en el corrimiento de reloj superior al 5%.

La tabla I muestra un retardo mínimo de 0.5ns para la topología Mesh sin buffers, lo que implica una frecuencia de hasta 500MHz con consumos de potencia de alrededor de 2mW para 16 sumideros en un chip de 8x8mm con corrimientos de reloj que van de 1 a 10% para los diferentes casos con buffers; en comparación con frecuencias de 1.2GHz consumiendo hasta 7mW por anillo pero expandibles hasta 24mm manteniendo el skew menor a 3% del periodo. En conclusión, a mayores frecuencias y longitudes de chip, a pesar de pagar un alto precio en consumo de potencia, se observa que solo las RDR globales cumplen con los requisitos de velocidad, corrimiento de reloj y bajo costo de metal. Se deberán aplicar técnicas de bajo voltaje a una sola celda y esas mejoras se verán reproducidas en todo el arreglo interconectado. Además, los anillos interconectados, así como la topología Mesh, presentan una gran robustez a fallas y variaciones en el proceso de fabricación, que no tiene las demás redes globales.

5. CONCLUSIONES

Se presentan y comparan las redes de distribución de reloj (RDR) globales y locales más representativas en base a sus figuras de mérito más importantes y bajo condiciones similares.

Se concluye que de acuerdo a las tendencias actuales, las RDR globales son necesarias para dividir el problema de tiempo de vuelo a altas frecuencias, pues conservan sus propiedades en longitudes de chip muy grandes, característica que no presentan las RDR locales; sin embargo se debe disminuir su excesivo consumo de potencia.

6. RECONOCIMIENTOS

Este trabajo fue apoyado por el Consejo Nacional de Ciencia y Tecnología (CONACYT-MEXICO) bajo el proyecto de investigación No. 34557-A

7. REFERENCIAS

- [1] Special Issue: Interconnections addressing the next challenge of IC Technology. Proceedings of the IEEE, April and May 2001. pp. 478, 484.
- [2] J. Montanaro, R. T. Witek, et. Al., "A 160-Mhz, 32-b 0.5-W CMOS RISC Microprocessor", IEEE JSSC, Vol. 31, No. 11, pp. 1703-1714, Nov. 1996.
- [3] M. Salim Maza and M. Linares Aranda. "Analysis of Clock Distribution Networks in the Presence of Crosstalk and Groundbounce" IEEE ICECS, Malta, Sep. 2001, 773-776.
- [4] M. Salim Maza and M. Linares Aranda. "Generación Automática de Redes de Distribución de Reloj a Costo Óptimo" VIII Workshop IBERCHIP 2-5 Abr. 2002, Guadalajara, Jalisco, México.
- [5] Lars Bengtsson and Bertil Svensson, "A Globally Asynchronous, Locally Synchronous SIMD Processor", Proc. of MPC98: Third International Conference on Massively Parallel Computing Systems, Colorado Springs, Colorado, USA, April 2-5, 1998.
- [6] M. Salim Maza and M. Linares Aranda. "Anillos de 3 y 5 inversores interconectados como Redes de Distribución de Reloj" II Congreso Nacional de Electrónica, BUAP, 22-26 Sep. 2002, Puebla, Puebla, México.
- [7] K. Suzuki and M. Yamashina. "A 500 MHz, 32 bit, 0.4 μ m CMOS RISC Processor". IEEE JSSC, Vol. 30, 1995, pp. 1464-1473.
- [8] H. Fair and D. Bailey, "Clocking Design and Analysis for a 600MHz Alpha Microprocessor", IEEE ISSCC, 1998, SP.25.2 1-10.