

Conversor A/D $\Delta\Sigma$ por descomposición de componentes en cuadratura ($Q\Delta\Sigma$)

Pedro Andrés Rangel⁽¹⁾, *Member, IEEE*, Ramses Emilio Peroza⁽²⁾, Miguel Alberto Melgarejo⁽³⁾

(1) P. A. Rangel es asistente de investigación en el grupo de aplicaciones en lógica programable y técnicas digitales (GILP) de la Universidad Distrital Francisco José de Caldas, Bogotá.

E-mail: gilpud@udistrital.edu.co

(2) R. E. Peroza es asistente de investigación en el grupo de aplicaciones en lógica programable y técnicas digitales (GILP) de la Universidad Distrital FJC

E-mail: ramperoza@yahoo.com

(3) Miguel Alberto Melgarejo coordinador y director I+D del grupo de investigación en lógica programable y técnicas digitales de la Universidad Distrital FJC.

E-mail: mmelgarejo@ieee.org

ABSTRACT

Oversampling converters have been a very popular architecture because they are able to reach high resolution using the minimum amount of bits. However, high resolution implies an increase in the bandwidth comparing with Nyquist rate converters. This paper shows the design procedure of an A/D conversion architecture where multiple $\Delta\Sigma$ modulators are combined to reduce or eliminate oversampling. To avoid oversampling, input signal is splitted in frequency sub-bands; each sub-band is parallel-processed by a conversion system based in input signal quadrature components. This scheme is called sigma delta A/D conversion by quadrature components ($Q\Delta\Sigma$).

RESUMEN

Los conversores $\Delta\Sigma$ han adquirido popularidad debido a la alta resolución que pueden alcanzar utilizando cuantificadores con un número de bits mínimo. Sin embargo, el precio de la alta resolución es el ancho de banda reducido en comparación con los conversores a tasa de Nyquist. En este documento se ilustra el diseño de una arquitectura de conversión A/D donde se combinan múltiples moduladores $\Delta\Sigma$, con el objetivo de reducir o eliminar el sobre muestreo. Para esto, la señal de entrada es dividida en sub-bandas de frecuencia, cada una de estas sub-bandas es procesada en paralelo por un sistema de conversión basado en las componentes en cuadratura de la señal. La arquitectura planteada es llamada conversión sigma delta por descomposición de componentes en cuadratura ($Q\Delta\Sigma$).

Conversor A/D $\Delta\Sigma$ por descomposición de componentes en cuadratura ($Q\Delta\Sigma$)

Pedro Andrés Rangel, *Member, IEEE*, Ramses Emilio Peroza

Abstract-- Los conversores $\Delta\Sigma$ han adquirido popularidad debido a la alta resolución que pueden alcanzar utilizando cuantificadores con un número de bits mínimo. Sin embargo, el precio de la alta resolución es el ancho de banda reducido en comparación con los conversores a tasa de Nyquist. En este documento se ilustra el diseño de una arquitectura de conversión A/D donde se combinan múltiples moduladores $\Delta\Sigma$, con el objetivo de reducir o eliminar el sobre muestreo. Para esto, la señal de entrada es dividida en sub-bandas de frecuencia, cada una de estas sub-bandas es procesada en paralelo por un sistema de conversión basado en las componentes en cuadratura de la señal. La arquitectura planteada es llamada conversión sigma delta por descomposición de componentes en cuadratura ($Q\Delta\Sigma$).

Index Terms-- Conversores $\Delta\Sigma$, Procesamiento paralelo, Arquitectura de conversión, Implementación sobre FPGA

I. INTRODUCCIÓN

La conversión análoga digital es una etapa clave en la mayoría de sistemas electrónicos modernos. Una vez, en formato digital, las señales pueden ser fácilmente almacenadas y procesadas para obtener la información deseada. La conversión análoga digital presenta limitaciones en resolución que se resuelven utilizando técnicas sobre muestreo; sin embargo, los conversores por sobre muestreo presentan inconvenientes en cuanto al ancho de banda de las señales que pueden muestrear. Como resultado de esto, surge la necesidad de diseñar nuevas arquitecturas de conversión que permitan manejar señales de ancho de banda elevado y que puedan ser muestreadas con alta resolución. En particular, las aplicaciones en tratamiento de imágenes y comunicaciones pueden verse beneficiadas con este tipo de arquitecturas.

Los conversores con la mayor tasa de muestreo son los tipo flash. Esta arquitectura utiliza 2^n-1 comparadores operando en paralelo para obtener una resolución de n bits. Debido al procesamiento en paralelo, estos conversores pueden trabajar a tasas muy elevadas; sin embargo, la resolución de estos conversores está limitada los niveles de comparación que se requiere implementar. Así, por ejemplo,

para implementar un conversor Flash con un rango dinámico de 20 voltios y una resolución de 16 bits, se requieren 65535 comparadores donde el nivel de comparación de cada uno es de 30 micro voltios, lo cual está más allá del límite de tolerancia para una implementación VLSI. Por otra parte, mediante la conversión $\Delta\Sigma$ se han obtenido resoluciones efectivas superiores a 20 bits utilizando un número de cuantificadores mínimo [10].

Algunos autores han planteado arquitecturas de conversión que mejoran el ancho de banda de conversores por sobre muestreo mediante el uso de procesamiento paralelo. Entre estas investigaciones se encuentra el uso de transformación Hadamard para lograr filtrar el ruido de cuantificación en un banco de conversores $\Delta\Sigma$ en paralelo [8], el uso de bancos de filtros para reducir la tasa de sobre muestreo [9]. En este documento se presenta una arquitectura alternativa, basada en el procesamiento paralelo de la señal de entrada con el objeto de reducir o eliminar el sobre muestreo.

Este documento se divide en las secciones que se explican a continuación. En la sección II se describe brevemente la arquitectura de conversión. La sección III muestra el comportamiento detallado de cada uno de los componentes de la arquitectura y demuestra que la salida del conversor posee una componente debida a la entrada y una componente debida al error de cuantificación. La sección IV presenta el diseño de un conversor basado en la arquitectura $Q\Delta\Sigma$. La sección V muestra los resultados de implementación del prototipo diseñado en la sección anterior.

II. DESCRIPCIÓN

A continuación se ilustra el procedimiento de diseño de una arquitectura de conversión A/D donde se combinan múltiples moduladores $\Delta\Sigma$, con el objetivo de reducir o eliminar el sobre muestreo. Para este efecto, la señal de entrada es dividida en sub-bandas de frecuencia, cada una de estas sub-bandas es procesada en paralelo por un sistema de conversión basado en las componentes en cuadratura de la señal. A través de este documento, la arquitectura planteada será llamada conversión sigma delta por descomposición de componentes en cuadratura ($Q\Delta\Sigma$).

Es posible dividir la señal de entrada al conversor en diferentes componentes pasa banda, cada componente es conocida como sub-banda de la señal de entrada [1]. Se requiere un sistema de conversión pasa banda para muestrear cada una de las sub-bandas. Los moduladores $\Delta\Sigma$ no son aptos para convertir señales pasa banda debido a su figura de ruido e igualmente debido al hecho que actúan como un filtro

P. A. Rangel es asistente de investigación en el grupo de aplicaciones en lógica programable y técnicas digitales (GILP) de la Universidad Distrital Francisco José de Caldas, Bogotá.

E-mail: gilpud@atenea.udistrital.edu.co

R. E. Peroza es asistente de investigación en el grupo de aplicaciones en lógica programable y técnicas digitales (GILP) de la Universidad Distrital FJC.

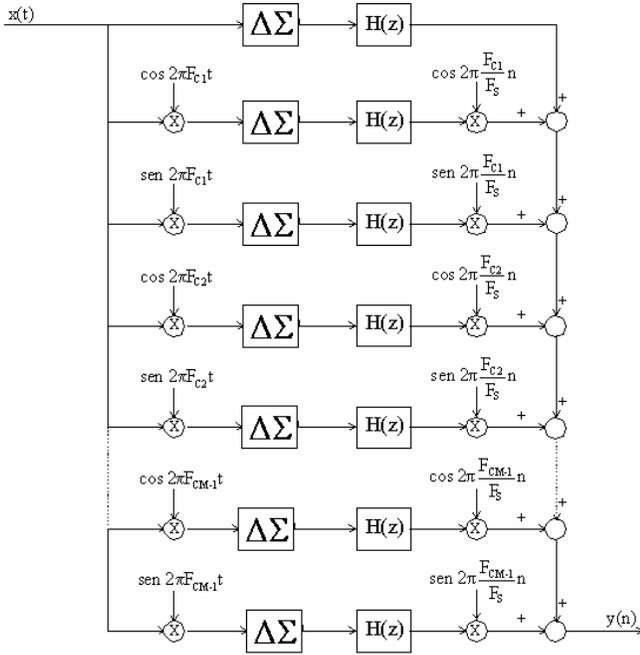


Fig. 1. Arquitectura QΔΣ

pasa bajo sobre la señal de entrada [2]. Sin embargo, toda señal pasa banda puede ser representada por dos señales pasa bajo conocidas como sus componentes en cuadratura.

En la Fig. 1 se muestra la arquitectura QΔΣ. Si la señal de entrada se divide en M sub-bandas de frecuencia, entonces se emplean 2M-1 canales paralelos que operan sobre la entrada analoga x(t) para su muestreo. A la entrada de cada canal, la señal de entrada es multiplicada por una señal sinusoidal, con el objeto de encontrar una representación pasa bajo de cada sub-banda. Esta secuencia pasa por el modulador, luego se filtra y por ultimo se multiplica por una versión discreta de la componente fundamental del canal específico. La salida de los canales es sumada para producir la salida total y(n).

La representación digital de las componentes en cuadratura de cada sub-banda se obtiene eliminando el ruido introducido por el convertidor ΔΣ mediante un filtro digital [2]. Del desempeño de este filtro depende la relación señal a ruido del sistema y por tanto su resolución efectiva [4].

III. DESARROLLO MATEMÁTICO

Sea x(t) una señal limitada en banda, con frecuencia máxima F_M ; entonces su espectro X(F) se puede representar como una sumatoria de M señales pasa banda $X_c(F)$, de la siguiente forma

$$X(F) = \sum_{c=0}^{M-1} X_c(F) \quad (1)$$

Las $X_c(F)$ se definen como sub-bandas de X(F) y se obtienen por medio de

$$X_c(F) = X(F) \cdot G_c(F) \quad (2)$$

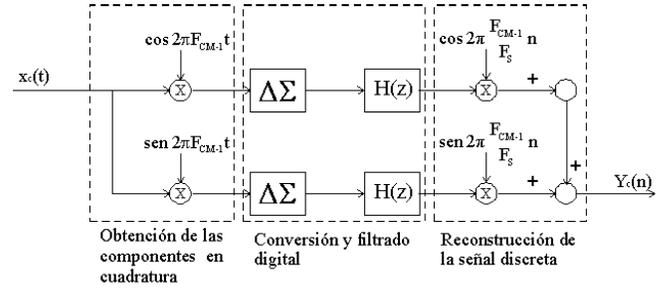


Fig. 2. Etapas de conversión para cada sub-banda

Donde:

$$G_c(F) = \begin{cases} 1, & F_c - \frac{B}{2} \leq |F| < F_c + \frac{B}{2} \\ 0, & \text{En otro caso} \end{cases} \quad (3)$$

A partir de lo anterior se definen

$$B = \frac{F_M}{M} \quad (4)$$

Como el ancho de banda de $X_c(F)$; y

$$F_c = c \cdot B \quad c = 1, 2, 3, 4, \dots \quad (5)$$

Como su frecuencia central.

En conclusión cada $X_c(F)$, se puede obtener a partir de X(F) por medio de un filtro con función de transferencia $G_c(F)$.

La función de transferencia $G_c(F)$ representa un filtro pasa banda ideal con frecuencia central F_c y ancho de banda B.

En la arquitectura QΔΣ, la señal de entrada x(t) es dividida en M sub-bandas; cada una de estas es procesada en paralelo a través de 3 etapas como se ilustra en la Fig 2.

1. Obtención de las componentes en cuadratura
2. Conversión ΔΣ y filtrado digital
3. Reconstrucción de la señal discreta

A. Componentes en Cuadratura

En la primera etapa se obtiene una representación equivalente pasa bajo de cada $X_c(F)$; es decir, se realiza una translación en frecuencia usando las componentes en cuadratura de la señal. Para obtener las componentes en cuadratura, la señal se multiplica por $\cos 2\pi F_c t$ y por $\sin 2\pi F_c t$

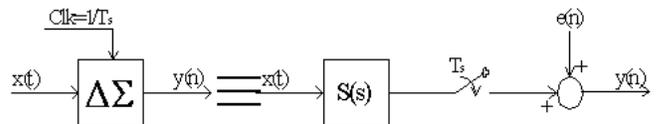


Fig. 3. Modelo equivalente de convertidor ΔΣ

B. Conversión $\Delta\Sigma$ y filtrado digital

Las componentes en cuadratura están limitadas en banda con una frecuencia máxima $F_{MS} = B/2$. Es posible muestrear estas señales por medio de un conversor $\Delta\Sigma$ de cualquier orden. En general, un conversor $\Delta\Sigma$ ideal es equivalente a un filtro lineal e invariante en el tiempo $S(s)$, mas una fuente de ruido de cuantificación. La Fig. 3 ilustra el modelo equivalente del conversor.

A partir del modelo equivalente se tiene

$$y(n) = x(n) + e(n) \quad (6)$$

Donde $x(n)$ es una representación discreta de la señal y $e(n)$ es una componente debida al error de cuantificación introducido por el conversor. En general, la densidad espectral de potencia $N_M(F)$, de la señal aleatoria $e(n)$, está determinada por el tipo de conversor; tal y como se observa en la siguiente ecuación [5]

$$N_M(F) = \frac{1}{12f_s} \left(\frac{X_M}{2^{m-1}} \right)^2 \left[4 \left(\sin^2 \left(\pi \frac{F}{f_s} \right) \right) \right]^m \quad (7)$$

Donde $x(n)$ es el rango dinámico del conversor, f_s la frecuencia de operación del conversor, n el orden del conversor y m el número de bits de cuantificación

Para aumentar la relación señal a ruido, la salida del conversor es filtrada. La máxima resolución para un conversor $\Delta\Sigma$ se obtiene cuando se elimina la totalidad del ruido fuera de la banda de interés. Para eliminar el ruido se requiere un filtro con el siguiente comportamiento en frecuencia

$$H(F) = \begin{cases} 1, & |F| < \frac{f_s}{2D'} \\ 0, & \text{En otro caso} \end{cases} \quad (8)$$

Donde f_s es la frecuencia de muestreo y D' la tasa de sobre muestreo. Ésta tasa de sobre muestreo se calcula con respecto al ancho de banda de la componente en cuadratura de la señal, de la siguiente forma

$$D' = \frac{f_s}{2F_{MS}} = \frac{2f_s}{2B} = \frac{f_s}{B} \quad (9)$$

Remplazando (4) en (9) se obtiene

$$D' = \frac{Mf_s}{F_M} \quad (10)$$

A partir de esta ecuación se observa que un aumento en las sub-bandas de frecuencia M , equivale a un aumento en el sobre-muestreo de la señal.

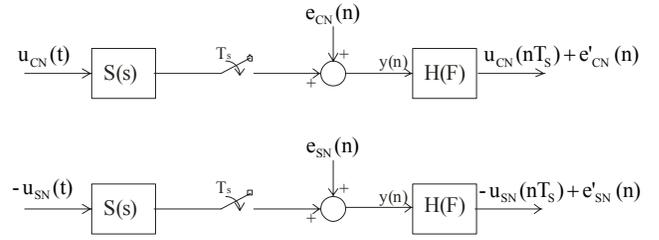


Fig. 4. Etapa de conversión y filtrado

En la etapa de conversión y filtrado se obtiene una representación discreta de las componentes en cuadratura de cada sub-banda mas una componente de ruido. La resolución de ésta señal está determinada por las características del conversor, la tasa de sobre muestreo, y la respuesta del filtro. Ésta etapa es ilustrada en la Fig. 4.

C. Reconstrucción de la señal discreta

En ésta etapa cada sub-banda es recuperada a partir de sus componentes en cuadratura a través de la siguiente ecuación

$$x_c(t) = u_c(t) \cos 2\pi F_c t - u_s(t) \sin 2\pi F_c t \quad (11)$$

Si una sub-banda es muestreada a una frecuencia $F_s = 1/T_s$, se obtiene

$$x_c(n) = u_c(nT_s) \cos 2\pi \frac{F_c}{F_s} n - u_s(nT_s) \sin 2\pi \frac{F_c}{F_s} n \quad (12)$$

Para obtener una representación discreta de cada señal pasa banda se utiliza el esquema ilustrado en la Fig. 5, a partir de la cual $y_c(n)$ puede escribirse como

$$y_c(n) = x_c(n) + e_{TC}(n) \quad (13)$$

Para obtener una representación discreta de la señal de entrada; se suman las señales procesadas en paralelo a través de cada canal. De esta forma se obtiene una salida total, descrita por la siguiente ecuación

$$\begin{aligned} y(n) &= \sum_{c=0}^{M-1} y_c(n) = \sum_{c=0}^{M-1} x_c(n) + \sum_{c=0}^{M-1} e_{TC}(n) \\ &= x(n) + \sum_{c=0}^{M-1} e_{TC}(n) \end{aligned} \quad (14)$$

La resolución efectiva del conversor esta determinada por la relación entre la componente debida a la señal $x(n)$ y la componente debida al ruido.

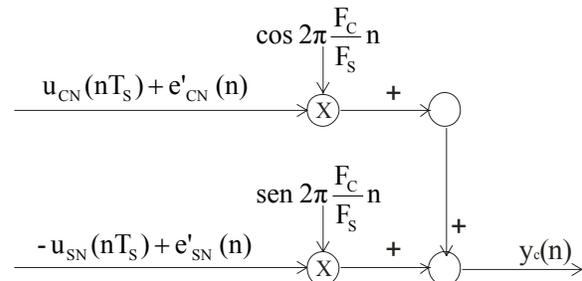


Fig. 5. Recuperación de las sub-bandas

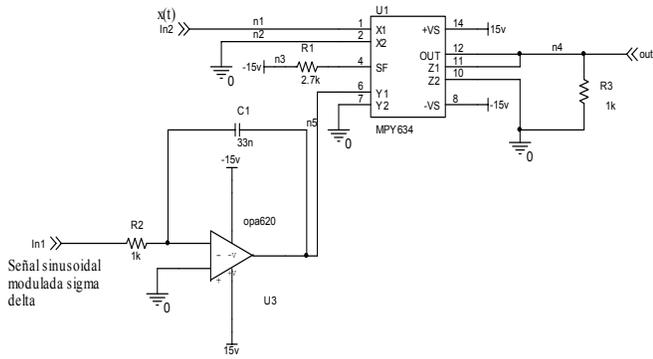


Fig. 6. Esquema para encontrar componentes en cuadratura

IV. DISEÑO DE PROTOTIPO

En este capítulo se ilustra el diseño de un prototipo para la arquitectura Q $\Delta\Sigma$. El prototipo diseñado divide la señal de entrada en 3 sub-bandas de frecuencia ($M=3$), y por tanto puede muestrear señales con un ancho de banda 5 veces mayor al que podría muestrear un solo convertidor. A continuación se ilustra cada uno de los bloques necesarios para la arquitectura de acuerdo con la Fig. 1.

A. Componentes en cuadratura

Para encontrar las componentes en cuadratura de la señal de entrada es necesario multiplicar la entrada analógica por varias señales sinusoidales. Esta multiplicación analógica, se implementa por medio del modelo usado en el circuito integrado MPY634 de la Texas Instrument.

Para generar las señales sinusoidales que multiplican a la entrada analógica, se implementa una memoria que contenga los valores de las señales necesarias convertidas por un convertidor $\Delta\Sigma$. Los valores en la tabla son barridos por un contador y las salidas se filtran para obtener las señales sinusoidales. Este esquema es implementado mediante el circuito mostrado en la Fig. 6. Para el prototipo se utilizan 4 etapas como éstas.

B. Convertidor $\Delta\Sigma$ y filtrado digital

El circuito mostrado en la Fig. 7 es un convertidor $\Delta\Sigma$ de primer orden ($n=1$) que posee un cuantificador a 1 bit ($M=1$), la frecuencia de muestreo se establece por medio de la señal $clk1$. Con este esquema es posible muestrear señales de hasta 5 KHz con una tasa de sobre muestreo $D'=100$. Para la implementación se utiliza el modelo de un amplificador operacional OPA620, que cumple con los requerimientos en ancho de banda del dispositivo.

Al introducir una señal de prueba de 5 KHz en el esquema ilustrado en la Fig. 7 se obtiene el espectro mostrado en la Fig. 8. En este espectro se observa que el ruido de cuantificación es desplazado hasta los 15 KHz. La resolución efectiva del convertidor está determinada por la relación señal a ruido [6] [7], la cual está determinada por la respuesta del filtro digital utilizado en la recuperación de la señal [3].

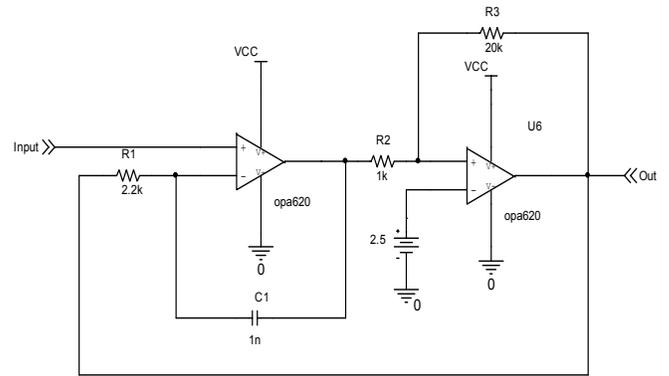


Fig. 7. Convertor Sigma delta de primer orden

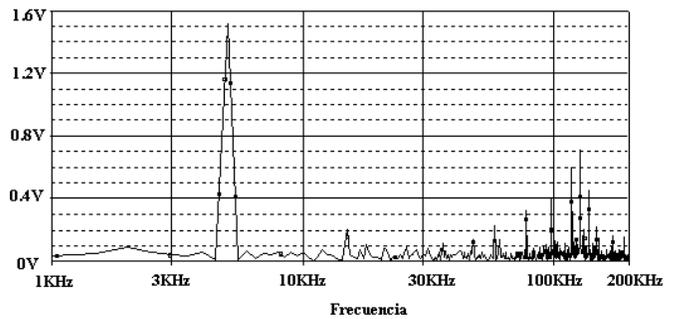


Fig. 8. Espectro de la señal de salida del convertor.

El filtro digital es diseñado como un filtro FIR pasa bajo, mediante el método de ventana. La ventana utilizada es una ventana Hamming. La frecuencia de corte del filtro es de 5 KHz; ya que la tasa de muestreo es mucho mayor es posible diseñar un filtro multi-tasa para mejorar la respuesta del filtro[1]. El desempeño del filtro está determinado por su longitud. La Fig. 9 muestra la relación señal a ruido del convertidor en función de la frecuencia de la señal de entrada, utilizando un filtro de 16 coeficientes, de 32 coeficientes y de 64 coeficientes. La longitud efectiva del filtro es proporcional al área que ocupa en la implementación, en el prototipo realizado se utiliza un filtro de 64 coeficientes cuantificados a 8 bits. Con este filtro se obtiene una resolución efectiva promedio de 8 bits.

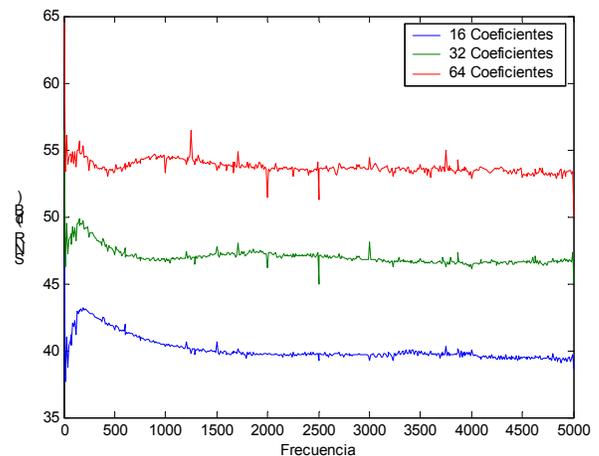


Fig. 9. Relación señal a ruido vs. Frecuencia

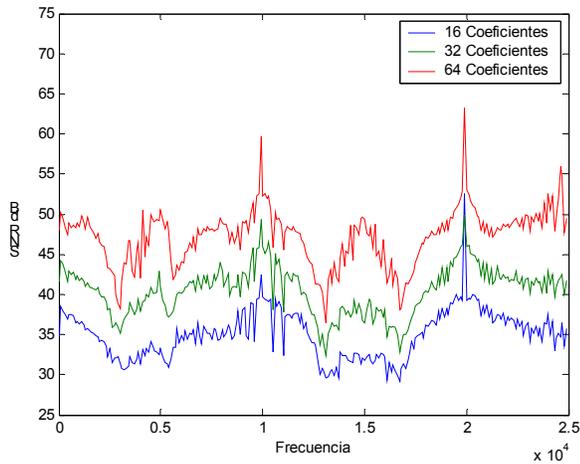


Fig. 10. Relación señal a ruido vs frecuencia del sistema

C. Reconstrucción de la señal discreta

Para recuperar la señal discreta se implementan los debidos multiplicadores digitales. Una de las entradas de cada multiplicador es la señal de salida del filtro digital y la otra son los valores generados de las señales sinusoidales. Esta operación es realizada en cada canal y el resultado de ésta se suma para obtener la señal discreta de salida. La primera entrada del multiplicador debe tener una longitud igual a la salida del filtro (8 bits), y la segunda esta determinada por el número de bits utilizados en la cuantificación de las señales sinusoidales, para éste caso se utilizaran 8 bits. La salida de los multiplicadores posee 16 bits de longitud y por tanto esta debe ser la longitud de entrada de cada sumador. La salida total posee entonces una longitud de 21 bits.

En general, la relación señal a ruido del sistema depende del orden del conversor $\Delta\Sigma$ y de la longitud del filtro. La tasa efectiva de muestreo depende del número de canales en paralelo de la implementación. La Fig. 10. ilustra la relación señal a ruido del sistema en función de la frecuencia de la señal de entrada para un filtro de 16 coeficientes, de 32 coeficientes y 64 coeficientes. La relación señal a ruido promedio de la implementación es de 50dB, con esta relación señal a ruido se obtiene una resolución efectiva de 8 bits.

V. RESULTADOS DE IMPLEMENTACIÓN

El diseño del prototipo de esta arquitectura se divide en dos secciones. En la primera se estudian los componentes utilizados para la parte análoga del prototipo y en la segunda el resultado de la parte digital.

A. Sección Análoga

La sección análoga de la implementación consta de dos secciones: la implementación de los conversores sigma delta y la implementación del circuito encargado de encontrar las componentes en cuadratura.

De la sección anterior se deduce que para cada conversor se requieren 2 amplificadores operacionales. En total para la implementación de éste prototipo se utilizan 10 amplificadores operacionales. Cada uno de estos

amplificadores debe poseer una respuesta en frecuencia suficiente para sobre muestrear la señal de entrada. Ya que la tasa de sobre muestreo escogida es de 100 y la frecuencia máxima de la señal de entrada es de 5 KHz los amplificadores deben trabajar adecuadamente a 500 KHz.

Para encontrar las componentes en cuadratura de la señal de entrada se muestra en la Fig. 6. En la figura se observa que para encontrar las componentes en cuadratura de una señal, se requiere de 2 multiplicadores y 2 amplificadores. En total para el prototipo se requiere de 4 multiplicadores y 4 amplificadores en esta labor.

A partir de lo anterior se deduce que la arquitectura conserva la característica de los conversores $\Delta\Sigma$ de utilizar un menor número de cuantificadores que los conversores tipo flash. Un conversor tipo flash con resolución de 8 bits requiere de 255 amplificadores, mientras que el prototipo diseñado solo utiliza 14.

B. Sección Digital

La sección digital consta de 5 filtros digitales, 4 multiplicadores, 4 tablas que contengan los valores de las señales sinusoidales, y 1 tabla que genere los valores que serán enviados por un puerto para ser multiplicados en la parte análoga del circuito. Para la implementación se utilizaron filtros digitales FIR con 64 coeficientes cuantificados a 8 bits. La respuesta en frecuencia de éste filtro es ilustrada en la Fig. 11.

La sección digital es implementada sobre una FPGA de la familia VIRTEXE referencia V600EHQ240 de la compañía XILINX [11]. Los filtros digitales se implementaron utilizando el CORE de filtros FIR por aritmética distribuida de XILINX [12]. Los multiplicadores, sumadores y las tablas fueron especificadas utilizando el lenguaje de descripción de hardware VHDL. En la figura 12 se muestra el diagrama de congestión de rutas del chip utilizado.

La implementación utiliza 1998 SLIDES de 6912 disponibles en el dispositivo. El tiempo promedio de retardo es de 2,8 ns y la ruta crítica presenta una propagación de 3,6 ns.

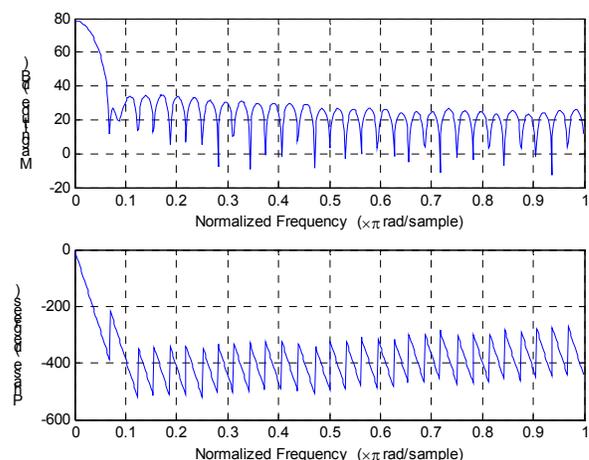


Fig. 11. Respuesta del filtro utilizado en la implementación

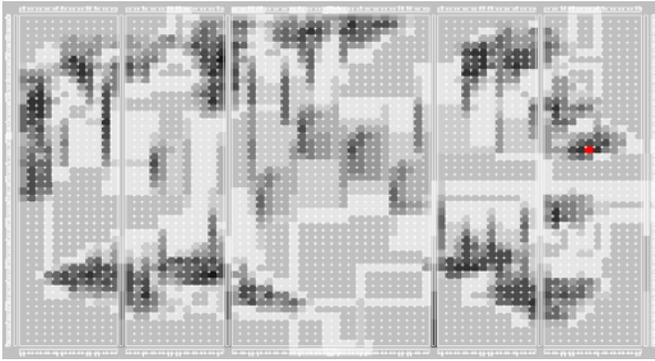


Fig 12. Congestión de rutas de la implementación de Q $\Delta\Sigma$

VI. CONCLUSIÓN

En este documento se presenta y analiza la implementación de una nueva arquitectura de conversión análoga digital. El sistema mejora la tasa máxima de muestreo de un conversor $\Delta\Sigma$ mediante el uso de técnicas de procesamiento paralelo. Para reducir la tasa de sobre muestreo la señal de entrada es dividida en sub bandas de frecuencia por medio del uso de sus componentes en cuadratura. El análisis presentado es general y puede ser aplicado para cualquier orden de conversor $\Delta\Sigma$ con cualquier tipo de filtro digital. Sin embargo el texto muestra el diseño de un prototipo de la arquitectura que utiliza un conversor $\Delta\Sigma$ de primer orden y un filtro FIR con 64 coeficientes. El análisis matemático muestra el ruido de cuantificación es acumulativo y por tanto la arquitectura se desempeña mejor con conversores que introduzcan poco ruido. El ancho de banda del conversor implementado dependerá del ancho de banda de los conversores $\Delta\Sigma$ utilizados y de la cantidad de canales que se implementen; mientras que la resolución efectiva dependerá del orden del conversor y de la respuesta del filtro implementado.

La arquitectura presentada en este documento puede llevarse a una implementación más robusta, con mayor número de canales y conversores con mejor desempeño. De esta forma, las ideas presentadas pueden permitir el uso de conversores $\Delta\Sigma$ en aplicaciones de banda ancha.

REFERENCIAS

- [1]. P. P. Vaidyanathan, Multirate System and Filter Bank. Englewood Cliffs, NJ; Prentice Hall, 1993.
- [2]. J. C. Candy, B. J. Oconnell, "The Structure of Quantization Noise from Sigma-Delta Modulation" IEEE Transaction on communications, Vol com 29, No 9, Septiembre 1981.
- [3]. Sangil Park, Principles of sigma-delta modulation for analog-to-digital converters, Motorola Literature Distribution, 1993.
- [4]. B. Leung, "Theory of sigma delta analog to digital converters", Circuits and systems tutorials, 1994 IEEE International symposium on circuits and systems, Oxford, UK. IEEE Press, pp 195-223, 1995.
- [5]. B. Boser and B. Wooley, "Quantization error spectrum of Sigma-Delta modulators," Proc. International Symposium on Circuits and Systems, pp. 2331-2334, June, 1988.
- [6]. A. V. Oppenheim and R. W. Schaffer, Discrete-Time Signal Processing, New Jersey: Prentice Hall, 1989.
- [7]. W. R. Bennet, "Spectra of Quantized Signals", Bell Systems Technical Journals, Vol 27, pp 446-, July 1948.

- [8]. I. Galton, H.T. Jensen, "Oversampling parallel delta-sigma modulation A/D conversion", IEEE Trans. Circuits Syst. II, vol 43, pp 801-810, Dec 1996.
- [9]. R. Khoini-Poorfard, L. B. Lim, D. A. Johns, , "Time-Interleaved Oversampling A/D Convrters: Theory and Practice", IEEE Trans. Circuit Syst. II, vol 44, pp 634-644, Aug 1997.
- [10]. D. A. Kert, "A 120 dB linear switched capacitor Delta-Sigma modulator", in ISSCC, Feb 1994, pp.196-197.
- [11]. Xilinx Editor, The Programmable Logic Data Book, Xilinx Co, 1999
- [12]. Xilinx Editor, Distributed Arithmetic FIR Filter V 5.0.0, Xilinx Co, Mar 1999