

MUESTRA DE UNA SEÑAL BIOMÉDICA EN TIEMPO REAL SOBRE UN MONITOR VGA CON RESOLUCIÓN 640x480

Cynthia Pérez-Morris, Silvia Akamine-Serpa, Víctor Murray-Herrera , Gerard F. Santillán-Quiñonez,
Member, IEEE
{cpm_tiux, silviaak, vico}@gpsi.electro.pucp.edu.pe, gsantil@ieee.org

Grupo de Procesamiento Digital de Señales e Imágenes-Pontificia Universidad Católica del Perú
Av. Universitaria S/N Cdra. 18-Lima 32, Perú
Telf.: +511-4602870 Ext. 304 Fax: +511-2618861

ABSTRACT

In several equipment that incorporate stages of biomedical signal analysis is required the visualization of many of them in order to test the object behavior in real-time. This paper presents a configurable digital system, which allows the visualization of a low frequency signal as biomedical over a VGA monitor with 640x480 resolution using just a FPGA FLEX 10k10. It is possible to specify the position of the zone where the signal is showed, the colors used and the frequency of sampling. The system occupies just the 32% of a FPGA EPF10K10LC84 [1] with a maximum frequency of 42.55MHz which allows more processing stages and in this way show more than one signal at the same and in real-time and using just a FPGA of low cost. The system is described in VHDL and the results achieved where obtain in MAX+plus II 10.0.

RESUMEN

En diversos equipos que incorporan etapas de análisis de señales biomédicas es necesaria su visualización para verificar el comportamiento del sistema en tiempo real. Este trabajo presenta un sistema digital configurable que permite mostrar una señal de baja frecuencia, como las biomédicas, sobre un monitor VGA con resolución de 640x480 usando solo el 32% de un FPGA FLEX 10K10 con una frecuencia máxima de 42,55MHz. La arquitectura lograda permite especificar la posición en el monitor de la ventana donde se muestra la onda, los colores a usar y la frecuencia de muestreo de la señal. Este sistema puede servir de base para desarrollar uno que permita mostrar más de una señal simultáneamente en tiempo real y usando solo un FPGA de bajo costo. El sistema es descrito totalmente en VHDL y los resultados alcanzados se obtuvieron en MAX+plus II 10.0.

MUESTRA DE UNA SEÑAL BIOMÉDICA EN TIEMPO REAL SOBRE UN MONITOR VGA CON RESOLUCIÓN 640x480

Cynthia Pérez-Morris, Silvia Akamine-Serpa, Víctor Murray-Herrera, Gerard F. Santillán-Quiñonez,
Member, IEEE

{cpm_tiu, silviaak, vico}@gps.electro.pucp.edu.pe, gsantil@ieee.org

Grupo de Procesamiento Digital de Señales e Imágenes-Pontificia Universidad Católica del Perú
Av. Universitaria S/N Cdra. 18-Lima 32, Perú
Telf.: +511-4602870 Ext. 304 Fax: +511-2618861

RESUMEN

En diversos equipos que incorporan etapas de análisis de señales biomédicas es necesaria su visualización para verificar el comportamiento del sistema en tiempo real. Este trabajo presenta un sistema digital configurable que permite mostrar una señal de baja frecuencia, como las biomédicas, sobre un monitor VGA con resolución de 640x480 usando solo el 32% de un FPGA FLEX 10k10 con una frecuencia máxima de 42,55MHz. La arquitectura lograda permite especificar la posición en el monitor de la ventana donde se muestra la onda, los colores a usar y la frecuencia de muestreo de la señal. Este sistema puede servir de base para desarrollar uno que permita mostrar más de una señal simultáneamente en tiempo real y usando solo un FPGA de bajo costo. El sistema es descrito totalmente en VHDL y los resultados alcanzados se obtuvieron en MAX+plus II 10.0.

1. INTRODUCCION

Existen entornos desarrollados para muestreo de señales biomédicas en plataforma windows u otros, pero esto hace necesario incorporar un ordenador personal para el monitoreo. La inestabilidad del sistema operativo puede ser riesgoso para verificar la necesidad de una toma de acción en el sistema [2]. Por ello es preferible usar un sistema específico incorporado en el equipo. Sin embargo, esto no debe ser una plataforma que coloque restricciones al desarrollo propio del equipo biomédico y su complejidad debe ser mínima para facilitar desarrollos futuros.

Las señales biomédicas son de baja frecuencia y con un muestreo menor a 50Hz es posible graficarlas en forma adecuada [3]. El barrido necesario para un monitor VGA con una resolución de 640x480 logra una frecuencia de frentes de pantalla de hasta 50Hz, lo cual es suficiente para mostrar dichas señales en tiempo real. En [4] y [5] se

muestra que es posible desarrollar un controlador para un monitor VGA usando un FPGA Flex10k10 usando menos del 10% de su capacidad, lo cual posibilita el desarrollo de un sistema de mayor complejidad en el mismo.

Este Trabajo está organizado de la siguiente manera: la Sección 2 presenta un análisis de las señales de control necesarias para el monitor VGA, la Sección 3 presenta el funcionamiento de la arquitectura desarrollada, la Sección 4 muestra el análisis tanto del consumo de celdas lógicas como de la frecuencia máxima de cada bloque funcional y de todo el sistema. Finalmente, se dan las conclusiones.

2. CONTROL DEL MONITOR VGA A 640x480

El barrido en un monitor VGA debe incorporar señales de sincronización tanto para el barrido de filas como de columnas ya caracterizadas para su correcto funcionamiento [5][6]. Para una resolución de 640x480 se debe usar una señal de reloj de 25,175MHz para cumplir con las duraciones especificadas de las señales de sincronismo horizontal y vertical. Incluyendo las etapas de sincronía, el barrido recorre una matriz de 800x525 pixeles para una resolución de 640x480. Se debe recalcar que la cuenta de filas no está alineada con la cuenta de columnas, pues el controlador VGA incrementa la cuenta de filas en la columna 700. De esta forma, la delimitación de filas y columnas y la zona visible del barrido en el monitor (640x480 pixeles) es realizada según lo mostrado en la figura 2.

Aunque se especifican 480 filas, la cuenta de ellas se desarrolla desde 0 hasta 524. La señal de sincronismo de filas debe permanecer en baja solo durante los valores de fila de 493 y 494 y el resto de la cuenta en alta, lo cual permite cumplir con lo especificado en la figura 1.b. Por razones similares, para el caso de columnas, se contabiliza una cantidad adicional de ellas para generar la señal de sincronismo correspondiente (ver fig. 1.a). Cabe resaltar que si estas señales de sincronismo no son generadas en forma precisa con las duraciones indicadas en la figura 1,

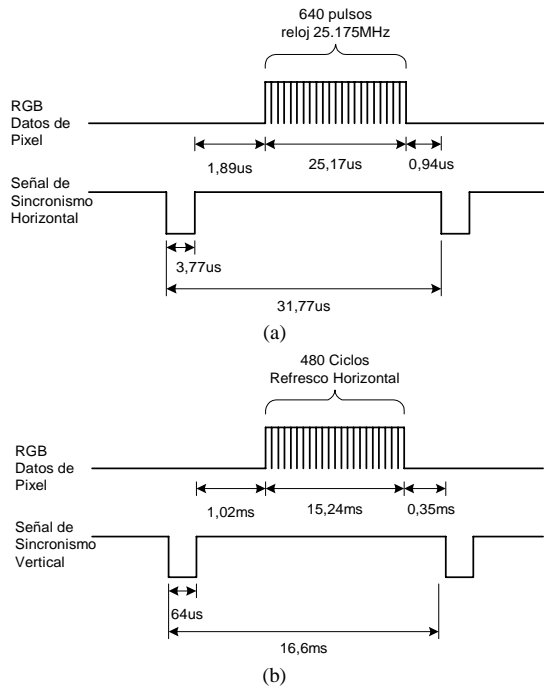


Fig. 1.- Señales de sincronía para el monitor VGA:
a). Sincronismo de columnas, b). Sincronismo de filas

no se tendría una correcta interacción con el monitor VGA resultando una imagen “nula” (ausencia de color en todo los píxeles).

El controlador VGA usado en este trabajo tiene como base al presentado en [4], al cual se le agregó un flip-flop para generar la habilitación del incremento de las filas, por lo cual se compara ahora con la columna698 para determinar el estado en alta de esta señal. Esto ha permitido reducir de 47 a 44 el número de celdas lógicas e incrementar la frecuencia máxima de 63 a 73,52MHz en un FPGA FLEX 10K10LC84-3 con síntesis FAST, lo que permite un uso más eficiente del dispositivo y el desarrollo de sistemas con mejores frecuencias máximas.

Las señales que entrega el controlador VGA al resto del sistema son las cuentas de filas y columnas, las cuales permiten generar las señales de control necesarias para indicar al resto del sistema la zona de trabajo actual del barrido (ver fig. 3) y para especificar, así, al controlador VGA el color especificado para cada zona y la onda en el momento adecuado.

3. ARQUITECTURA DESARROLLADA

El sistema propuesto debe recibir el valor de la amplitud de la onda analógica a mostrar con una precisión en bits predefinida y guardar los valores correspondientes a una ventana de tiempo, el cual es mostrado en pantalla en la posición elegida al momento de definir la aplicación final.

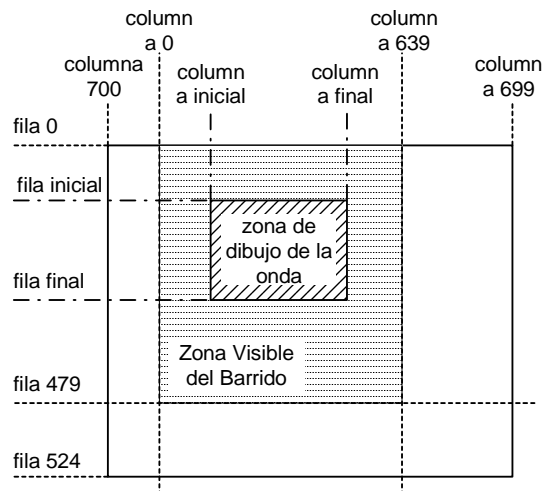


Fig. 2.- Demarcación usada para el monitor VGA

Esto condujo al uso de los módulos funcionales mostrados en la figura 3.

El módulo Captura de Datos genera el valor de la fila en la cual debe dibujarse la onda en el tiempo actual de muestreo, considerando la amplitud de la onda (valor capturado) y la fila donde se ubica el nivel de referencia en la zona de dibujo. Para esto, se debe indicar como parámetro en la descripción VHDL la fila donde se ubica el nivel de referencia, al cual debe sumarse el valor de la amplitud de la onda para luego ser almacenado en la memoria interna temporal cuyo control está a cargo del módulo Genera Dirección.

Como se indica en la Sección 2, el controlador VGA entrega las cuentas de filas y columnas al Control Principal. A este módulo debe indicarse, como parámetro en su descripción VHDL, los valores de la fila inicial y final y columna inicial y final (ver fig. 2) que determinan la ubicación y el tamaño de la zona donde se muestra la onda en pantalla. Con estos valores y la indicación de fila y columna actual del controlador VGA se genera la señal de control en_zona que indica si el barrido está dentro de la zona de dibujo de la onda.

El Control Principal indica el momento en el cual se debe hacer el muestreo a través de la señal x_frames. Para ello, este módulo requiere que se especifique en la descripción VHDL cada cuántos frentes de pantalla se debe hacer el muestreo, lo cual es usado por los módulos Captura de Datos y Genera Dirección (ver fig. 3) para saber el momento de captura y almacenamiento del dato. El controlador de la memoria interna (módulo Genera Dirección) genera, en forma independiente, la dirección correcta para almacenar el nuevo dato y la dirección de lectura de los valores para la ventana de tiempo cada vez que el barrido ingresa a la zona de dibujo de la onda (ver fig. 4).

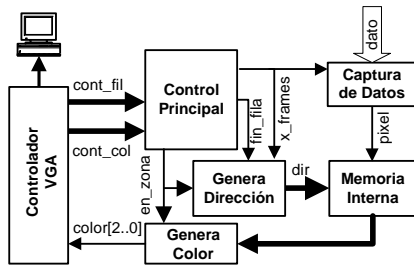


Fig. 3.- Esquema funcional del sistema

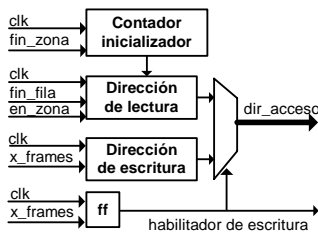


Fig. 4.- Módulo Genera Dirección

La dirección de lectura debe tomar un valor inicial correspondiente al inicio de la ventana del tiempo cada vez que el barrido ingresa a la zona de dibujo de la onda. Este valor inicial debe incrementarse cada vez que se obtiene un nuevo valor para la onda y, así, desplazar la ventana de tiempo.

Es importante que la muestra de la onda en pantalla se vea real desde el inicio. Por ello, el primer valor capturado debe ser almacenado en la dirección de memoria correspondiente al extremo final de la ventana de tiempo, para luego desplazar la onda y mostrar los valores actuales a la frecuencia de muestreo establecida.

El módulo Genera Color indica al controlador VGA el color a mostrar en pantalla de acuerdo a la posición actual del barrido. El color para cada zona, el nivel de referencia de la onda y la onda en sí son especificados como parámetros en su descripción VHDL. Para la zona de dibujo de la onda se consideran los valores leídos desde la memoria interna, los cuales indican la fila en la cual se ubica el valor de la amplitud para cada columna. Para que la onda se muestre como una línea continua se considera también, como parte de ella, las filas comprendidas entre el valor actual y el inmediato anterior leído desde la memoria interna para cada columna barrida.

Para lograr el funcionamiento esperado deben considerarse los retardos con los cuales se generan las señales de control y los períodos de reloj que deben pasar para que los demás módulos entreguen el valor solicitado. Cuando el controlador VGA indica, por ejemplo, el inicio de la zona de dibujo de la onda, el control principal lo detecta y envía al resto del sistema la señalización este evento. Sin embargo, cuando esta señal llega ya ha transcurrido varios períodos del reloj y el barrido del

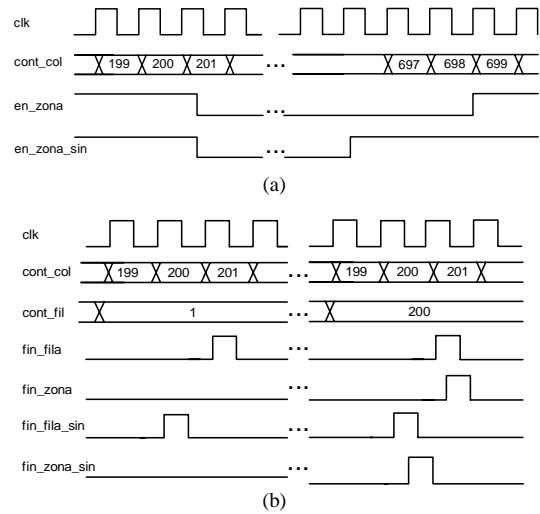
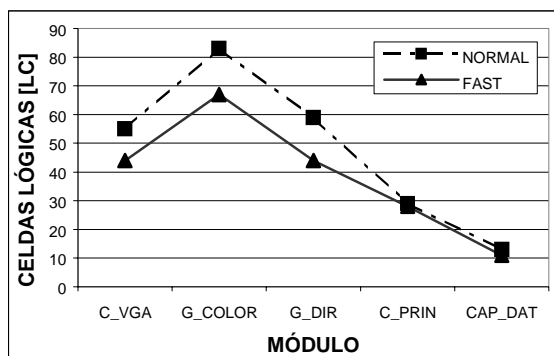
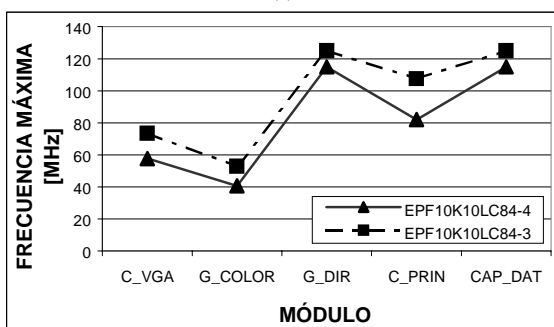


Fig. 5.- Sincronización de las señales de control: (a) señal *en_zona*, y (b) señales *fin_zona* y *fin_fil*

monitor se encuentra en otra posición. Por ello, el módulo Control Principal tiene arreglos para sincronizar las señales de control enviadas. Así, la señal de control *fin_fil*, capaz de detectar que el barrido se encuentra en la última columna designada para la zona del gráfico de la onda en el rango de filas establecido, no genera el pulso al detectarse el valor final sino en una columna anterior. Se logra, así, salvar los retardos en la lectura de datos que se encuentran en la memoria y que forman parte de la onda a graficar. El caso es similar para generar el pulso de *fin_zona* (cuando el barrido sale de la zona del gráfico en la última fila de la misma), la cual debe activarse 1 período de reloj antes (ver fig. 5.b). La señal *x_frames* es también retrasada un ciclo, para luego entregar *hab_we* (señal de salida del módulo Genera Dirección), y así lograr que la multiplexación mostrada en la figura 4 se produzca con los valores correctos de la dirección de lectura o escritura en el momento señalado. Se debe asegurar también que la señal *en_zona* se inicie justo antes de que el barrido se encuentre dentro de la zona, pues si se activa instantes después el módulo Genera Color no entrega el color que le corresponde a la onda desde el inicio del rango de columnas para la zona de muestreo (ver fig. 5.a). La figura 5.b muestra las señales luego de la sincronización explicada (en la figura 5 se tiene como columna inicial de la zona del gráfico 0 y columna final 200, la fila inicial 0 y la final 200). Todo esto permite obtener el valor de color requerido en la posición esperada, lo cual es muy importante para mostrar la onda en toda la zona de dibujo especificada y no se salga de la misma.



(a)



(b)

Fig. 6.- Eficiencia de cada módulo: (a) Celdas lógicas y (b) Frecuencia máxima

4. EFICIENCIA DEL SISTEMA

La descripción VHDL de cada módulo fue optimizada para obtener frecuencias máximas mayores a 40MHz y ocupar el menor número de celdas lógicas posibles para posibilitar el uso de FPGAs de bajo costo como el EPF10K10LC84. La figura 6.a muestra la cantidad de celdas ocupadas por cada módulo; se observa que el módulo de mayor consumo de celdas es Genera Color (G_Color) y el de menor Captura de Datos (Cap_Datos). La síntesis FAST muestra un menor consumo de celdas que la NORMAL para todos los módulos (las cantidad es de celdas lógicas mostradas son para el FPGA FLEX 10k10). Observar que el consumo de celdas de cada módulo está en el orden de 7 y 14% de un FPGA FLEX10K10 e incluso Captura de Datos ocupa menos del 1%, lo cual hace factible desarrollar un sistema de monitoreo con mayores prestaciones sobre el mismo FPGA. Todo el sistema presentado ocupa 188 y 229 celdas lógicas usando síntesis FAST y NORMAL, respectivamente, lo cual equivale al 32 y 39%, según el caso, de un FPGA FLEX 10k10.

La figura 6.b compara la frecuencia máxima obtenida en cada módulo para dos grados de velocidad de un mismo FPGA usando síntesis FAST. Esta gráfica muestra la mejora del controlador VGA respecto al presentado en

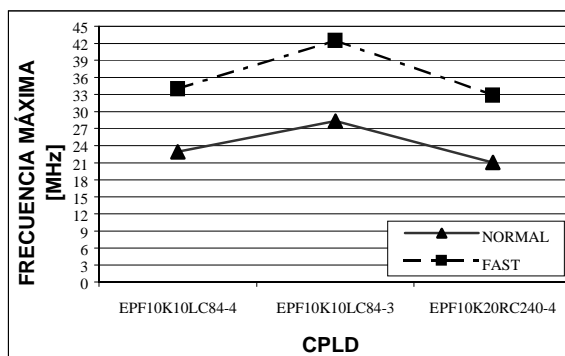


Fig. 7.- Frecuencia máxima del sistema en distintos FPGAs

[4]. El módulo con mayor frecuencia es Genera Dirección (G_Dir) que llega hasta 125MHz y el más crítico es Genera Color (G_Color) que solo llega a los 40MHz. Los demás módulos siempre están arriba de 50MHz. La frecuencia máxima del sistema se midió en la compilación usando tres FPGAs con diferentes grados de velocidad y usando en cada caso síntesis FAST y NORMAL (ver figura 7). La figura 7 confirma, entonces, que mejores resultados se logran con síntesis FAST. Es importante destacar que usando el EPF10K10LC84-4 se obtiene mayor frecuencia máxima que con EPF10K20RC240-4, a pesar que el tiene el mismo grado de velocidad (-4) pero mayor capacidad de celdas lógicas y mejor espacio para hacer las conexiones con comodidad [1].

5. TRABAJOS FUTUROS

Se debe usar el sistema logrado para mostrar 4 señales analógicas de baja frecuencia en tiempo real en una misma pantalla y usando un marco de pantalla más formal y con un mejor acabado. El sistema deberá ser llevado a un circuito impreso específico.

6. CONCLUSIONES

Las características del sistema desarrollado son apropiadas para un sistema de monitoreo de bajo costo y en tiempo real de señales biomédicas (32% de un FPGA EPF10K10LC84 y 42,55 MHz) y, como el sistema se integra en un solo FPGA FLEX 10k10, resulta práctica su implementación.

La arquitectura lograda es flexible y de fácil adaptación a un equipo biomédico pues no sugiere hacer modificaciones para lograr el monitoreo de la señal, tan solo es necesario el acceso a la misma y que la señal pueda ser muestreada adecuadamente a no más de 50Hz.

10. REFERENCES

- [1] Altera, Data Book, 1999.
- [2] Alejandro Palomino, “Diseño, desarrollo e implementación de un prototipo de módulo de adquisición y monitoreo de parámetros respiratorio”, *VI Congreso Internacional de Ingeniería Electrónica, Eléctrica y de Sistemas INTERCON 1999*, Perú.
- [3] Ed. John G. Webster, "Medical Instrumentation: Application and Design", *Second Edition*, 1995.
- [4] Víctor Murray Herrera y Gerard F. Santillán Quiñonez, “Controlador de un monitor VGA con resolución 640x480 sobre un CPLD FLEX 10K”, *VIII Workshop IBERCHIP 2002*, Guadalajara- México.
- [5] James O. Hamblen y Michael D. Furman, “*Rapid prototyping of digital systems: a tutorial approach*”, 2000.
- [6] Altera, “*University program design laboratory package*”, 1997.