

MÓDULO DSP PARA PROCESAMIENTO EN TIEMPO REAL

M. Sc. Rolando Rivera Ramos ⁽¹⁾
Dr. Sc. Víctor Marín Contreras ⁽²⁾

(1) Facultad de Ingeniería Eléctrica. ISPJAE
(2) Centro de Investigación en Microelectrónica. ISPJAE
Email: vmarin@electronica.ispjae.edu.cu

ABSTRACT

High speed data acquisition is an essential requirement in specialized applications, such as impact registration, vibration recording in structures and mechanisms, processing of radar signals, missile guidance, air traffic control, image processing, and many others, where fast processing is imperative. In the present work, the design of a module for real time data acquisition and processing, featuring ISA bus compatibility and 16 analog input channels, is realized.

The core of such a module, is the Digital Signal Processor TMS320C31 from Texas Instruments, achieving an excellent speed-cost compromise and real time data acquisition, without any dependence on the ISA bus speed processing. This feature is essential in the sampling of variables from fast events whose duration is in the order of one microsecond.

RESUMEN

La adquisición de datos en eventos que transcurren a altas velocidades tiene un elevado interés en aplicaciones especializadas, como el Registro de Impactos y Vibraciones en Mecanismos y Estructuras, Procesamiento de Señales de Radar, Guiado de Misiles, Control de Navegación Aérea, Procesamiento de Imágenes, entre otras. En el presente trabajo, se realiza el diseño de un Módulo para Adquisición y Procesamiento de Datos en Tiempo Real, para bus ISA, con 16 canales de entrada para variables analógicas y 32 para variables digitales.

El núcleo de dicho módulo es el Procesador Digital de Señales TMS320C31 de Texas Instruments, que establece un excelente compromiso entre velocidad y costo, realizando el procesamiento de datos en tiempo real, sin depender de la velocidad de tratamiento de la información del bus ISA. Esta característica es de vital importancia en el muestreo de variables de eventos, cuya duración puede ser del orden de un microsegundo.

MÓDULO DSP PARA PROCESAMIENTO EN TIEMPO REAL

M. Sc. Rolando Rivera Ramos ⁽¹⁾
Dr. Sc. Víctor Marín Contreras ⁽²⁾

(1) Facultad de Ingeniería Eléctrica. ISPJAE
(2) Centro de Investigación en Microelectrónica. ISPJAE
Email: vmarin@electronica.ispjae.edu.cu

RESUMEN

La adquisición de datos en eventos que transcurren a altas velocidades tiene un elevado interés en aplicaciones especializadas, como el Registro de Impactos y Vibraciones en Mecanismos y Estructuras, Procesamiento de Señales de Radar, Guiado de Misiles, Control de Navegación Aérea, Procesamiento de Imágenes, entre otras. En el presente trabajo, se realiza el diseño de un Módulo para Adquisición y Procesamiento de Datos en Tiempo Real, para bus ISA, con 16 canales de entrada para variables analógicas y 32 para variables digitales.

El núcleo de dicho módulo es el Procesador Digital de Señales TMS320C31 de Texas Instruments, que establece un excelente compromiso entre velocidad y costo, realizando el procesamiento de datos en tiempo real, sin depender de la velocidad de tratamiento de la información del bus ISA. Esta característica es de vital importancia en el muestreo de variables de eventos, cuya duración puede ser del orden de un microsegundo.

1. INTRODUCCIÓN

Los impresionantes avances alcanzados en todas las esferas en los últimos años, ha exigido pasar a nuevas formas de tratamiento de la información, donde el procesamiento digital de señales juega un papel decisivo en respuesta a muchos problemas que se presentan diariamente, siendo una solución alternativa de sustitución de elementos obsoletos y excesivamente caros por los de alta tecnología, y que el procesamiento digital puede resolver con el empleo de algoritmos matemáticos. [1, 2]

Para dar respuesta a la problemática de la recopilación y procesamiento de señales de eventos que transcurren en muy cortos periodos de tiempo, incluyéndose el tiempo real, se ha concebido un proyecto para el desarrollo de un sistema de adquisición y diagnóstico de propósito específico que posibilite la obtención de forma casi

inmediata de los resultados, permitiendo realizar la caracterización, evaluación y representación para el análisis de forma inmediata de diferentes parámetros que pudieran ser: *velocidad, aceleración, deformación, presión, temperatura, etc.*, así como *cálculos estadísticos y promedios*.

Por el volumen y complejidad del proyecto, la solución a desarrollar abarcó los siguientes objetivos:

- Diseño y construcción de una tarjeta de prototipo con interfase para bus ISA, sobre la base de un Procesador Digital de Señales (DSP) capaz de realizar la recopilación y procesamiento previo de la información en tiempo real y garantizar su transferencia a la memoria interna de la computadora, para su procesamiento final y representación en la computadora.
- En el diseño de la lógica de control y atempamiento de las señales, se incorporarán dispositivos lógicos programables, con lo que se obtienen notables ventajas, como reducción considerable del área de circuito impreso a utilizar, reducción de los tiempos de puesta a punto, reconfigurabilidad, reducción notable de la cantidad de dispositivos, reducción del consumo de potencia, entre otros. [6]

Durante el periodo inicial de investigación y búsqueda de información dentro de este proyecto, se analizaron detalladamente 4 posibles variantes:

- 1- Tarjeta de Adquisición para bus PCI.
- 2- Tarjeta de Adquisición para bus PCI utilizando FPGA.
- 3- Tarjeta de Adquisición para bus ISA empleando el microprocesador 80C196.
- 4- Tarjeta de Adquisición para bus ISA empleando un microprocesador capaz de realizar el procesamiento digital de la información en tiempo real.

Las dos primeras variantes fueron valoradas, teniendo

como principal característica, la utilización de la computadora para realizar todo el procesamiento de la información recopilada, o sea, el principio de funcionamiento de las mismas sería la adquisición de la información y su transferencia a memoria, a través de interrupciones y ciclos de DMA, sin realizar procesamiento previo. Las variantes 3 y 4 fueron estudiadas con el objetivo de dotar al sistema de la posibilidad de realizar un procesamiento inicial de la información adquirida, su almacenamiento y posterior transferencia a la computadora para su procesamiento final, lo que constituye un aumento notable de la velocidad del sistema.

Desechando los microprocesadores de 8 bits, el 80C196 que es un microprocesador de 16 bits y frecuencia de trabajo de 16 MHz, fue un diseño analizado con profundidad, pero inferior en posibilidades, con respecto al procesador DSP TMS320C31 utilizado en la variante final, no solo en velocidad de operación (40 MHz), sino también en estructura de ejecución de instrucciones “pipeline”; así como la plataforma de instrucciones en paralelo, entre otras ventajas. [1, 3]

El diseño escogido, busca garantizar el procesamiento en tiempo real de la información proveniente de sensores y que no dependa de los accesos del bus ISA por considerarse lentos para esta aplicación específica. Para la ejecución práctica de la solución propuesta se tuvieron en cuenta la existencia de los componentes y de las herramientas indispensables que permitieran la puesta a punto, y por consiguiente el cumplimiento de la tarea en el menor tiempo posible y dentro de los plazos acordados.

La generación TMS320C3X de los procesadores digitales de señales, agrupan a los dispositivos CMOS de 32 bits de punto flotante que poseen una de las más altas prestaciones. La familia TMS320, con un poderoso juego de instrucciones, gran velocidad y una arquitectura novedosa, se estableció como el estándar industrial, siendo el ideal para las aplicaciones con DSP. [3]

El dispositivo TMS320C31-40 usado en esta aplicación, posee un ciclo de ejecución de instrucciones de un solo ciclo de 50 ns, por lo que en la práctica sería capaz de ejecutar hasta 40 millones de operaciones de punto flotante por segundo (MFLOPS) y 20 millones de instrucciones por segundo (MIPS), permite el direccionamiento de grandes espacios de memoria, alto grado de paralelismo (en buses e instrucciones) y un controlador de acceso directo a memoria (DMA). Posee además, un puerto serie que puede realizar transferencias

de 8,16,24 y 32 bits, el encapsulado es PQFP de 132 pines, elaborado con tecnología CMOS de 0.8 µm [3].

La versatilidad de esta familia tanto en prestaciones de tiempo real como en otras funciones, ofrece implementaciones flexibles de diseño en variedad de aplicaciones como se ejemplifica a continuación:

Campos de aplicación	Funciones
<i>Propósito General</i>	Transformada rápida de Fourier, Transformada de Hilbert, Generación de formas de onda, Convulsión, Correlación.
<i>Instrumentación</i>	Analizador de espectros, Generación de funciones, Análisis de transiente.
<i>Lenguaje voz</i>	Reconocimiento, Verificación, Síntesis de Lenguaje, Redes neuronales.
<i>Telecomunicaciones</i>	Repetidores de línea, Multiplexación de canales, Módems, Codificación de datos.
<i>Industrial</i>	Control numérico, Robótica, Seguridad, Inspección visual.
<i>Militares</i>	Seguridad de comunicaciones, Procesamiento de Radar, Sonar e Imagen, Navegación, Guiado de misiles, Módems de radio frecuencia.
<i>Control</i>	Control de Impresoras Láser, control de motores, Filtros Kalman.
<i>Imagen</i>	Reconocimiento de patrones, Animación, Transformación 3D.

2. ARQUITECTURA DEL MODULO DSP

La interfase consiste en el diseño de una tarjeta que posee un CPU basado en el DSP TMS320C31 de la Texas Instruments y su funcionamiento está concebido para que trabaje con una computadora de uso industrial mediante el conector ISA, como muestra la figura 1.

La tarjeta está constituida por cinco partes fundamentales, conjunto CPU(DSP), la interfase con el bus ISA, interfase de interrupciones, interfase de adquisición y puertos de E/S. El conjunto CPU es el elemento fundamental del diseño, y a través de su programación se establecen los accesos a los diferentes componentes que participan en la tarjeta para lograr el

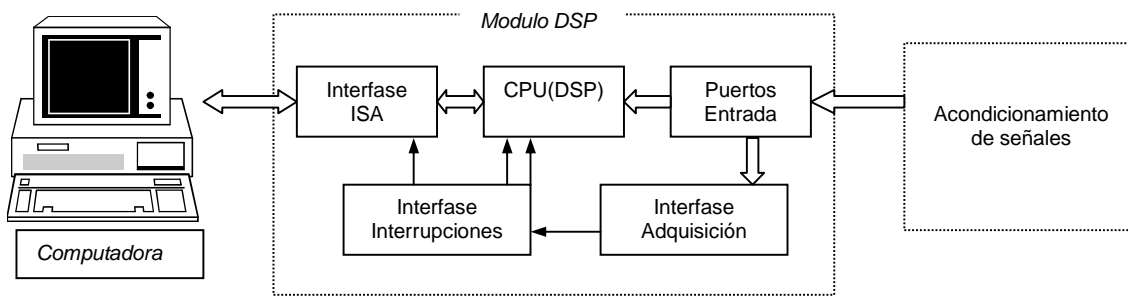


Figura 1 Estructura del módulo DSP

funcionamiento correcto de la lógica diseñada y garantizar el intercambio de información con la computadora.

3. CONJUNTO CPU (DSP)

El conjunto CPU es el elemento fundamental del diseño, y a través de su programación, se establece la interacción entre los diferentes componentes que conforman el módulo, para lograr el funcionamiento satisfactorio del mismo y garantizar el intercambio de información con la computadora.

La figura 2 muestra el esquema general del CPU compuesto por el TMS320C31, un bloque de memoria EPROM 27C256 para el almacenamiento del programa a ejecutar, un bloque de memoria RAM de 64k x 32 bits para el almacenamiento de datos, compuesto por dos dispositivos KM6161002A con capacidad de 64k x 16 bits cada uno, un circuito oscilador de 40 MHz, un bloque "buffer" unidireccional, compuesto por dos dispositivos 74ABT162244, y un bloque sintetizado de lógica programable para la elaboración de direcciones y demás señales de control, conformado a partir de un circuito integrado programable EPM7128.

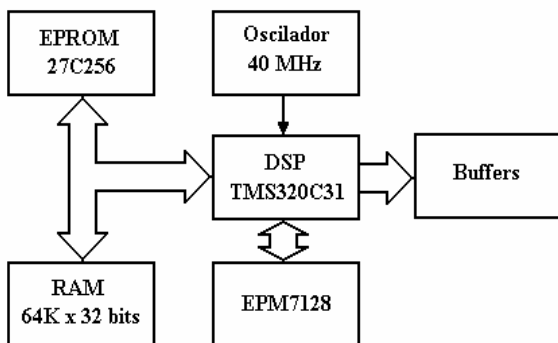


Figura 2. Esquema general del conjunto CPU

La capacidad total de memoria que puede direccionar el TMS320C31 es de 16MB x 32 bits, posibilitando que

el programa, los datos y las direcciones de entrada-salida estén dentro de este rango de direcciones. De este modo el programa o los datos pueden ser almacenados en cualquier zona de RAM o ROM, permitiendo el uso eficiente o la asignación del espacio de memoria como se desee.

3. INTERFASE DE ADQUISICIÓN DE DATOS.

En la figura 3, se observa el Esquema General de la interfase para la adquisición de las muestras, compuesto por un convertidor Analógico Digital del tipo paralelo (Flash) con resolución de 8 bits. Se trata del SP973T8 de Plessey Semiconductors, seleccionado por las características que posee en cuanto a velocidad de operación, frecuencia de reloj de muestreo típica de 50 MHz, tiempo total de conversión de 7 ns, mas el período de la señal de reloj, por lo que no requiere de circuito "Sample and Hold", son criterios indispensables para garantizar el funcionamiento del sistema, en aplicaciones donde se necesite capturar eventos de muy corta duración o incluso aquellas que requieren de procesamiento en tiempo real.[4, 5]

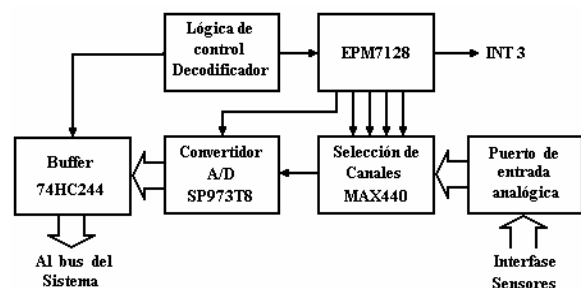


Figura 3 Diagrama de la interfase de adquisición

Para la selección de hasta 16 canales analógicos, se emplean dos multiplexores analógicos de alta velocidad de 8 canales para señales de vídeo, del tipo MAX440 (U12 y U13) de MAXIM, mientras que para el almacenamiento temporal del resultado de la conversión se utiliza un C.I. 74HC244 (U15). El conjunto de señales de control y dirección que intervienen en este bloque se

conforman a través de un dispositivo programable EPM7128, un decodificador 74HC138 y otros componentes de lógica digital.

En el caso de este trabajo, la frecuencia de muestreo es de 40 MHz, por lo que cada uno de los 16 canales analógicos es muestreado cada 400 ns, o sea, dos veces y media como promedio por cada microsegundo. A su vez, el convertidor A/D SP973T8, tiene un tiempo de conversión en este caso de sólo 32 ns, proporcionando una velocidad de procesamiento lo suficientemente alta para esta aplicación, mientras al mismo tiempo, se toman 40×10^6 muestras por segundo. La salida INT3 solicita interrupción al DSP, para almacenar en la memoria RAM del módulo los datos procedentes de las 16 entradas analógicas.

4. INTERFASE CON EL BUS ISA

La interfase bus ISA CPU (DSP) garantiza la comunicación bidireccional de 8 y 16 bits hacia la computadora; está compuesta por la síntesis de tres elementos principales, que fueron integrados en el circuito programable EPM7128 (U26) como se muestra en la figura 4.

1. Decodificador de señales de solicitud o deshabilitación de interrupciones, lectura, escritura de periféricos.
2. Bloque de almacenamiento temporal de la información.
3. Bloque de elementos de lógica de control; para configuración de 8 y 16 bits de información, solicitud de interrupción y DMA al DSP.

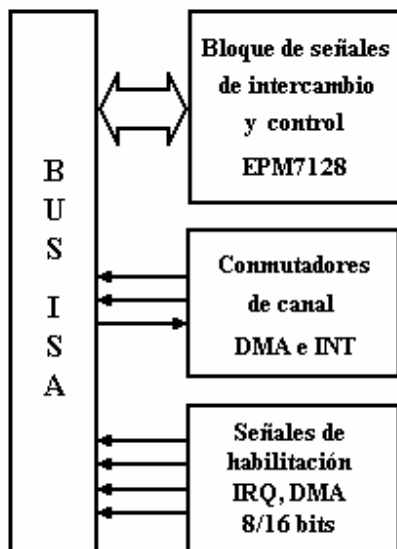


Figura 4 Diagrama de la interfase con el bus ISA

La lógica sintetizada en el dispositivo EPM7128 se encarga de generar las señales de intercambio y control entre el módulo de adquisición y la computadora, manteniendo una total independencia entre el preprocesamiento a alta velocidad que se lleva a cabo en el primero y la transferencia mucho más lenta hacia el bus ISA, compatibilizando la captura de eventos que suceden muy rápidamente, como ya se ha explicado con anterioridad. De manera simultánea, la programación del DSP posibilita la realización de complejas operaciones matemáticas con los datos almacenados, cuyos resultados pueden ser luego transferidos a la computadora.

5. RESULTADOS OBTENIDOS

En la página siguiente, se muestra la figura 5, que es un esquema general del módulo de adquisición de datos diseñado en este trabajo. Aunque la escala no permite reflejar muchos detalles, se logra dar una idea de la complejidad del sistema. El módulo contiene un total de 18 circuitos integrados, que han sido albergados en una placa impresa con tecnología de cuatro capas con dimensiones de 100 mm de ancho y 226 mm de largo, para un costo aproximado de \$565 dólares, incluyendo las componentes. Como ha sido visto, la velocidad de muestreo lograda es de 40 MSPS con resolución de 8 bits, por lo que se logra un excelente compromiso entre velocidad y precio, pues se ofertan actualmente tarjetas comerciales [7] que son mucho más costosas y a su vez mucho más lentas. El procesador seleccionado, permite realizar rápidas y complejas operaciones matemáticas (20 MFLOPS) haciendo posible el preprocesamiento de las muestras tomadas, para obtener, estudiar y caracterizar los parámetros más importantes de los fenómenos estudiados, con independencia de la velocidad de procesamiento propia del bus ISA de la computadora.

6. CONCLUSIONES

- Ha sido totalmente diseñado un módulo de adquisición de datos de alta velocidad (40 MSPS, Resolución 8bits) que permite el estudio de eventos cuya duración puede ser del orden de tan solo un microsegundo.
- El procesador utilizado, un DSP del tipo TMS320C31, brinda una solución de bajo costo y posibilita el preprocesamiento de las muestras realizando rápidas y complejas operaciones matemáticas (20 MFLOPS) para el estudio y caracterización de parámetros, garantizando la compatibilidad con el bus ISA.
- El uso de dispositivos de lógica programable, permitió reducir el tamaño y el costo del módulo, para lograr una solución ventajosa en relación con los dispositivos comerciales existentes.

7. REFERENCIAS

[1] Rivera, R., *Sistema de Adquisición y Diagnóstico de Propósito Específico*, Tesis de Maestría, ISPJAE, 2002.

[2] B. Obstgarten, "Image Processing Boards" *Advanced Imaging*, Cygnus Publication, USA, May 2000.

[3] Texas Instruments, *TMS320Cx User Guide*, Texas Instruments, Dallas, USA, October 1994.

[4] GEC Plessey Semiconductors, "SP973T8 Datasheet", GEC Plessey Semiconductors, UK, 1992.

[5] GEC Plessey Semiconductors, "SP973T8- An 8-Bit Wideband Flash ADC with TTL Outputs" Application Note AN72, GEC Plessey Semiconductors, UK, 1992.

[6] Altera Corp., "Digital Signal Processing in FLEX Devices", PIB23.PDF, bulletin 23, ver. 1, San José, CA, USA, January 1996.

[7] Omega Engineering CDROM, Stamford, CT, USA, 1998.

FIGURA 5
CIRCUITO ELECTRICO DEL MODULO DE ADQUISICION

