

DISEÑO DE CIRCUITOS ANÁLOGOS USANDO FPAAs

Roque Caicedo-Grueso y Jaime Velasco-Medina

Grupo de Bioelectrónica y Nanoelectrónica, EIEE, Universidad del Valle
A.A. 25360, Cali, Colombia

E-mail: roquecaicedo@yahoo.com, jvelasco@univalle.edu.co

ABSTRACT

In this article we present a methodology for analog design using programmable analog circuits. Also, this article presents a description about the terminology, evolution and architectures of FPAA circuits. The FPAAs provide a good solution to fast prototyping and simplify the task of analog circuit design. In order to verify the functionality of the FPAAS circuits and to validate the design methodology proposed, high order filters were designed. In this case, using the ispPAC10 Lattice circuit, an application oriented to adequate signals of a seismic sensor was carried out.

RESUMEN

En este artículo se describe una metodología de diseño para circuitos análogos basada en usar circuitos análogos programables FPAA. También, este trabajo presenta una descripción de la terminología, evolución y las arquitecturas de los circuitos FPAA. Los FPAA suministran una solución eficaz a los problemas de rápido prototipaje y simplifican la tarea de diseñar circuitos electrónicos análogos. Entonces, con el propósito de verificar la funcionalidad de algunos circuitos FPAA se diseñaron filtros de alto orden. En este caso, se seleccionó el FPAA ispPAC10 de Lattice para una aplicación orientada a la adecuación de señales para un sensor sísmico.

DISEÑO DE CIRCUITOS ANÁLOGOS USANDO FPAAs

Roque Caicedo-Grueso y Jaime Velasco-Medina

Grupo de Bioelectrónica y Nanoelectrónica, EIEE, Universidad del Valle
A.A. 25360, Cali, Colombia
E-mail: roquecaicedo@yahoo.com, jvelasco@univalle.edu.co

ABSTRACT

En este artículo se describe una metodología de diseño para circuitos análogos basada en usar circuitos análogos programables FPAA. También, este trabajo presenta una descripción de la terminología, evolución y las arquitecturas de los circuitos FPAA. Los FPAA suministran una solución eficaz a los problemas de rápido prototipaje y simplifican la tarea de diseñar circuitos electrónicos análogos. Entonces, con el propósito de verificar la funcionalidad de algunos circuitos FPAA se diseñaron filtros de alto orden. En este caso, se seleccionó el FPAA ispPAC10 de Lattice para una aplicación orientada a la adecuación de señales para un sensor sísmico.

1. INTRODUCCIÓN

El procesamiento de las señales análogas en el dominio del tiempo es altamente factible y tiene algunas ventajas importantes con respecto al procesamiento digital. Primero, no existe la necesidad de utilizar conversores análogo a digital y viceversa. Segundo, los diseños análogos generalmente consumen menos potencia que su contraparte digital, por ejemplo en comunicaciones inalámbricas el bajo consumo de potencia es una consideración de diseño crítica. Tercero, los diseños análogos ocupan menos área en el chip que los digitales.

Adicionalmente, hoy en día se diseñan novedosos circuitos integrados análogos y de señal mixta (análogo y digital), los cuales usan nuevas técnicas de diseño análogo para alcanzar alta velocidad en el procesamiento análogo. Los nuevos desarrollos son enfocados para obtener circuitos con excelentes características tales como: amplio ancho de banda, alta linealidad, excelente relación señal/ruido, bajo consumo de potencia, etc.

Entre los nuevos circuitos análogos y las nuevas metodologías de diseño análogo se encuentran los circuitos análogos programables FPAA (*Field Programmable Analog Array*), los cuales brindan una solución eficaz a los problemas de rápido prototipaje y

simplifican la tarea de diseñar circuitos electrónicos análogos.

De otro lado, en VLSI la tendencia es siempre hacia la integración de sistemas electrónicos en un solo chip, lo cual conlleva a la integración de funciones análogas y digitales en el mismo chip. En este caso, la reducción del número de chips conduce a la reducción de área en la tarjeta, las interconexiones, y lo más importante, el costo. Entonces, en el futuro, los circuitos programables van a integrar FPAA y FPGA en un solo chip debido a la rápida expansión del mercado para circuitos integrados de señal mixta [1].

El artículo está organizado de la siguiente manera, la sección 2 presenta una descripción de los circuitos análogos programables y los FPAA comerciales. La sección 3 describe la metodología de diseño para circuitos análogos. La sección 4 presenta el diseño de un filtro paso bajo de 2^{do} orden y los resultados de simulación. La sección 5 presenta la implementación de un filtro de 6^{to} orden y los resultados experimentales. Finalmente, la sección 6 presenta algunas conclusiones y el trabajo futuro.

2. CIRCUITOS ANÁLOGOS PROGRAMABLES

Los circuitos análogos programables se denominan en la literatura FPAA (*Field Programmable Analog Array*). Estos circuitos son el equivalente análogo de los circuitos digitales FPGA (*Field Programmable Gate Array*).

Un circuito análogo programable es un circuito que puede ser configurado para implementar una variedad de funciones análogas; el circuito consta de un arreglo de bloques análogos configurables (*Configurable Analog Block: CAB*), una red de interconexión programable y un registro para almacenar los bits de la configuración de la FPAA. En la Figura 1 se muestra el diagrama de bloques para un circuito FPAA [2].

De acuerdo a las características impuestas por el fabricante del FPAA, la red de interconexión proporciona la ruta de interconexión entre los bloques CABs, o entre los bloques de entrada y salida (I/O). El registro con las

cadena de bits almacena la información para configurar los bloques CABs.

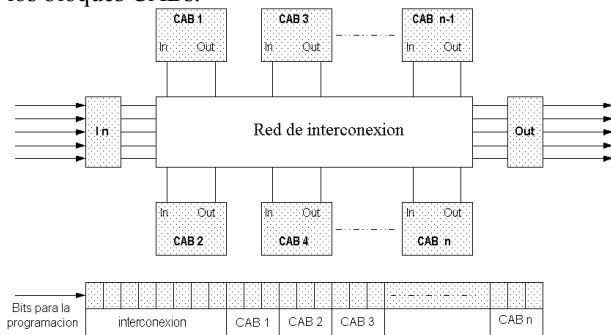


Figura 1: Diagrama de bloques para un FPAAs

2.1. Terminología

Debido a que existen diferentes fabricantes de FPAAs, una nueva terminología está siendo usada [2]. Actualmente, la terminología más utilizada es la siguiente:

- *Field Programmable Analog Array (FPAAs)*: Un circuito integrado, el cual puede ser programado para implementar circuitos análogos, usando bloques análogos flexibles e interconexiones.
- *Field Programmable Mixed Analog-Digital Array (FPMA)*: Un circuito integrado, el cual contiene un FPAAs y un FPGA, es tan flexible como los bloques configurables y se puede programar para implementar circuitos de señal mixta.
- *Electrically Programmable Analog Circuit (EPAC)*: Un circuito FPAAs versión de IMP Inc; EPAC es una marca registrada del fabricante IMP Inc.
- *Field Programmable Analog Device (FPAD)*: Es el nombre que utiliza el fabricante Zetex para un FPAAs.
- *Totally Reconfigurable Analog Circuit (TRAC)*: Nombre para los circuitos FPADs fabricados por Zetex.
- *Reseau Analogique Programmable (RAP)*: Nombre en francés para un FPAAs.
- *Configurable Analog Block (CAB)*: Celda analógica básica y programable en un FPAAs.
- *Field Programmable System-On-a-Chip (FIPSOC)*: Un chip que integra un FPMA y un microcontrolador, este chip es comercializado por la compañía SIDA.

2.2. Evolución de los FPAAs

Con la aparición y evolución de los circuitos digitales programables (*Programmable Logic Devices: PLDs*), surgió la necesidad de desarrollar circuitos integrados que permitieran programar e implementar circuitos de señal mixta en un solo chip: es por ello que desde la década del

ochenta hasta el presente, varias compañías y grupos de investigación (la mayoría de ellos pertenecientes a las universidades) han desarrollado y anunciado sus productos [1][2], tal como se muestra en la Tabla 1.

Año	Compañías y Grupos de Investigación
1988	Sivilotti (Caltech)
1990	Lee & Gulak (University of Toronto)
1990	Kawasaki Steel
1990	Pilkington Microelectronics
1991	Lee & Gulak (University of Toronto)
1994	IMP, Inc.
1994	Pierzchala & Perkowski (Portland State University)
1994	Chang et al (University of Nottingham)
1996	Embabi et al (Texas A&M University)
1996	Zetex Semiconductors Ltd.
1997	Guadet & Gulak (University of Toronto)
1997	Futura et al (Spain)
1997	Motorola
1998	Motorola e IMP, retiradas del mercado
1999	IspPAC de Lattice
1999	SIDA FIPSOC (anunció el nuevo chip)
2000	Anadigm

Tabla 1: Evolución de los FPAAs

2.3. FPAAs Comerciales

Actualmente, tres compañías fabricantes de semiconductores producen circuitos FPAAs. En la Tabla 2 se muestran los FPAAs comerciales.

Fabricante	Modelo	Tecnología	Ancho de banda
Lattice	IspPAC10	UltraMOS tiempo continuo	550 kHz (G=1)
	IspPAC20		330 kHz (G=100)
	IspPAC30		1.5 MHz
	IspPAC80		500 kHz
	IspPAC81		75 kHz
	IspPAC POWR1208		-
Zetex	TRAC20	Bipolar tiempo continuo	4 MHz
	TRAC20LH		12 MHz
Anadigm	AN10E40	Switched capacitor	5MHz
	AN120E04		2MHz
	AN220E04		

Tabla 2: FPAAs comerciales

2.3.1. Circuitos FPAAs de Lattice

El elemento funcional activo básico de los circuitos FPAA de Lattice es el *PACell* (*Programmable Analog Cell*) que, dependiendo de la arquitectura específica del circuito *IspPAC*, puede ser un amplificador de instrumentación, un amplificador-sumador u otra etapa activa elemental [3].

En todos los circuitos *IspPAC*, las celdas programables *PACells*TM se combinan cuidadosamente para formar macroceldas análogas o *PACblocks*. En este caso, no se requiere ningún componente externo, lo cual flexibiliza la implementación de funciones análogas básicas tales como: filtrado con precisión, suma o diferencia, ganancia o atenuación y conversión. En la Figura 2, se muestra el diagrama de bloques básico de un *PACblock*.

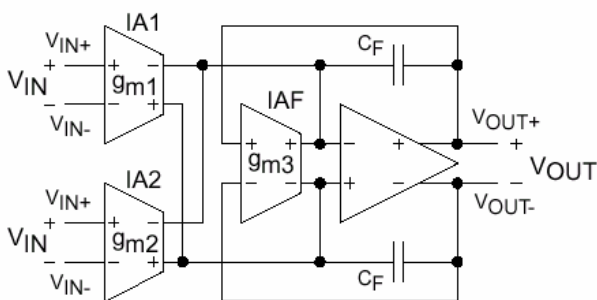


Figura 2: Diagrama de bloques de un *PACblock*

Los circuitos *IspPAC* funcionan con una sola fuente de alimentación a 5V y ofrecen una arquitectura que es completamente diferencial desde la entrada hasta la salida. Esto duplica la eficiencia del rango dinámico versus I/O “single-ended” (voltaje de entrada). También, produce un funcionamiento mejorado con respecto a las especificaciones tales como: CMR (*Común-Mode Rejection*), PSR (*Power-Supply Rejection*) y THD (*Total Harmonic Distortion*). Al mismo tiempo, la operación “single-ended” se acomoda fácilmente.

La metodología de diseño de programación en el sistema (*In-System Programmable: ISP*) de Lattice permite simplificar el proceso de diseño y acelerar la implementación del circuito análogo. En este caso, la herramienta de diseño *PAC-Designer* [4] suministra al usuario una ventana con una interfaz gráfica para especificar fácilmente el diseño usando librerías y macros generadores de circuitos.

La Tabla 3 presenta los diferentes circuitos de la familia *IspPAC* y la respectiva área de aplicación de cada uno.

2.3.2. Circuitos FPADs de Zetex

Los circuitos FPADs de Zetex son TRAC020 y TRAC020LH (versión del TRAC020 para baja potencia).

En la Figura 3, se muestra el diagrama de bloques básico del TRAC020 [5].

Circuito	Función	Encapsulado
IspPAC-POWR1208	Control y monitoreo de fuentes de potencia	44-TQFP
IspPAC10	Acondicionamiento de señal	28-SOIC 28-PDIP
IspPAC20	Lazo de control y monitoreo	44-PLCC 44-TQFP
IspPAC30	Versatilidad análoga front-end	24-SOIC 28-PDIP
IspPAC80	Ultra-flexible, tiempo continuo, filtro paso bajo de 5 ^{to} orden con una frecuencia de corte programable en el rango de 50 kHz – 750 kHz	16-SOIC 16-PDIP
IspPAC81	Ultra-flexible, tiempo continuo, filtro paso bajo de 5 ^{to} orden con una frecuencia de corte programable en el rango de 10 kHz – 75 kHz	16-SOIC 16-PDIP

Tabla 3: Circuitos FPAA de la familia *IspPAC*

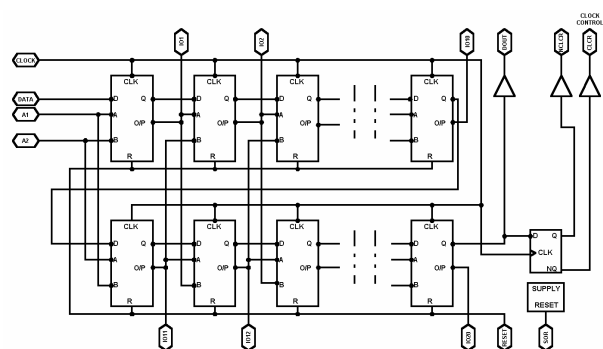


Figura 3: Diagrama esquemático del TRAC020

El circuito TRAC se basa en una única celda análoga configurable, la cual es flexible a la programación para llevar a cabo diferentes funciones tales como: *adición, negación, logaritmo, antilogaritmo, amplificación,*

diferenciación, integración, rectificación, y seguidor de voltaje. Estas funciones son combinadas para implementar un sistema de procesamiento de señal o acondicionamiento de señal. Ellas también facilitan el uso de las técnicas estructuradas de diseño matemático. En este caso, no es necesario entender muy bien la estructura de las funciones análogas, solo es necesario entender su función a nivel de sistema.

Las funciones básicas pueden ser configuradas en cada una de las veinte celdas interconectables entre sí para facilitar el diseño y configuración de cualquier circuito análogo en el chip; es decir, la configuración es realizada digitalmente mediante un registro de desplazamiento, mientras la señal permanece en el dominio análogo todo el tiempo, por lo tanto se evitan los errores de muestreo y retardos de procesamiento hallados en soluciones equivalentes con DSP (*Digital Signal Processing*).

Adicionalmente como un complemento a los TRACs, el grupo FAS (*Fast Analog Solutions*) de Zetex tiene en el mercado el circuito CASIC (*Computational Application Specific Integrated Circuit*) ZXF36Lxx, el cual contiene 36 celdas análogas las cuales se pueden configurar usando una máscara para la metalización.

2.3.3. Circuitos FPAA de Anadigm

El FPAA AN10E40 de Anadigm [6], es un dispositivo adecuado para el diseño e implementación de diferentes circuitos análogos basados en usar la técnica de diseño SC (*switched-capacitor*). Este circuito dispone de macros llamados *Ipmodules* [7], los cuales implementan las funciones de amplificación, suma, integración, diferenciación, comparación y rectificación, fuentes de DC (voltajes de referencia), filtros, osciladores senosoidales, y circuitos S/H (*Sample and Hold*) y T/H (*Track and Hold*), es decir, puede ser usado en diversas aplicaciones tales como: filtrado de señales, implementación de circuitos de control, generadores de señal, etc.

El chip se divide en 20 bloques análogos configurables (*Configurable Analog Block: CAB*), cada uno con un amplificador operacional, cinco bancos de capacitores e interruptores tal como se ilustra en la Figura 4.

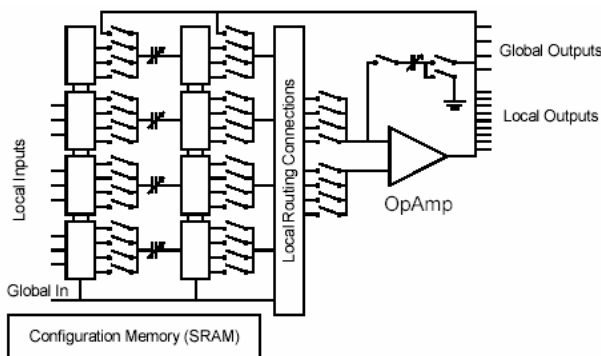


Figura 4: Diagrama de bloques básico de un CAB.

Cuatro de los bancos de capacitores se localizan entre el bloque de interconexión interno (*local routing connections*) y los interruptores, y un banco de capacitores está en el lazo de realimentación del amp-op. En el lado izquierdo de los bancos de capacitores existen diversas etapas de entrada (a las cuales llegan las entradas *Local Inputs*) y sus salidas llegan a los bloques de interruptores, y en el lado derecho del amp-op (*OpAmp*) están las salidas del CAB.

La información para las interconexiones y el comportamiento de los CABs es almacenada en el bloque SRAM, la cual es cargada durante la configuración. El proceso de configuración típicamente ocurre al energizar el circuito, pero puede ser re-iniciado en cualquier momento. La habilidad para re-configurar el bloque SRAM en cualquier momento le permite al usuario gran flexibilidad para diseñar un sistema.

El AN10E40 está organizada en una matriz de bloques CABs de 4x5, una red de interconexión para el reloj, interruptores, y recursos para interconexión global y local. Cada bloque CAB del AN10E40 (ver Figura 5) es programable, lo cual permite una gran flexibilidad para diseñar diferentes circuitos para procesamiento análogo.

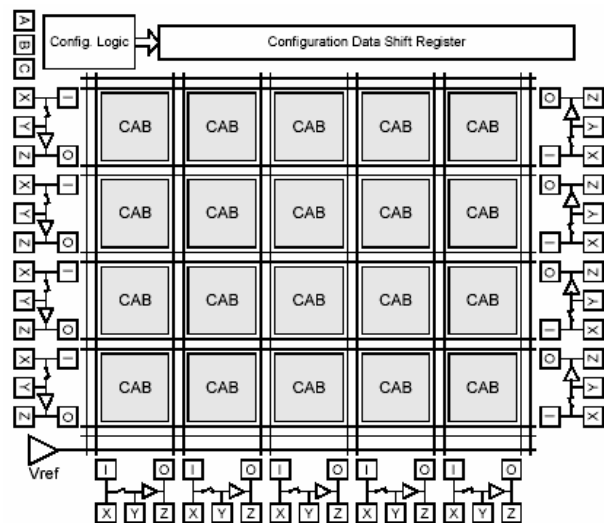


Figura 5: Diagrama de bloques de la matriz del AN10E40

La lógica para la configuración (*Configuration Logic*) y el registro de desplazamiento (*Shift Register*) trabajan en conjunto siempre que la configuración del chip este en proceso. La matriz de bloques CABs está rodeada por las celdas análogas I/O (*Input/Output*) programables, 13 en total, con dos amp-ops de soporte. El chip también tiene un generador de voltaje de referencia (*Vref*) programable.

Las celdas análogas I/O son flexibles y permiten conectar directamente la circuitería del núcleo (*core*) del chip con los pines de entrada o salida. Adicionalmente, con muy pocos componentes externos se implementa fácilmente un filtro *Sallen-Key*, el cual permite corregir los problemas de *aliasing* [8].

Debido a que el FPAAs AN10E40 está basado en circuitos *switched-capacitor*, sus señales de salida no están libres de la presencia de ruido, entonces la flexibilidad de las celdas I/O es importante cuando se considera la implementación de filtros *anti-aliasing*. Adicionalmente, debido a la naturaleza misma del sistema de datos muestreados (*Sampled Data System*), el cuidado que se debe tener es limitar el ancho de banda de la señal de entrada para evitar *aliasing*.

Los FPAAs AN120E04 y AN220E04 pertenecen a la segunda generación de la familia de Anadigm (*Anadigmvortex*) y están basados en una arquitectura *switched-capacitor* completamente diferencial [9][10].

La arquitectura de los FPAAs AN120E04 y AN220E04 consiste de una matriz de CABs de 2x2, una red de interconexión programable, una LTU (*Look-Up Table*), cuatro celdas análogas de entrada (una de ellas con un multiplexor para cuatro señales de entrada), y tres celdas de salida. En la Figura 6, se muestra el diagrama de bloques de la matriz para los AN120E04 y AN220E04.

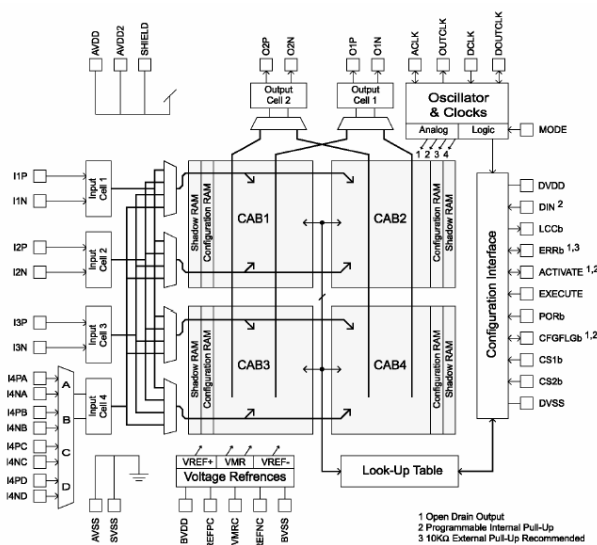


Figura 6: Diagrama de bloques de los FPAAs AN120E04 y AN220E04

Cada una de las celdas de entrada tiene un filtro *anti-aliasing* programable y un amplificador de alta ganancia con bajo *offset* de entrada. Las cuatro celdas CABs pueden ser programadas a través de la LUT, lo cual permite realizar la implementación de funciones arbitrarias.

La diferencia fundamental entre estos FPAAs es la programación. El AN120E40 es un dispositivo de bajo costo para aplicaciones de alto volumen de producción, sin embargo este puede ser re-programado si se activa la señal de reinicio (*reset*) del chip; el AN220E04 soporta re-configuración dinámica (re-programación o actualización de una nueva función) mientras realiza un procesamiento análogo. El AN220E04 tiene dos tipos de memoria: la SRAM de respaldo (*Shadow*) y la SRAM de configuración. Los nuevos datos de configuración son almacenados en la *Shadow* SRAM, los cuales son transferidos a la SRAM de configuración en un flanco de reloj provisto para sincronizar la actualización de la función análoga del circuito.

3. METODOLOGÍA DE DISEÑO USANDO CIRCUITOS FPAAs

Esta sección describe una metodología simple para diseñar circuitos análogos usando circuitos FPAAs, y las estrategias usadas para simular e implementar el diseño en un simple circuito FPAAs. La metodología de diseño consiste en:

a) Diseño análogo sin componentes externos

- Definir las especificaciones y requerimientos
- Diseño del circuito análogo usando *PAC-Designer*
- Simulación (análisis AC) del circuito usando *PAC-Designer* para obtener la respuesta AC
- Simulación (análisis transitorio) del circuito usando *ORCAD* para verificar la respuesta en el dominio del tiempo
- Implementación del diseño usando un circuito FPAAs
- Test del circuito diseñado

b) Diseño análogo con componentes externos

- Definir las especificaciones y requerimientos
- Considerar las limitaciones de los circuitos *IspPAC*
- Diseño del circuito análogo usando *ORCAD*
- Simulación (análisis AC) del circuito usando *ORCAD* para obtener la respuesta AC
- Simulación (análisis transitorio) del circuito usando *ORCAD* para verificar la respuesta en el dominio del tiempo
- Implementación del diseño usando un circuito FPAAs
- Test del circuito diseñado

4. DISEÑO DE UN FILTRO PASO BAJO DE 2^{do} ORDEN

Un filtro paso bajo de 2^{do} orden con ganancia y frecuencia de corte programable se diseñó usando circuitos *IspPAC10*. En este caso, el diseño requiere el uso de componentes externos, entonces las consideraciones de diseño presentadas en [11] fueron tenidas en cuenta. El filtro paso bajo de 2^{do} orden es diseñado e implementado usando dos módulos de 1^{er} orden conectados en cascada.

En la Figura 7 se muestra el diagrama de un filtro paso bajo de primer orden usando un circuito *IspPAC10*, este emplea resistencias externas de realimentación, las cuales son necesarias para alcanzar un escalamiento en el rango de frecuencia y ganancia deseado. En este caso el rango seleccionado es para adecuar las señales de un sensor sísmico.

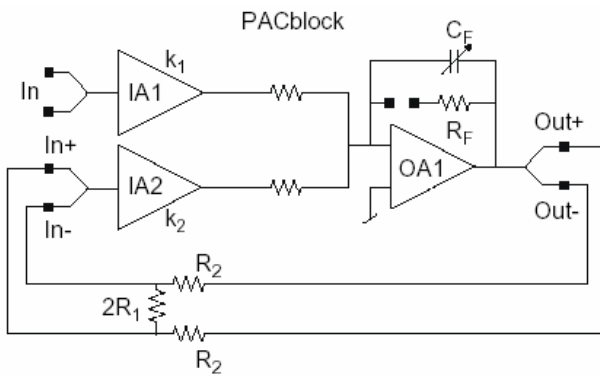


Figura 7: Diagrama de un filtro paso bajo de primer orden usando el *IspPAC10*

Desde la Figura 7, se observa que la realimentación no es “fuerte” y entonces la salida del amplificador OA1 tiene que suministrar un voltaje de salida mayor para contrarrestar esa atenuación. Consecuentemente, la alta atenuación (debido a la realimentación) provoca una ganancia mayor desde la entrada (*In*) a la salida (*Out*). Note que ambos K_1 y K_2 (las ganancias de los dos IAs) son totalmente programables al igual que C_F .

La ecuación exacta para la nueva ganancia es:

$$|A_{dc}| = \left| \frac{V_{out}}{V_{in}} \right| = \left| \frac{K_1}{K_2} \left(1 + \frac{R_2}{R_1} \right) \right| \quad (1)$$

La función de transferencia estará dada por:

$$H(s) = - \frac{\frac{K_1}{K_2} \left(1 + \frac{R_2}{R_1} \right)}{1 - \frac{R_F s C_F \left(1 + \frac{R_2}{R_1} \right)}{K_2}} \quad (2)$$

donde, $R_F = 250K\Omega$.

Debido a que el objetivo es diseñar un filtro paso bajo con un ancho de banda programable en el rango de 100Hz – 1kHz, y considerando que la menor frecuencia de corte programable para un filtro paso bajo usando un circuito *IspPAC10* (sin usar componentes externos) es de 10.34KHz, es necesario usar un factor de escalamiento de 100. Esto significa que $R_2/R_1 = 99$. En este caso, los valores prácticos y cercanos son $R_2 = 100k\Omega$, $2R_1 = 2k\Omega$ y $K_2 = -1$.

Teniendo en cuenta los valores disponibles para el capacitor C_F , el nuevo rango de frecuencias es entonces desde 103.4Hz hasta 1.07kHz (el rango de frecuencias es dividido entre 100). De acuerdo a la ecuación 1, la ganancia A_{dc} es igual a $|K_1/K_2| \times 100$, por tal razón es necesario utilizar una red o etapa previa a la entrada del filtro que permita realizar una atenuación igual a 100 para conservar la proporcionalidad de la señal desde la entrada hasta la salida del filtro.

Considerando la nota de aplicación presentada en [12], y con ayuda del software de simulación *ORCAD Release 9.1*, se realizó una simulación para obtener la respuesta AC del filtro paso bajo de 2^{do} orden, el cual se diseñó usando 2 módulos de filtrado de 1^{er} orden. Los resultados de la simulación para la respuesta AC del filtro son mostrados en la Figura 8.

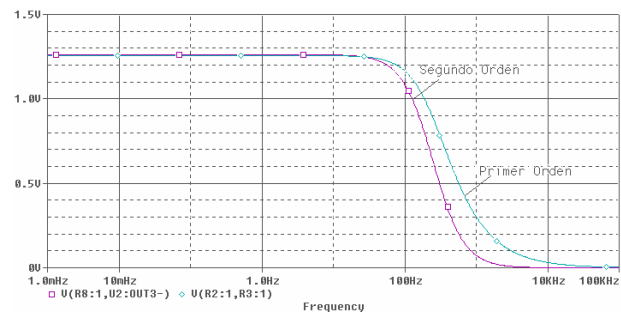


Figura 8: Respuesta AC para el filtro paso bajo de primer y segundo orden

Desde la curva de la gráfica de la Figura 8 para el filtro de primer orden, se observó una frecuencia de corte en 248.9Hz (esta es la frecuencia de corte que fue programada en cada uno de los módulos de filtrado); sin embargo, desde la curva de la respuesta AC para el filtro de segundo orden, se observa una frecuencia de corte en 161.48Hz.

En la Figura 9, se muestran los resultados de simulación (análisis transitorio) en el dominio del tiempo para el filtro paso bajo de segundo orden. Una señal senoidal con una amplitud de 422mVp-p es obtenida en la salida del filtro, cuando una señal senoidal con frecuencia de 350Hz y amplitud de 2.5Vp-p es usada como señal de entrada. En este caso, la frecuencia de la

señal de entrada ($f = 350\text{Hz}$) es mayor que la frecuencia de corte ($f_c = 161.48\text{Hz}$) del filtro, entonces la señal es filtrada.

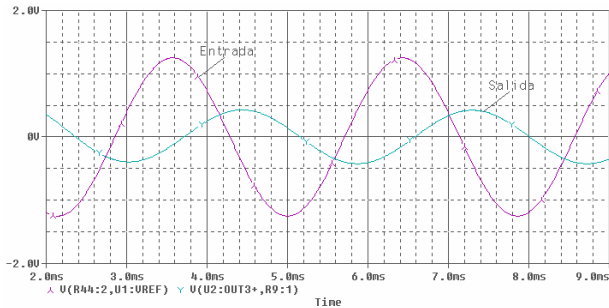


Figura 9: Señal de salida en el filtro para una señal de entrada con frecuencia mayor que la frecuencia f_c .

5. DISEÑO DE UN FILTRO PASO BAJO DE 6^{to} ORDEN

Un filtro paso bajo de 6^{to} orden con ganancia y frecuencia de corte programable se diseñó e implemento usando seis módulos de 1^{er} orden conectados en cascada. En este caso, no fue posible simular el filtro paso bajo de 6^{to} orden usando el programa *ORCAD Release 9.1* debido a que este solo permite simular dos dispositivos *IspPAC10*.

La frecuencia de corte del filtro a -3dB (obtenida de manera experimental) es de 125.5Hz . En la Figura 10, se muestran los resultados experimentales para el filtro paso bajo de 6^{to} orden. Esta figura muestra las salidas diferenciales del filtro cuando una señal senoidal con frecuencia de 42.73Hz y amplitud 2Vp-p es usada como señal de entrada. Las salidas diferenciales (V_{out+} y V_{out-}) del filtro son señales senoidales con amplitud 1Vp-p . En este caso, la frecuencia de la señal de entrada ($f = 42.73\text{Hz}$) es menor que la frecuencia de corte del filtro ($f_c = 125.5\text{Hz}$). Entonces, la señal no es filtrada.

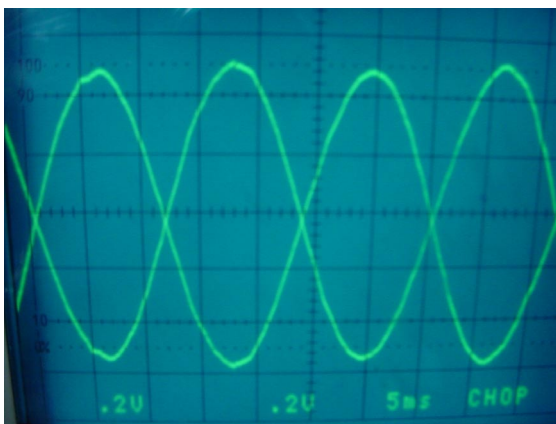


Figura 10: Salidas diferenciales (V_{out+} y V_{out-}) en el filtro para una señal de entrada con frecuencia menor que la frecuencia $f_c = 125.5\text{Hz}$.

En la Figura 11, se muestran la señal de entrada y una salida diferencial (V_{out+}) del filtro paso bajo de 6^{to} orden cuando una señal senoidal con frecuencia de 1.136kHz y amplitud 1Vp-p es usada como señal de entrada. La salidas diferenciales (V_{out+} y V_{out-}) del filtro son señales senoidales con amplitud 104mVp-p . En este caso, la frecuencia de la señal de entrada ($f = 1.136\text{kHz}$) es mayor que la frecuencia de corte del filtro ($f_c = 125.5\text{Hz}$). Entonces, la señal es filtrada.



Figura 11: Salida diferencial (V_{out+}) en el filtro para una señal de entrada con frecuencia mayor que la frecuencia $f_c = 125.5\text{Hz}$.

En la Figura 12, se muestran otros resultados experimentales para el filtro paso bajo de 6^{to} orden con una nueva frecuencia de corte ($f_c = 268.8\text{Hz}$). Esta figura muestra la señal de entrada y la salida diferencial neta ($V_{out+} - V_{out-}$) del filtro cuando una señal senoidal con frecuencia de 675.6Hz y amplitud 4Vp-p es usada como señal de entrada. Entonces, la señal es filtrada.

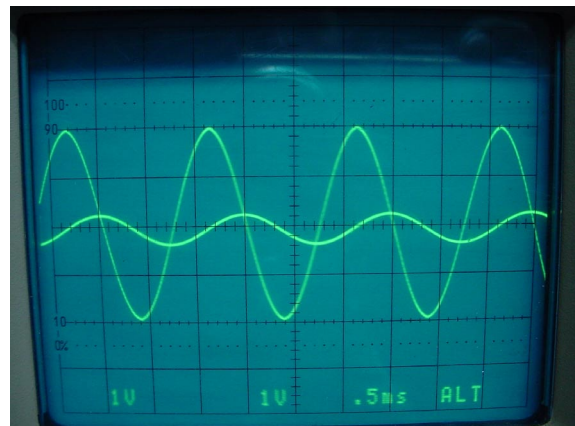


Figura 12: Salida diferencial neta ($V_{out+} - V_{out-}$) en el filtro para una señal de entrada con frecuencia mayor que la frecuencia $f_c = 268.8\text{Hz}$.

En la Figura 13 se muestran las salidas diferenciales (V_{out+} y V_{out-}) del filtro para la señal de entrada anterior. En este caso, la frecuencia de la señal de entrada ($f = 675.6\text{Hz}$) es mayor que la frecuencia de corte del filtro ($f_c = 268.8\text{Hz}$), y por lo tanto la señal es filtrada. Sin embargo, las salidas diferenciales (V_{out+} y V_{out-}) del filtro son señales senosoidales con amplitud 312mVp-p , tal como se muestra en la Figura 13.

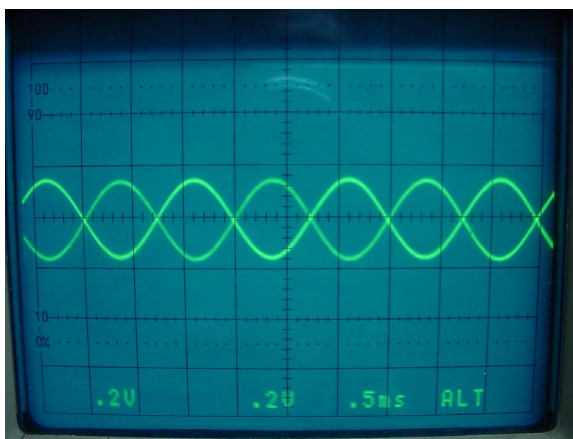


Figura 13: Salidas diferenciales (V_{out+} y V_{out-}) en el filtro para una señal de entrada con frecuencia mayor que la frecuencia $f_c = 268.8\text{Hz}$.

6. CONCLUSIONES Y TRABAJO FUTURO

En este artículo se presenta una metodología de diseño para circuitos análogos basada en usar circuitos análogos programables FPAA. Con el propósito de verificar la metodología propuesta, se diseñaron e implementaron filtros paso bajo de 2^{do} y 6^{to} orden.

Entonces, un simple circuito análogo programable FPAA puede reemplazar docenas de componentes estándares, y alcanzar un diseño altamente integrado y preciso. Por lo tanto, los FPAA son una solución eficaz a los problemas de rápido prototipaje y simplifican la tarea de diseñar circuitos electrónicos análogos. Actualmente, los circuitos FPAA disponibles en el mercado son fabricados por Anadigm, Zetex y Lattice. Los FPAA de Anadigm son los más flexibles entre los circuitos análogos programables debido a: el número de celdas análogas CAB disponibles en el chip, el número de funciones que se pueden programar en cada CAB, y no requiere

componentes externos (a excepción de los casos donde es necesario utilizar filtros *anti-aliasing* y *smoothing*).

Los FPAA de Zetex son los menos flexibles entre los circuitos análogos programables, esto es debido a que se requieren componentes externos para diseñar e implementar un circuito análogo. Sin embargo, los circuitos TRAC son una solución a los problemas de diseño análogo basada en el simple uso de un conjunto de funciones matemáticas.

Los FPAA de Lattice tienen las ventajas de utilizar una sola fuente de alimentación, entradas y salidas análogas completamente diferenciales (lo cual es óptimo en aplicaciones donde el ruido modo común es relevante) y ser dispositivos completamente programables sin la necesidad de usar componentes externos.

Inicialmente, como trabajo futuro se tiene planeado realizar el diseño y test de circuitos análogos de mayor complejidad en hardware usando los circuitos de Anadigm y Lattice, con el propósito de realizar una evaluación del desempeño.

Posteriormente, el trabajo se orientará hacia el estudio y desarrollo de aplicaciones bajo el concepto de hardware de señal mixta reconfigurable (*reconfigurable mixed-signal hardware*), es decir, la utilización simultánea de FPAA y FPGAs.

7. AGRADECIMIENTOS

Este trabajo ha sido patrocinado por Lattice Semiconductor Corporation a través del Programa Universitario.

8. REFERENCIAS

- [1] R. Caicedo, "Diseño de Circuitos Electrónicos Usando Circuitos Análogos Programables", Tesis de pre-grado, Escuela de Ingeniería Eléctrica y Electrónica, Universidad del Valle, Sept. 2002.
- [2] <http://www.ee.ualberta.ca/~vgaudet/fpaa/terminology.html>
- [3] Lattice Semiconductor, *ispPAC™ Handbook: Programmable Analog Circuits*, Sept. 1999.
- [4] R. Caicedo y J. Velasco, "Tutorial PAC-Designer", Escuela de Ingeniería Eléctrica y Electrónica, Universidad del Valle, Sept. 2002.
- [5] TRAC, Totally Re-configurable Analog Circuit, Issue 2, Marzo 1999.
- [6] Anadigm, Data Manual, Jul. 2001.
- [7] Anadigm, "AnadigmDesigner IPmodule Manual", Jul. 2001.
- [8] Anadigm, App Note 010, "Applying the AN10E40 Anti-Aliasing and Output Smoothing Filters for Sampled Data Systems", Jul. 2001.
- [9] Anadigm, "AN120E04 Reconfigurable FPAA Datasheet", 2002
- [10] Anadigm, "AN220E04 Dynamically Reconfigurable FPAA Datasheet", 2002
- [11] Lattice, "Expanding Frequency and Gain Ranges of the ispPAC10 and ispPAC20", an6020, jul. 2000.

- [12] Lattice, “Pspice Simulation Using ispPAC SPICE Models and PAC-Dseigner”, an6021, Nov. 2000.