

SENSOR DE PIXEL ATIVO NO PROCESSO CMOS 0,35 μ m

L. C. Moreira², S. N. M. Mestanza¹, I. F. Silva¹, J.E.C. Queiroz¹, W. A. V. Noije² e J. W. Swart¹

¹ Centro de Componentes Semicondutores - CCS/FEEC-UNICAMP
C.P.6165 CEP 13083-970 Campinas-São Paulo-Brasil

² Laboratório de Sistemas Integráveis - LSI/EPUSP
Av. Prof. Luciano Gualberto, 158.Trav.3.CEP 05508-900 São Paulo-SP-Brasil

E-mail: nilo@led.unicamp.br; lcm@lsi.usp.br

Abstract

In this article we present the simulated and experimental results of two circuits designed in a 0,35 μ m CMOS process. One is the APS circuit working in voltage mode. This circuit was implemented in a matrix (2,2), where each pixel has an area of 25 μ m x 25 μ m. The experimental characterization shows that the simulated dropping time is comparable to the measured time one. The second, is a Analog Multiplexer circuit with transmission gates and a capacitor of 11,6pF at its output. Applying a square wave at the input of the Multiplexer, the SPICE simulated rise time of the output is comparable to the measured results. Further, the experimental results indicate that the Multiplexer circuit may reduce the noise intensity in about 160 times when 3.3V input power supply, with approximately noise of 16mV RMS, is applied.

RESUMO

Neste artigo apresentamos os resultados simulados e experimentais de dois circuitos implementados no processo CMOS 0,35 μ m. Um é o circuito APS trabalhando no modo tensão. Este circuito foi implementado numa matriz (2,2), onde cada pixel tem uma área de 25 μ m x 25 μ m. As medidas experimentais mostram que o tempo de decaimento na simulação por SPICE é comparável ao tempo medido. O outro, é um circuito Multiplexador Analógico com portas de transmissão e um capacitor MOS de 11,6pF na saída 6pF. Aplicando-se um pulso na entrada do Multiplexador, o tempo de subida da saída obtido da simulação é comparável com os resultados medidos. Ainda, os resultados experimentais indicam que o circuito Multiplexador consegue reduzir a intensidade de ruído em até 160 vezes quando é aplicado na entrada uma tensão de 3,3V com aproximadamente 16mV RMS de ruído.

SENSOR DE PIXEL ATIVO NO PROCESSO CMOS 0,35 μ m

L. C. Moreira², S. N. M. Mestanza¹, I. F. Silva¹, J.E.C. Queiroz¹, W. A. V. Noije² e J. W. Swart¹

¹ Centro de Componentes Semicondutores - CCS/FEEC-UNICAMP
C.P.6165 CEP 13083-970 Campinas-São Paulo-Brasil

² Laboratório de Sistemas Integráveis - LSI/EPUSP
Av. Prof. Luciano Gualberto, 158.Trav.3.CEP 05508-900 São Paulo-SP-Brasil

E-mail: nilo@led.unicamp.br; lcm@lsi.usp.br

RESUMO

Neste artigo apresentamos os resultados simulados e experimentais de dois circuitos implementados no processo CMOS 0,35 μ m. Um é o circuito APS trabalhando no modo tensão Este circuito foi implementado numa matriz (2,2), onde cada pixel tem uma área de 25 μ m x 25 μ m. As medidas experimentais mostram que o tempo de decaimento na simulação por SPICE é comparável ao tempo medido. O outro, é um circuito Multiplexador Analógico com portas de transmissão e um capacitor MOS de 11,6pF na saída 6pF. Aplicando-se um pulso na entrada do Multiplexador, o tempo de subida da saída que obtido da simulação é comparável com os resultados medidos. Ainda, os resultados experimentais indicam que o circuito Multiplexador consegue reduzir a intensidade de ruído em até 160 vezes quando aplicado na entrada uma tensão de 3,3V com aproximadamente 16mV RMS de ruído.

1. INTRODUÇÃO

Atualmente, há um grande interesse em nível mundial para circuitos de sensores de imagens (visão integrada) devido ao avanço da tecnologia de microeletrônica. As tecnologias mais utilizadas a nível mundial são: *Bipolar*, *BiCMOS*, *GaAs* e, principalmente, a *CMOS* com aproximadamente 85% do mercado mundial de semicondutores, porque esta tecnologia apresenta facilidades na implementação de transistores, baixo consumo de potência e redução de custo [1]. Assim, os circuitos APS podem ser implementados com um custo bastante reduzido em relação ao *CCD-Charge Coupled Device* que necessita de mais etapas de processo e não podem ser implementados em conjunto com dispositivos MOS num mesmo *wafer* sem custos adicionais [2]. Logo, o circuito APS apresenta duas principais vantagens: a primeira é o custo reduzido devido a tecnologia; a segunda é devido a possibilidade de implementação do circuito APS em conjunto com circuitos digitais, microprocessadores, memórias e circuitos analógicos [3]. Dessa forma, os sensores de imagem serão extremamente beneficiados, pois há uma variedade de aplicações em diversas áreas, como por exemplo: na medicina através de circuitos visuais para

biometria, ou seja, para medidas na íris e retina, e implantes visuais como o micro estimulador intracortical integrado; em circuitos de segurança para a identificação de impressões digitais; em sistemas de comunicação temos a vídeo conferencia; na área militar temos a captação de vídeo, onde é possível armazenar 10.000 imagens em um único circuito integrado; câmaras para uso espacial, pois circuitos APS não são susceptíveis a radiação de prótons como o CCD [4]. Em contrapartida, ele apresenta degradação na sua *performance* devido a quantidade de ruído elevada. Este trabalho é uma contribuição ao estudo de ruído nos sensores de imagens tipo APS. Desde que o valor da intensidade de ruído na saída do APS depende não só das variáveis elétricas do processo, mas também da geometria utilizada no circuito e no *pixel*. Sendo assim, implementamos um circuito APS e um circuito Multiplexador Analógico com um capacitor MOS na saída para diminuir a intensidade de ruído. Este capacitor pode levar a menores intensidades de ruídos sem a necessidade de alterações no processo e na geometria do circuito. Na segunda seção do artigo, será apresentada a arquitetura da matriz de *pixels* do APS; *pixel* ativo e capacitância do fotodiodo. Além disso, apresentaremos o circuito Multiplexador Analógico implementado no processo 0,35 μ m com um capacitor de MOS 11,6pF na saída. Na terceira seção, são mostrados resultados e discussões sobre o comportamento do APS e o Multiplexador Analógico. Na quarta seção, apresentaremos as conclusões.

2. ARQUITETURA DO CIRCUITO APS E DO MULTIPLEXADOR ANALÓGICO

Neste trabalho implementamos dois circuitos no processo da *AMS-Austria Mikro Systeme*: O primeiro é circuito APS com 4 *pixels* e dois *shift-registers* para selecionar as linhas e colunas. Um destes tem a função de selecionar as linhas e resetar o fotodiodo e o outro serve para selecionar as colunas. A arquitetura de APS implementada neste trabalho permite selecionar e resetar *pixel* por *pixel*, comparado com o APS convencional que tem um *reset* global a e seleção de toda linha pelo *shift-register*, porem a seleção das colunas é feita pelo circuito Multiplexador. O segundo, é circuito Multiplexador Analógico que foi implementado com

portas de transmissão e um capacitor *MOS* na saída, conforme ilustra o *layout* na fig. 1. Implementamos os circuitos separados para possibilitar uma melhor caracterização dos circuitos.

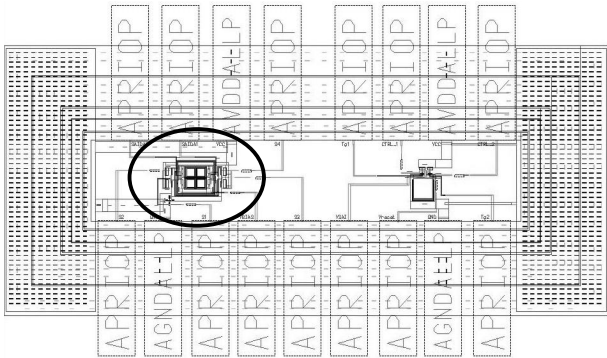


Fig. 1. Layout completo do circuito APS (à esquerda) e do Multiplexador Analógico (à direita).

Uma microfotografia ampliada do *layout* contendo os fotodiodos (1,1), (1,2), (2,1) e (2,2) da matriz estão ilustrados na fig. 2. Todos eles operam no modo “*Charge Integration*”, e cada um é representado com um fotodiodo em paralelo com um capacitor, conforme ilustra a fig. 3(a).

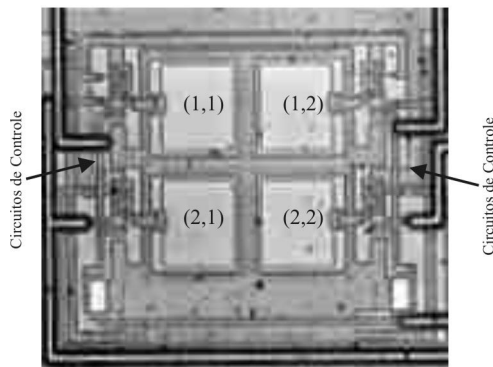


Fig. 2. Microfotografia do circuito APS implementado na AMS.

A área ocupada pelo foto diodo é de $20\mu\text{m} \times 20\mu\text{m}$. A capacitância em seus terminais é a soma das capacitâncias laterais e de fundo da junção, conforme ilustra a fig. 3(b). A capacitância total C_t pode ser calculada através da capacitância lateral de junção (c_l) do processo em polarização zero é de $2,17\text{E}-10 \text{ F/m}$ e a capacitância de base com polarização zero é de $9,22\text{E}-4 \text{ F}/\mu\text{m}^2$ (cb). A fotocorrente (I_{photo}) na região de depleção, é proporcional ao número de pares elétron-lacuna gerados a partir dos fótons absorvidos dentro da região de depleção e as proximidades da referida junção. Esta fotocorrente é uma função direta da eficiência quântica (η) que é dependente do comprimento de onda e da área do fotodiodo (A) [5], é apresentado pela seguinte equação:

$$I_{photo} = g d A = \frac{\eta e I_0 A}{\hbar \omega} \dots\dots\dots (1)$$

(e) é a carga do elétron, (I_0) é o fluxo incidente de fótons e $\hbar \omega$ a energia do fóton.

O sinal de tensão de saída (V_t) do fotodiodo no APS trabalhando no modo *Charge Integration* como uma função do tempo após do diodo ter sido resetado, é apresentado pela seguinte equação [6]:

$$v(t) = \left[V_{reset}^{\frac{1}{2}} - \left\{ \frac{I_{photo} \cdot t}{A \cdot (2 \cdot q \cdot \epsilon_{si} \cdot N_A)} \right\}^{\frac{1}{2}} \right] \dots\dots\dots (2)$$

V_{reset} é a tensão de polarização reversa, t é o tempo, N_A impurezas aceitadoras e ϵ_{si} é a permissividade do silício.

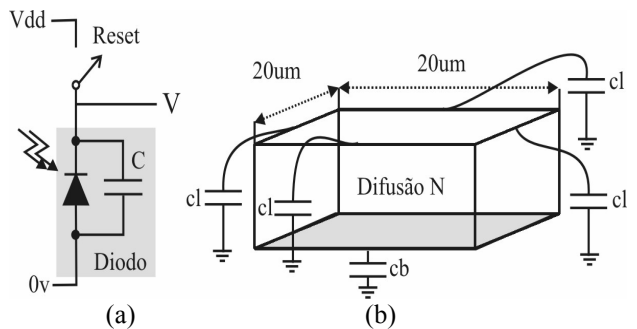


Fig. 3. Fotodiodo no modo *Charge Integration*: (a) Esquema elétrico do fotodiodo; (b) Fotodiodo com as dimensões.

O *pixel* ativo utilizado tem como elemento ativo o transistor amplificador (T2), conforme ilustra a fig. 4. Esta estrutura pode ser dividida em dois grandes grupos um no modo corrente e o outro modo tensão. Neste trabalho implementamos um *pixel* no modo tensão composta por 3 transistores *nMOS* e um fotodiodo. Neste *pixel* o fotodiodo está em série com o transistor T1 e tem a função de resetar o *pixel*, ou seja, tem a função de carregar o capacitor que está em paralelo com o fotodiodo. Esta carga gera uma tensão $V_{dd}-V_t$ que decai em função do nível de iluminação (tempo de decaimento), conseqüentemente a tensão entre *gate* e *source* do transistor T2 também cai. Logo, há uma diminuição da corrente no Bus de Coluna. O transistor T3 tem a função de selecionar o *pixel* na matriz. Desta maneira, o sinal é conduzido para o transistor de carga que está ligado a coluna.

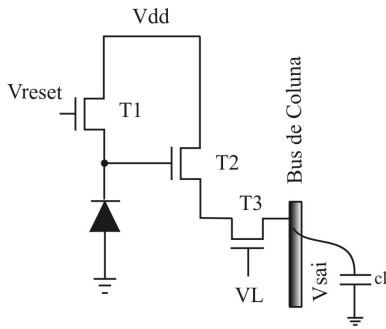


Fig. 4. Esquemático do *pixel* ativo.

O projeto completo do circuito *APS* (Matriz de *Pixels*) com os *shift-registers*, *pixels* ativos e transistores de carga está ilustrado no esquemático da fig. 5 [7]. Nele o *shift-register-1* (portas P1 e P2) tem a função de selecionar as linhas da matriz de fotodiodos e resetar o *pixel*. O *shift-register-2* (portas P3 e P4) tem a função de selecionar as colunas da matriz. As entradas X1, X2, X3 e X4 controlam os *shif-registers*. Sendo que as entradas X1 e X2 tem a finalidade de selecionar as linhas e X3 e X4 as colunas. Por exemplo, quando as entradas de ambos *shif-registers* estiverem em zero (0V) ou um lógico (3,3V) as linhas e colunas da matriz não serão ativados, ou seja, na saída das portas (P1, P2, P3 e P4) teremos 0V. Para ativar as *pixels* os sinais nas entradas das portas deverão ser alternados. Num circuito com “n” *pixels* implica que a velocidade do sinal em X3 e X4 deverá ser “n” vezes mais rápido do que X1 e X2. A seleção dos *pixels* na arquitetura de teste será: X1=0, X2=1, X3=0 e X4=1 para o *pixel* (1,1) está ativada e as demais não (veja ilustração 5) ; X1=0, X2=1, X3=1 e X4=0 para o *pixel* (1,2) está ativada e as demais não; X1=1, X2=0, X3=0 e X4=1 para o *pixel* (2,1) está ativada e as demais não; X1=1, X2=0, X3=1 e X4=0 o *pixel* (2,2) está ativada e as demais não.

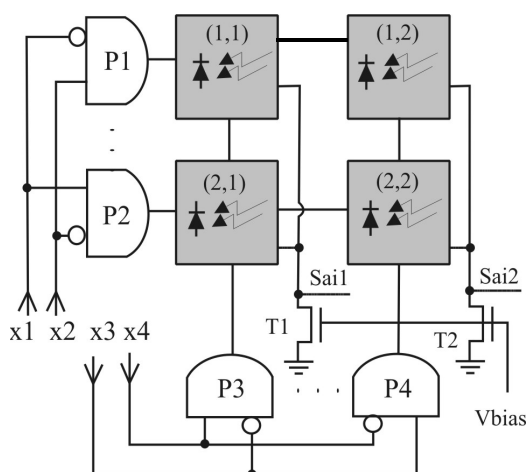


Fig. 5. Arquitetura de teste do circuito *APS*.

As dimensões dos transistores projetados no *pixel* (Fig.4) são: transistor de *reset* (T1) tem a dimensão de $L=0,35\mu\text{m}$ e $W=4\mu\text{m}$ e sua função é de resetar o

fotodiodo, ou seja, acumular carga na junção do diodo reversamente polarizada; T2 amplificador com $L=0,35\mu\text{m}$ e $W=4\mu\text{m}$, T3 é o transistor utilizado para selecionar a linha de pixels e sua dimensão é de $L=0,35\mu\text{m}$ e $W=4\mu\text{m}$. Os transistores de carga T1 e T2 da (Fig. 5) apresentam dimensões de $L=0,35\mu\text{m}$ $W=7,5\mu\text{m}$. Cabe ressaltar que T1, T2 e T3 (Fig.4) e T1/T2 (Fig.5) foram projetados de tal forma que a tensão “sai1” e “sai2” estejam na faixa de 0 a 1V.

O circuito Multiplexador Analógico foi implementado com duas portas de transmissão e um capacitor *MOS* na saída, conforme ilustra a fig. 6. Cada porta de transmissão tem dois transistores em paralelo (*pMOS* e *nMOS* - transistores t1 e t2, respectivamente). Estes transistores têm uma largura de canal de $4\mu\text{m}$ (*pMOS*) e $2\mu\text{m}$ (*nMOS*) e ambos com comprimento de canal igual a $0,35\mu\text{m}$. O capacitor *MOS* tem $L=50\mu\text{m}$ e $W=50\mu\text{m}$. As portas de transmissão 1 e 2 estão ligadas na porta do transistor t6 (capacitor *MOS*) e podem ser controlada através dos sinais de controles ctrl_1 e ctrl_2. Ambos os controles também estão ligados a entrada de inversores para gerar o sinal complementar para o controle do *pMOS*. Nesta estrutura uma entrada pode ser habilitada e as demais ficam desabilitadas. Antes de habilitar uma outra entrada o capacitor *MOS* deve ser descarregado. Para isso, o transistor t3 deverá conduzir quando aplicado um sinal (*Vreset*) na porta deste transistor.

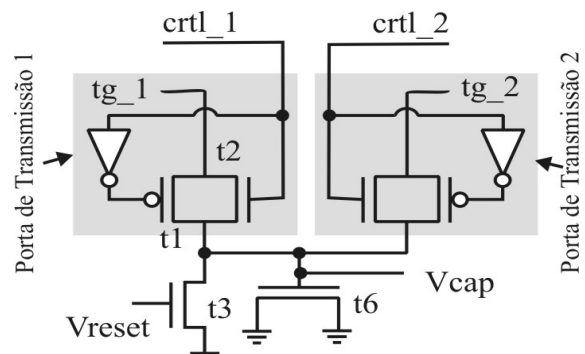


Fig. 6. Esquemático do circuito Multiplexador.

O capacitor colocado na saída do circuito tem as seguintes finalidades: a primeira é de reduzir a intensidade de ruído KT/C ; a segunda é que ele pode ter sua saída usada como um filtro para altas frequências; a terceira é que ele pode exercer a função de um circuito *sample holding*, ou seja, o sinal fica armazenado no capacitor para dar tempo ao conversor A/D fazer a conversão; a quarta é que ele diminui a variação de tensão Δv devido a distribuição de cargas. Os cálculos teóricos de ruído [8], mostram que na saída do Multiplexador o ruído KTC é de aproximadamente $60\mu\text{V}$ para uma capacitância de porta (*capacitor MOS*) de $11,6\text{pF}$. Se esta capacitância não estivesse na saída a intensidade de ruído seria muito maior, porque este tipo de ruído é inversamente proporcional a capacitância. Além de reduzir a intensidade de ruído o capacitor pode ser utilizado como um filtro para as altas frequências,

porque a reatância capacitiva é inversamente proporcional a frequência. Além do ruído KTC existem outros tipos de ruído no APS e Multiplexador que podem ser reduzidos na saída do multiplexador pelo capacitor, como por exemplo: o *Thermal Noise*, *Flicker Noise*, *Shot Noise* e flutuações de tensão na fonte de alimentação que estão presentes em transistores e em áreas resistivas como: resistores de polisilício, resistores de *nWELL*, resistores de difusão tipo P ou N e resistência do canal do transistor na inversão forte [9].

3. RESULTADOS E DISCUSSÕES

Nesta etapa apresentaremos resultados de simulações experimentais do circuito APS e do Multiplexador projetados. Assim, foi usado o simulador elétrico *SPICE* para as simulações e para os testes dos protótipos foram usados o osciloscópio *TEKTRONIX-TDS, HP4145 Analyzer Semiconductor* e gerador de sinais *HP-8116A*. Com as simulações elétricas objetivou-se avaliar o tempo de resposta (ou decaimento) dos *pixels* para diversos tipos de iluminação. Nesta simulação o fluxo fotônico foi substituído por uma fonte de corrente, de tal forma que simularia a corrente gerada fonicamente no *pixel* do APS. Os níveis de corrente utilizados nesta simulação variam na escala de 10-100pA. Esta escala foi escolhida para simular o pixel em condições extremas. Na realidade as correntes sobre o fotodiodo em condições normais de iluminação (sala) é da ordem de pA. Na Fig.7 podemos observar que com o aumento na intensidade da iluminação, o tempo de resposta do pixel diminui mais rapidamente (tensão V_d). Este fato esperava-se pela equação (1), um aumento na intensidade de luz produziria um aumento na geração do número de pares elétron-lacuna na região de depleção e por conseguinte um aumento na fotocorrente. Mais pela equação (2) como o fotodiodo esta isolado prevê-se que um aumento na fotocorrente espera-se uma diminuição no sinal da tensão de saída.

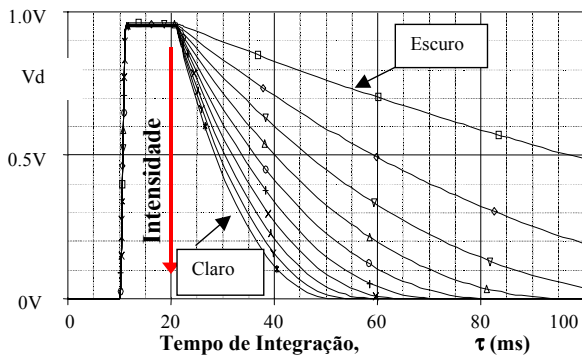


fig. 7. Simulação elétrica do sinal de saída do diodo em função do tempo de integração, para diversos níveis de iluminação.

Para avaliar o tempo de resposta dos pixels APS utilizamos diversos níveis de iluminação como: Lâmpada de filamento (Tunstênio) 75W; Luz da sala

(Fluorescente) de 40W, Luz de um *LED-Light Emitter Diode* 3mW. e finalmente, sem nenhuma luz (escuro). Os resultados são mostrados na fig. 8. Estes resultados estão em concordância com os nossos resultados simulados. Na fig. 8 (a) o valor do sinal de saída da tensão do APS para a lâmpada de filamento, observa-se uma diminuição em relação aos níveis de iluminação com a luz da sala Fig. 8 (b) e do LED no instante zero Fig. 8 (c). Uma possível explicação para este efeito seria que como nossos transistores não estavam protegidos e em especial o transistor de carga. Como a luz da lâmpada (filamento) é mais intensa esta estaria produzindo uma variação na fotocorrente do canal do transistor de carga. Com isso, a corrente sobre o transistor sofre uma maior variação. E finalmente, a avaliação do circuito sem nenhuma luz sem nenhuma luz está ilustrado na fig.8 (d).

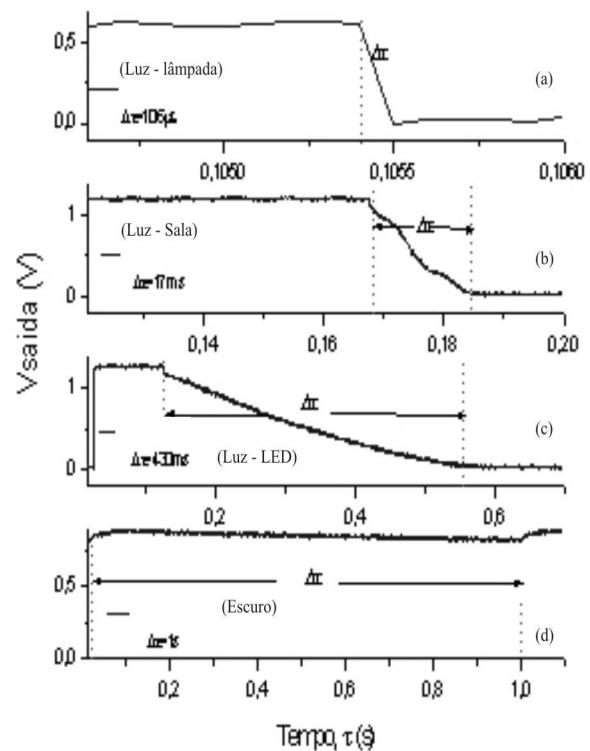


Fig. 8. Tempos de decaimento do sinal de saída do circuito APS em função de diversos níveis de iluminação.

Avaliamos também o comportamento elétrico do circuito Multiplexador ilustrado na Fig.6. Forem feitas simulações elétricas no *SPICE* com a finalidade de avaliar o tempo de carga do capacitor MOS na saída do multiplexador. A aplicação de uma onda quadrada com amplitude 3,3V e tempo de transição de 0,01ns na entrada tg_1 e habilitamos a porta de transmissão 1 colocando 3,3V no controle $ctrl_1$ e 0V no $ctrl_2$, permitiu encontrar que o tempo de carga do capacitor MOS que é de $\sim 125ns$, conforme ilustra a Fig. 9.

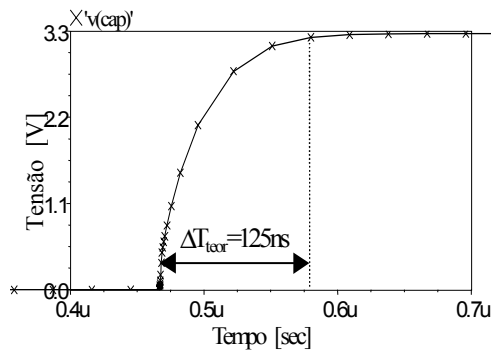


Fig. 9. Tempo de subida da tensão de saída Vcap.

Para avaliar o comportamento elétrico do circuito Multiplexador Analógico aplicamos dois tipos de sinais: uma fonte de alimentação com sinal contínuo “constante”, com flutuações numa tensão de 3,3V ~16mV de ruído e um gerador de onda quadrada. Para a análise do comportamento do circuito colocamos uma fonte de alimentação de 1,5V na entrada tg_1 de 1,0V na entrada de tg_2. Habilitamos a porta de transmissão e colocando uma tensão de 3,3V no ctrl_1 e 0V no controle ctrl_2. Medimos o comportamento do ruído na saída do circuito Multiplexador (Vcap). A intensidade de ruído medido na saída do circuito Multiplexador (Vcap) é de 100μV, conforme ilustra a Fig.10.

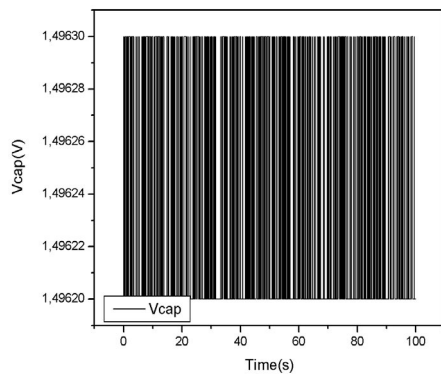


Fig. 10. Intensidade de ruído na saída do Multiplexador com uma tensão da fonte de alimentação (tg_1) de 1,5V e outra (tg_2) igual a 1,0V na entrada do Multiplexador.

Nas medidas experimentais, pode-se concluir que a capacitância na saída do circuito multiplexador consegue reduzir a intensidade de ruído, e que a intensidade de ruído na saída é 160 vezes menor que o ruído na entrada, o capacitor na saída do Multiplexador consegue filtrar sinais de altas frequências.

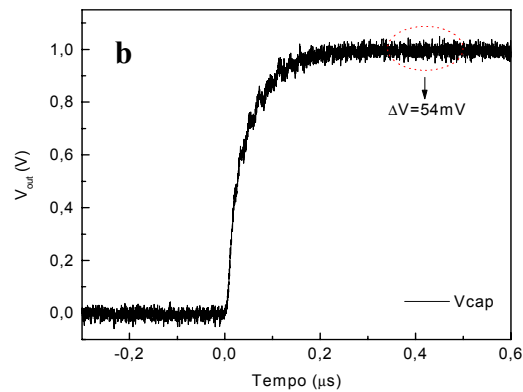
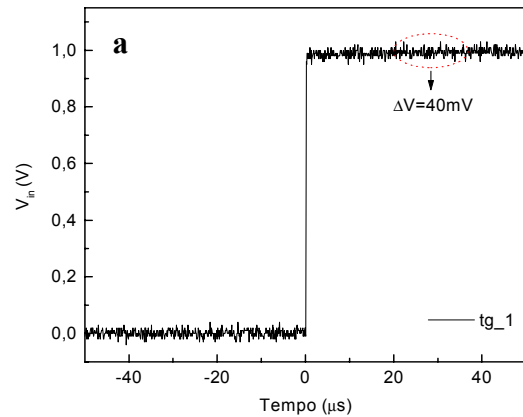


Fig. 11. Tensão na saída do Multiplexador: (a) Tensão em tg_1=0 até 1,0V; (b) Tensão em Vcap.

Para uma avaliação do tempo de subida do capacitor no circuito Multiplexador colocamos um gerador de pulsos quadrados com três amplitudes. A primeira tem um degrau de tensão de 0V a 1V na entrada tg_1 e a entrada tg_2 mantemos em 0V do circuito, conforme ilustrado na Fig. 11(a). O resultado da saída está ilustrado na Fig.11 (b). Em amplitudes do sinal de entrada de 0 a 2V e de 0V a 3V os tempos de subida do sinal estão ilustrados na tabela-I. O resultado simulado do circuito APS mostra que o tempo de decaimento do fotodiodo é comparável ao tempo de decaimento medido do sinal de saída do circuito. Ou seja, as simulações do circuito Multiplexador mostraram que o tempo de subida (tensão na saída entre 10% a 90%) é de 125ns (Fig.9) e os dados experimentais mostram que a média dos tempos de subida (Tsub) na tabelas I é de aproximadamente 103ns. Disto conclui-se, que os resultados simulados e experimentais são próximos.

Tabela I.

Tempos de subida medidos da tensão na saída (Vcap) do Multiplexador em função da amplitude do sinal de entrada.

Amplitude [V]	Tempo em 10%	Tempo em 90%	Tempo de Subida
1	9,78E-9	1,10E-7	$\Delta T_{exp1}=1,000E-7$
2	9,52E-9	1,23E-7	$\Delta T_{exp2}=1,130E-7$
3	6,53E-9	1,14E-7	$\Delta T_{exp3}=1,070E-7$

4. CONCLUSÕES

Neste artigo foram apresentados os resultados de um sensor de imagem APS contendo com uma matriz de pixels e um Multiplexador Analógico. Resultados experimentais da resposta de nossos pixels forem coerentes ao tempo de decaimento previsto pelas simulações no SPIECE. Conseguimos suprimir o ruído de entrada ao circuito até em 160 vezes quando for colocado um sinal com tensão de alimentação constante. Isto ocorre, porque o capacitor *MOS* na saída do Multiplexador atua como um filtro eficiente contra os ruídos gerados pela fonte de alimentação.

AGRADECIMENTOS :

Os autores agradecem aos colegas Viasoli e Douglas do CENPRA pelo encapsulamento do chip e demais colegas do CCS. Este trabalho é financiado pelo projeto Instituto do Milênio e CNPq, Brasil.

BIBLIOGRAFIA :

-
- [1] P. Catrysse and B. Wandell and A. El Gamal, *An integrated color pixel in 0.18um CMOS technology*. In *2001 IEDM Technical Digest*, Pages 24.4.1-24.4.4.
- [2] E. R. Fossum, *Active Pixel Sensors: are CCD's dinosaurs*, In Proc. SPIE, pp. 2-14, San Jose. CA. February 1993.
- [3] [Http://mishkin.jpl.nasa.gov/csmtpages/APS](http://mishkin.jpl.nasa.gov/csmtpages/APS).
- [4] Vora, Poorvi L.; Farrell, Joyce E. Tietz; Jerome D. and Brainard David H. *Image Capture: Simulation of Sensor Responses from Hyperspectral Images*, IEEE Transactions on Image Processing, Vol 10, No. 2, pp. 307-316, February 2001.
- [5] Sergio M. Rezende, *A Física de Materiais e dispositivos eletrônicos*, Editora Universitaria da UFPE(Brasil-Recife,1996), pp. 323.
- [6] Gene Weckler, *Operation of p-n Junction Photodetectores in a photon Flux Integrating Mode*, In IEEE Journal of Solid State Circuits, Vol.sc-2, No.3, Pages 65-73, September 1967.
- [7] B. Fowler, D. Yang, H. Min, and A. El Gamal, *Single Pixel Test Structures for Characterization and Comparative Analysis of CMOS Image Sensors*, At *1997 IEEE Workshop on Charge Coupled Devices*, Brugge, Belgium, June 1997.
- [8] R. Jacob Baker, Harry W. Li and David E. Boyce, *CMOS Circuit Design, Layout, and Simulations*, IEEE Press Series on Microelectronic Systems, The Institute of Electrical and Electronics Engineers, Inc., New York-USA, 1997, pp. 147.
- [9] H. Tian, *Noise Analysis in CMOS Image Sensors*, Ph.D. Thesis, Stanford University, CA, 2000.