

## **NUEVA ESTRUCTURA DE CARGA DE ELEVADORES DE TENSIÓN**

Ing. Alejandro de La Plaza, Profesor Universidad de Buenos Aires  
Ing. Héctor Fabián Kirschenbaum, Estudiante de doctorado

Contacto: Ing. Alejandro de La Plaza

Dirección : Laboratorio de Microelectrónica  
Facultad de Ingeniería de la Universidad de Buenos Aires  
Paseo Colon 850, CP 1063, Buenos Aires, ARGENTINA.

Teléfono: 54-1-4343-0891, int 263 y 167.

Mail: [a.plaza@ieee.org](mailto:a.plaza@ieee.org) <Alejandro de La Plaza>  
[hkirsc@fi.uba.ar](mailto:hkirsc@fi.uba.ar) <Héctor Fabián Kirschenbaum>

### **ABSTRACT**

There is a tendency to reduce the power supply voltage of all circuits motivated by a need to reduce power consumption and to ease battery operation. For some applications like programming of non-volatile memories and on most analog circuits, higher supply voltages are needed to achieve the required performance.

Traditional configurations for pump circuits need capacitors capable to sustain the maximum pumped voltage. The proposed configuration by removing this requirement can make use of the gate capacitance of mos devices and take advantage of its very high specific capacitance, and making possible to use any standard digital process. New circuit techniques are presented that make possible to use not only low voltage capacitor but also low voltage, n-well CMOS transistors. A prototype circuit was fabricated using standard the AMI ABN 1.5um CMOS technology and experimental results are presented.

### **RESUMEN**

Hay una tendencia a reducir la tensión de alimentación de todos los circuitos motivada por la necesidad de reducir el consumo y facilitar el uso de baterías. En algunas aplicaciones como la programación de memorias no-volátiles y en la mayoría de los circuitos analógicos, para lograr el rendimiento requerido se necesita una alta tensión de alimentación.

Los configuraciones tradicionales de circuitos elevadores necesitan capacitores capaces de soportar el máximo potencial generado. Esto no es requerido por la configuración propuesta por lo tanto puede utilizar la capacidad de compuerta de los dispositivos MOS y tomar ventaja de su alta capacidad específica, pudiendo utilizar cualquier proceso digital estándar. Nuevas técnicas circuitales son presentadas que hacen posible utilizar no solamente capacitores de bajo voltaje sino que también transistores CMOS N-well de bajo voltaje. Un prototipo del circuitos fue fabricado usando el proceso CMOS estándar AMI ABN 1.5u y resultados experimentales son presentados.

# Nueva estructura de carga de elevadores de Tensión

Héctor F. Kirschenbaum, Alejandro de la Plaza  
 Universidad de Buenos Aires, Facultad de Ingeniería, Argentina

## ABSTRACTO

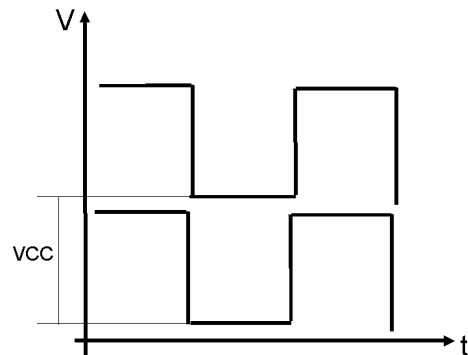
Este trabajo describe una nueva configuración de un elevador de tensión integrado. Con esta configuración no se supera la máxima diferencia de tensión de funcionamiento en ninguno de sus elementos activos. Esto permite que el circuito sea integrado con tecnología N-well estándar. El elevador fue fabricado a través de MOSIS con un proceso de 1.5 micrón N-well. Logrando una tensión de salida de 14 V con una alimentación de 4 V.

## 1. INTRODUCCIÓN

La gran demanda de circuitos de baja alimentación en especial para los equipos portátiles, los cuales requieren de memorias no volátiles, ha motivado el estudio de los elevadores de tensión integrados [1]-[4]. Estos son necesarios en las memorias EEPROM para el ciclo de borrado-escritura. A pesar de esto dichas configuraciones son variaciones del circuito de Dickson [5]. Una alternativa al esquema de Dickson se ha propuesto en [1] y [6]. Dichas configuraciones son distintas a la de Dickson al estar todos los elementos de carga en serie al momento de transferir su carga. Debido a esto la tensión de salida se reparte entre todos ellos. No pasa lo mismo con las llaves que deben soportar toda la tensión. En la configuración propuesta en este trabajo ese problema es eliminado permitiendo que ningún elemento activo soporte tensiones superiores a la máxima del proceso.

## 2. DESCRIPCIÓN DEL CIRCUITO

La configuración propuesta se muestra en la figura (1). Esta configuración utiliza el mismo

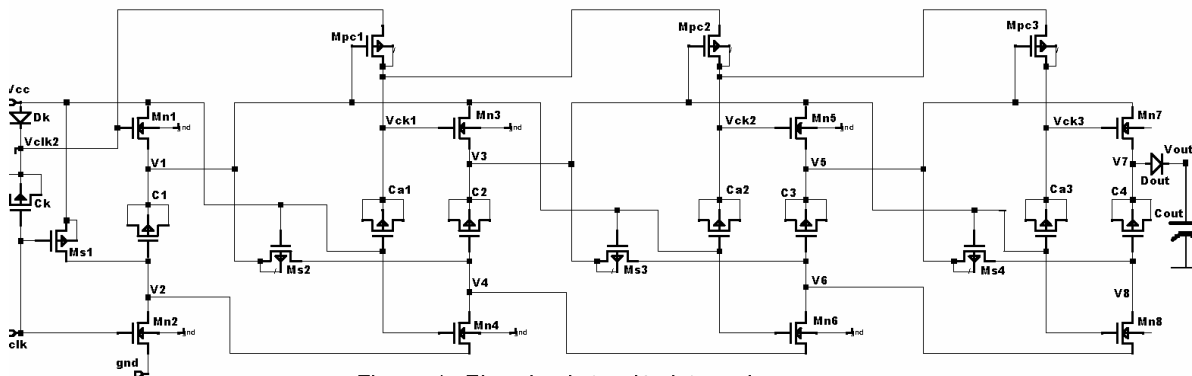


Figura\_2 : Diagrama temporal del clock

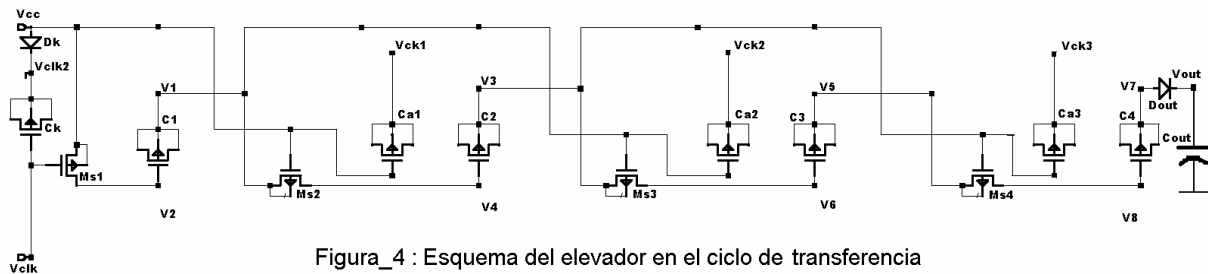
esquema de clock que [6], el cual se muestra en la figura (2). La deducción de la expresión de la tensión de salida (1) puede encontrarse en [6].

$$V_{out} = (N+1) \cdot V_{cc} - V_D - \frac{I_{OUT}}{f \cdot \left( C_{OUT} // \left( \frac{C_e}{N} \right) \right)} \quad (6)$$

Con N: Cantidad de etapas  
 $V_D$  : Tensión de barrera del diodo de salida  
 F : Frecuencia del clock



Figura\_1 : Elevador de tensión integrado



Figura\_4 : Esquema del elevador en el ciclo de transferencia

$V_{cc}$  : Tensión de la alimentación  
 $I_{out}$  : corriente de salida  
 $C_e$  : capacidad individual de carga de cada etapa,  $C_i$  en figura 1.

Esta configuración, al igual que en [6], posee dos ciclos el de carga y el de transferencia. En el ciclo de carga los capacitores se cargan a  $V_{cc}$ . En el ciclo de transferencia estos se ponen en serie cerrándose el circuito a través de la capacidad de la salida, representada por  $C_{out}$ .

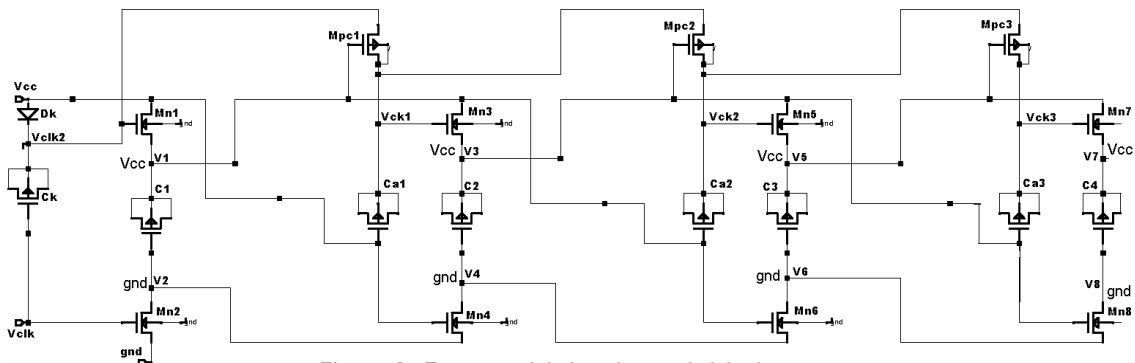
En este caso las llaves están referidas a la etapa anterior en vez de a la alimentación o masa. También se agrega un circuito secundario de activación de las llaves en lugar de estar conectadas al clock directamente. Esto permite que  $Mn1-8$  no sean sometidos a una diferencia de tensión entre sus terminales mayor que la alimentación. Por otro lado a diferencia de [6] donde las compuertas de  $Mn3$ ,  $Mn5$  y  $Mn7$  están conectadas directamente a  $V_{clk2}$ , con lo cual permanecen todas a una misma tensión  $V_{cc}-V_d$  en el ciclo de transferencia, aquí están conectadas a través de las llaves  $Mpci$  y capacitores  $Ca_i$ . En el ciclo de transferencia los capacitores  $Ca_i$  elevan la tensión de las compuertas de  $Mn3$ ,  $Mn5$  y  $Mn7$  sobre  $V_{cc}-v_d$  de tal forma que la diferencia de tensión entre cualquiera de sus terminales sea menor que  $V_{cc}$ .

Todas las etapas, al igual que en [6], se encuentran o en el ciclo de carga o en el de

transferencia. El cambio de un ciclo a otro se produce por un efecto cascada, en donde la etapa anterior impulsa el cambio en la etapa siguiente.

Durante el ciclo de carga los capacitores  $C_i$  se cargan individualmente a la tensión de alimentación. Las llaves  $Mni$  están todas cerradas, y las llaves  $Msi$  están abiertas. Las llaves  $Mpci$  también están cerradas ya que sus compuertas están aproximadamente a una tensión de  $V_{cc}$  y sus sumideros a una tensión de  $2V_{cc}-V_d$ , esto hace que los capacitores  $Ca_i$  se carguen a una tensión de  $V_{cc}-V_d-V_{tp}$ . En el esquema de la figura (3), se observa como durante el ciclo de carga hay un solo interruptor conectado a la alimentación o a masa directamente. Esto hace que cada capacitor se cargue a través de los interruptores de la etapa anterior. Lo mismo con los capacitores del circuito secundario,  $Ca_i$ . Durante este estado los nodos  $V_2$ ,  $V_4$ ,  $V_6$  y  $V_8$  están a masa, los nodos  $V_1, V_3, V_5$  y  $V_7$  están a una tensión igual a  $V_{cc}-V_d$  y los nodos  $V_{ck1}$ ,  $V_{ck2}$  y  $V_{ck3}$  están a una tensión de  $2V_{cc}-V_d-V_{tp}$ .

El cambio de ciclo de carga a ciclo de transferencia empieza cuando la tensión del clock baja. Por lo tanto baja  $V_{clk2}$  aproximadamente a una tensión de  $V_{cc} - V_d$ .  $Mn1$  y  $Mn2$  se abren y  $Ms1$  se cierra haciendo que  $V_2$  pasa a una tensión de  $V_{cc}$  y  $V_1$  a una tensión de  $2V_{cc}$ . Al subir  $V_2$  y  $V_1$   $Mn4$  se abre y  $Ms2$  se cierra, haciendo que en  $V_4$  haya una tensión de  $2V_{cc}$ . Al mismo tiempo al



Figura\_3 : Esquema del elevador en el ciclo de carga

subir V1 y bajar Vclk2 se abre a Mpc1, que permite que Vck1 pase a tener una tensión de 2Vcc-Vd. V3 pasa a una tensión de 3Vcc y Mn3 se abre. Esta serie de pasos se repite hasta llegar a la última etapa.

Del esquema de la figura (4) se nota como durante el ciclo de transferencia los capacitores Ci forman una cadena. Los Cai sirven para referenciar las compuertas de Mn3, Mn5 y Mn7 a una tensión mayor que Vcc.

El paso del ciclo de transferencia al ciclo de carga empieza cuando la tensión de clock sube abriendo a Ms1 y cerrando a Mn2, al subir también Vclk2 se cierra Mn1, de esta forma V1 baja hasta una tensión de Vcc, abriendo a Ms2 y cerrando a Mn4. También como consecuencia de haber bajado V1, se cierra Mpc1 que abre a Mn3. Este proceso continua hasta el final del circuito.

### 3. RESULTADOS EXPERIMENTALES

El circuito fue diseñado y fabricado a través de MOSIS. Se utilizó la tecnología AMI ABN con un proceso N-Well de 1.5 micrones, doble metal, doble poly. Para realizar los capacitores Cai y Ci se utilizaron las compuertas de transistores NMOS, Debido al diseño del elevador, a pesar de las altas tensiones generadas estos transistores no exceden el rango de operación del proceso que en este caso es de 5v. Los capacitores Ci tienen un valor de 10pf y los Cai de 1pf. Cada capacitor tiene un pozo N independiente. Todos los demás transistores fueron integrados con una medida de 4.8 x1.5 micrones de W y L respectivamente. El área del circuito es de 0.13 mm<sup>2</sup>.

El layout del elevador se muestra en la figura (5), los capacitores Ci son las estructuras que ocupan más espacio. Solo se utilizó una sola capa de poly. Las mediciones fueron realizadas con una frecuencia de clock de 30Khz.

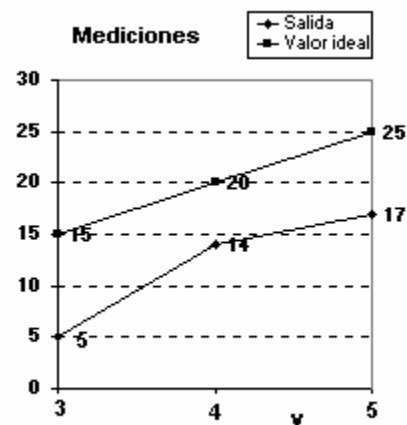
La salida medida con una entrada de 3v fue de 10v, con 4v fue de 14v y con una entrada de 5v fue de 17v. A su vez el valor esperado según [6] es de 20v y 25v respectivamente. Esto implica una salida del orden del 70% de la esperada.

Esta perdida se debe a la capacidad parásita de los capacitores Ci, la cual es del orden del 10% del valor nominal.

Los resultados experimentales se muestran en el gráfico 1.

### 4. CONCLUSIÓN

Se demostró la factibilidad del concepto de elevar tensiones en forma integrada por medio de capacitores en serie. Lográndose obtener hasta un 70% del valor esperado. También se mostró que

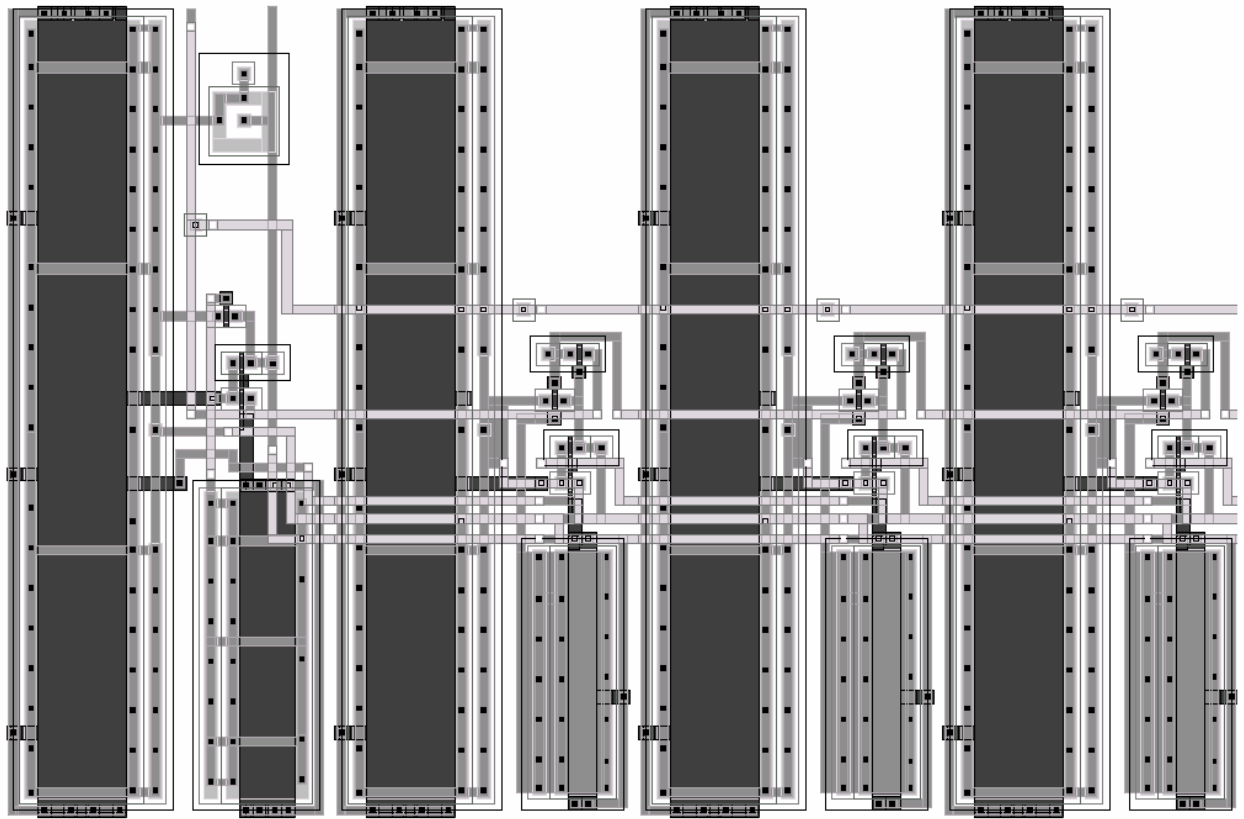


Gráfico\_1

puede integrarse este tipo de circuitos con tecnología N-Well estándar. La capacidad parásita es lo que limita la tensión de salida aunque con adecuadas técnicas de layout puede ser reducido su efecto.

### 5. REFERENCIAS

- [1] Maasaki Mihara, Yasushi Terada, Michihiro Yamada, "Negative Heap Pump for Low Voltage Operation Flash Memory", IEEE 1996 Symposium on VLSI Circuits Digest of Technical Papers, p. 76-77.
- [2] Chi-Chang Wang, Jiin-chuan Wu, "Efficiency Improvement in Charge Pump Circuits", IEEE Journal of solid-state circuits, vol 32, No 6, June 1997.
- [3] Toru Tanzawa, Tomoharu Tanaka, "A dynamic Analysis of the Dickson Charge Pump Circuit", IEEE Journal of solid-state circuits, vol 32, No 8, August 1997.
- [4] Christl Lauterbach, Werner Weber, Dirk Romer, "Charge Sharing and New Clocking Scheme for Power Efficiency and Electromagnetic Emission Improvement of Boosted Charge Pumps", IEEE Journal of solid-state circuits, vol 35, No 5, May 2000.
- [5] Dickson, John F.; "On chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier technique"; IEEE Journal of solid-state circuits; vol SC-11; No 3; June 1976
- [6] Kirchenbaum Héctor F., De la Plaza Alejandro, "Elevador de tensión integrado para circuitos CMOS N-Well", VII Workshop IBERCHIP, Montevideo-Uruguay, Marzo 2001.



Figura\_5 : Layout del elevador de tensión