

ANALIZADOR LÓGICO CON SALIDA A UN MONITOR VGA CON RESOLUCIÓN 640X480 SOBRE UN FPGA FLEX10K: VG-LOGIC

*Gerard Santillán-Quiñonez, Member, IEEE y Víctor Murray-Herrera, Student Member, IEEE
gsantil@ieee.org, a19980478@pucp.edu.pe*

Grupo de Procesamiento Digital de Señales e Imágenes GPDSI
Sección Electricidad y Electrónica - Pontificia Universidad Católica del Perú
Av. Universitaria S/N – San Miguel – Lima 32, Perú
Telf. (+51)-1-4602870 Ext. 304 - Fax. (+51)-1-2618861

ABSTRACT

A logic analyzer is very important to test digital circuits [1], nevertheless it is very expensive to implement a digital signals analysis laboratory at universities with educative aims in order to test designs of medium complexity using a logic analyzer for each student. This work presents a logic analyzer with a maximum sampling frequency of 25,175MHz but of low cost, using only a FPGA FLEX10K20. The proposed design can show up to 20 channels on a VGA monitor with resolution of 640x480 [2, 3], which can extend up to 32 without making forts modifications to the system. The analyzer presented can capture and show all the channels in real time, for which the analyzed signals do not have to surpass 25 Hz, and can also store all the channels during a time interval and after that show them in the screen. In this mode, the channels can be sampled until with 25,175 MHz. The system only consumes 584 logic cells (50% of a FLEX10K20) [4], and can work up to 75 MHz.

RESUMEN

Un analizador lógico es de suma importancia para la verificación de circuitos digitales [1], sin embargo es muy costoso implementar un laboratorio de análisis de señales digitales en una universidad con fines educativos para verificar diseños de mediana complejidad usando un analizador lógico por cada estudiante. Este trabajo presenta un analizador lógico con una frecuencia máxima de muestreo de 25,175 MHz pero de bajo costo, usando solo un FPGA FLEX10K20. El diseño propuesto puede mostrar hasta 20 canales sobre un monitor VGA con resolución de 640x480 [2, 3], lo cual puede extenderse hasta 32 sin hacer fuertes modificaciones al sistema. El analizador presentado puede capturar y mostrar todos los canales en tiempo real, para lo cual las señales analizadas no deben superar los 25 Hz, y también puede almacenar todos canales durante un lapso de tiempo y luego mostrarlas en pantalla. En esta última modalidad, los canales pueden ser muestreados hasta con 25,175 MHz. El sistema ocupa solo 584 celdas lógicas (50% de un FLEX 10K20) [4] y puede funcionar hasta 75 MHz.

REFERENCIAS

- [1] Hewlett Packard, "Timing Logic Analyzers HP 1660^a series: User's Reference", First Edición, Octubre 1994..
- [2] Víctor Murray Herrera y Gerard Santillán Quiñónez, "Controlador de un monitor VGA con resolución 640x480 sobre un CPLD FLEX 10K", Anales del *VIII Workshop IBERCHIP*, México, abril de 2002.
- [3] James O. Hamblen y Michael D. Furman, "Rapid prototyping of digital systems: a tutorial approach", 2000.
- [4] Altera, Digital Library, 2002.
- [5] Cynthia Pérez-Morris, Silvia Akamine-Serpa, Víctor Murray-Herrera y Gerard Santillán-Quiñonez, "Control configurable de la muestra de señales biomédicas en tiempo real sobre un monitor VGA con resolución 640x480", Anales del CASTOUR 2002, Puebla-México, 2002.