

Photodiode-type Pixels for APS-CMOS 2 μ m Image Sensors

S. N. M. Mestanza, H. G. Jimenez, I. F. Silva, J. Diniz, M. B. Zakia and J. W. Swart

*Centro de Componentes Semicondutores - CCS/FEEC-UNICAMP, C.P.6165 CEP 13083-970
Campinas-São Paulo-Brasil*

E-mail: nilo@led.unicamp.br

RESUMO

Em este artigo, apresentamos resultados do processo CMOS 2 μ m desenvolvido integralmente em nossos laboratórios. Tensões de Limiar $V_{Tn}=0,8V$, $V_{Tp}=-0,8V$ em $V_{DD}=5V$, espessura de $SiO_2=30nm$, profundidade de junção $X_{jn(jp)}=0,45\mu m$ e porta de Si-Poli N^+ . A partir destas condições encontradas, foi projetado e fabricado pixels APS tipo fotodiodo com um fill-factor 60%, potência de consumo por pixel $\sim 2mW$ e uma densidade de corrente de escuro $\sim 1\mu A/cm^2$ em 25°C.

I. INTRODUÇÃO

A tecnologia CMOS é atualmente que domina a atividade de desenho de circuitos integrados digitais assim como analógicos. Esta tecnologia utiliza uma combinação de dispositivos PMOS e NMOS, que em princípio forem projetados para operar com uma tensão de alimentação V_{DD} flexível que depende de cada fabricante. Normalmente entre 3V e 15V [1], [2].

No início dos anos 90, no *Jet Propulsion Laboratory (JPL)* da NASA, surgiu o primeiro protótipo do sensor de imagem *Active Pixel Sensor (APS-CMOS)*, como uma alternativa em relação aos dispositivos *Charges Couple Devices (CCD)* utilizados na grande maioria dos sistemas de aquisição de imagens tais como: câmaras fotográficas digitais, *scanner* de alta velocidade, sistemas de reconhecimento de imagens para uso militar, etc [3]. Os circuitos APS podem executar todas as funções do CCD porém, a grande diferença que este sensor oferece é seu alto nível de integração na captura e o processamento das imagens num único *chip*. É dizer, apresentar num único chip: matriz de fotodetores; conversores analógicos digitais ADC; processadores de sinais digitais DSP; processadores de sinais analógicos ASP; multiplexadores analógicos, decodificadores; controle *Timing*. Além de disso, esse chip, poder ser implementado com microprocessadores, memórias ou qualquer outro circuito analógico ou digital. As principais vantagens oferecida por este sensor são seu baixo custo, já que faz uso da tecnologia CMOS, melhor imagem com índice reduzido de *blomming* (raias) e *smear* (manchas), menor consumo de energia, assim como acesso individual dos pixels [4], [5]. Os sensores

APS também apresentam menor sensibilidade à radiação tornando-os indicados para uso espacial e em ambientes fortemente radiativos como centrais nucleares.

Neste trabalho nós apresentamos resultados do processo CMOS de acordo com a tecnologia 2 μ m. Utilizando estas condições encontradas do processo CMOS, apresentamos resultados experimentais e simulados do processo dos pixels APS-CMOS.

II. DESCRIÇÃO DO PROCESSO CMOS

O desenvolvimento dos processos CMOS com cavidade dupla, é extensamente reportado na literatura. Escolhemos este tipo de processo porque o poço de N seria o mais favorecido, além de permitir o uso de substratos com baixas resistência com camadas crescidas epitaxialmente, onde o nível de dopagem na região passiva é ajustado por meio de implantação iônica.

No desenvolvimento do processo CMOS escolhemos um substratos tipo p na direção $\langle 100 \rangle$ por ter mínimos defeitos de processamento, com uma resistividade $\sim 4\Omega.cm$. Ela posse uma camada crescida epitaxial de espessura 10 μm dopada com fósforo, e com resistividade $\sim 20\Omega.cm$. A escolha das dimensões mínimas para o comprimento de porta 2 μm obedecem às limitações de nossos equipamentos de fotolitografia do CCS, assim como ao próprio desenvolvimento das etapas de processo.

Nosso trabalho começo com a extração de parâmetros de processo utilizando o programa *Suprem (Stanford University Process Engineering Modeling)* [6], dentre estes parâmetros, tem-se os de implantação iônica (dose e energia), os de recozimento (tempo e temperatura) e os parâmetros para formação do oxido de silício que será utilizado como barreira nas sub-seguintes etapas (tempo, temperatura e ambiente).

Os programas *Suprem* forem desenvolvidos incluindo as 50 etapas de nosso processo CMOS. Cada programa *Suprem* tipo bidimensional foi utilizado para transferir um arquivo com formato *Pisces* ao próprio

programa *Pisces* para que este adote a estrutura final que gerou o *Suprem*.

As fig. 1 e 2 nos mostram os perfis simulados no *Suprem* para a implantação do Boro e Fósforo para as regiões da porta e dreno de um transistor PMOS respectivamente. Nosso objetivo na primeira simulação foi obter um perfil de dopagem na região da porta para manter a tensão V_T em 0,8V. Medidas experimentais por SIMS, nos permitem observar no gráfico uma boa coerência dos valores experimentais com os valores previstos nas simulações. Observa-se também que o material de porta, de polisilício, é altamente dopado 10^{20} cm^{-3} . Isto garantia baixa resistividade no polisilício.

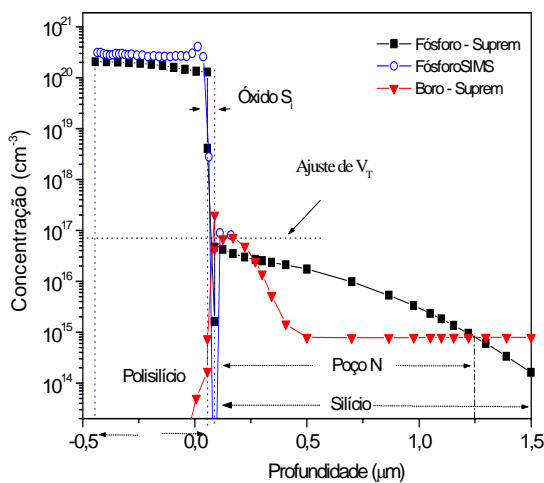


Fig.1 Mostra o perfil de dopagem na região de porta para um transistor PMOS. Nela compara-se os resultados simulação no *Suprem-IV* com os valores experimentais do SIMS.

A fig.2 mostra a simulação do perfil da dopagem na região do dreno de um transistor PMOS. Esta simulação foi feita utilizando o programa *Suprem* para uma profundidade de junção $X_{jp} = 0,45 \mu\text{m}$, em acordo com a tecnologia *CMOS* desenvolvida.

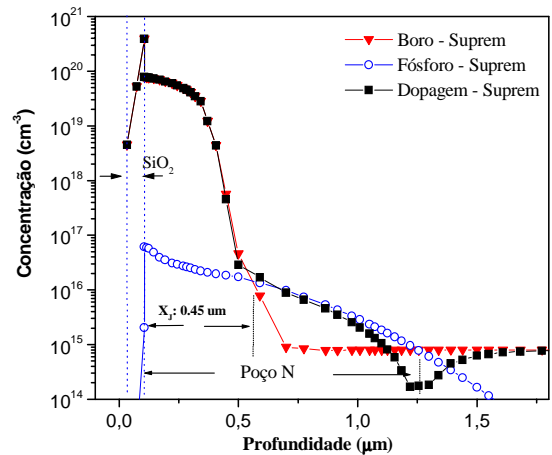


Fig.2 curva perfil de dopagem na região de dreno para um transistor PMOS.

A fig.3 mostra os resultados experimentais de nossos transistores *CMOS*. Nela apresentam uma baixa corrente leakage, menor que 10^{-9} A , o que é típico num bom dispositivos de silício. A simetria nos transistores NMOS e PMOS faz com que garantem uma boa performance em circuitos tais como um inversor (transistores em serie com a mesma corrente).

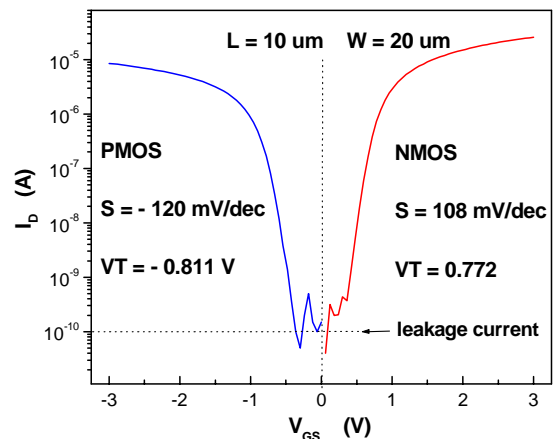


Fig. 3 mostra a curva $I_{DS} \times V_{GS}$ para transistores (nMOS e pMOS) de $L=10 \mu\text{m}$ e $W=20 \mu\text{m}$, com $V_{DS}=0,1V$

A figura 4 nos mostra as curvas de transferencia de um inversor CMOS. Nela podemos observar uma boa performance no dispositivo para trabalhos digitais (5V e 0V). A partir destes resultados, conseguiu-se encontrar que para um valor de $W_p=25 \mu\text{m}$ do transistor PMOS, obtém-se uma melhor curva simétrica de transferencia ($V_{IN} = 2,5V$).

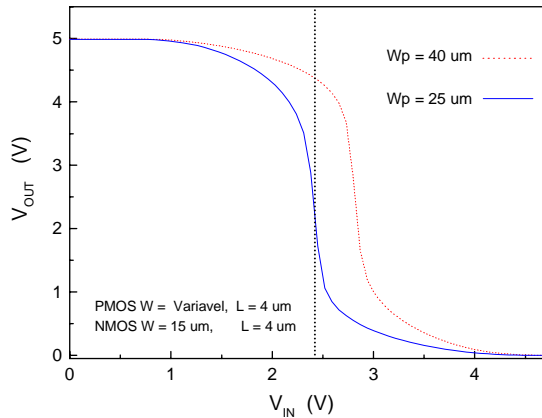


Fig.4 Curvas de transferencia de dos inversores CMOS com diferente w .

III. ESTRUTURA DO PIXEL APS

Um pixel APS é composta de um elemento sensor de luz e de um circuito amplificador. Normalmente este amplificador é um seguido de fonte, apresentando a saída em modo corrente, desta forma os vários pixels que conformam uma coluna podem estar conectados a um único circuito amplificador de saída. Existem vários tipos de estruturas de pixels, mais o interesse em se conseguir câmaras APS com um número maior de pixels ocupando um mínimo espaço, fez-se optar pela estrutura tipo fotodiodo. Ela é constituída por um fotodiodo e um circuito amplificador formado por três transistores: *Reset*, amplificador *Buffer* e um de *Seleção* dos Pixels [7].

A fotocorrente (I_{photo}) na região de depleção do fotodetector, é proporcional ao número de pares elétron-lacuna gerados a partir dos fótons absorvidos dentro da região de depleção e as proximidades da referida junção. Esta fotocorrente é uma função direta da eficiência quântica (η) que é dependente do comprimento de onda e da área do fotodiodo (A) [8], é apresentado pela seguinte equação:

$$I_{photo} = gdA = \frac{\eta e I_0 A}{\hbar \omega} \dots\dots\dots (1)$$

(e) é a carga do elétron, (I_0) é o fluxo incidente de fótons e $\hbar \omega$ a energia do fóton.

O sinal de tensão de saída (V_i) do fotodiodo no APS trabalhando no modo *Charge Integration* como uma função do tempo após do diodo ter sido resetado, é apresentado pela seguinte equação [9]:

$$v(t) = \left[V_{reset}^{\frac{1}{2}} - \left\{ \frac{I_{photo} \cdot t}{A \cdot (2 \cdot q \cdot \epsilon_{si} \cdot N_A)} \right\}^{\frac{1}{2}} \right] \dots\dots\dots (2)$$

V_{reset} é a tensão de polarização reversa, t é o tempo, N_A impurezas aceitadoras e ϵ_{si} é a permissividade do silício.

IV. RESULTADOS E DISCUSÕES

Utilizando as condições encontradas do processo CMOS, foram projetados e fabricados nossos primeiros pixels APS em diversos tamanhos e modelos geométricos. Na fig. 5 nos mostra uma micro-fotografia de um pixel tipo fotodiodo fabricados em nossos laboratórios.

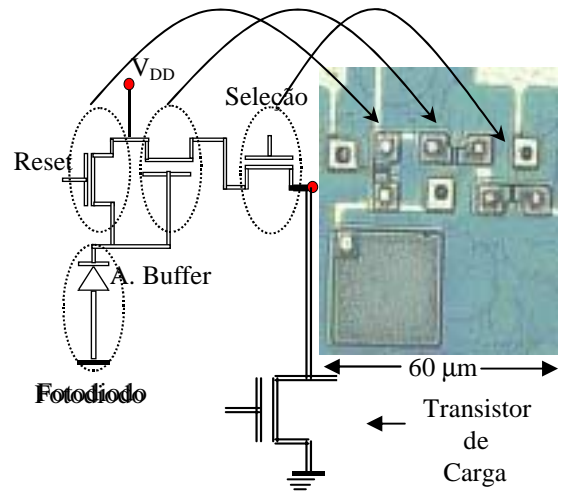


Fig. 5 de um pixel APS tipo fotodiodo.

Os fotodetectores fabricados são diodos n^+ sobre um substrato p , formado por região tipo fonte e dreno com profundidade de junção $0,45\mu\text{m}$. entretanto os transistores tem comprimento e largura do canal $L=2\mu\text{m}$ e $w=10\mu\text{m}$. Nós temos fabricado array de pixels de 2×2 fotodetector com dimensões de $120\mu\text{m} \times 120\mu\text{m}$ resultando num *fill-factor* de $\sim 60\%$, ver fig. 6.

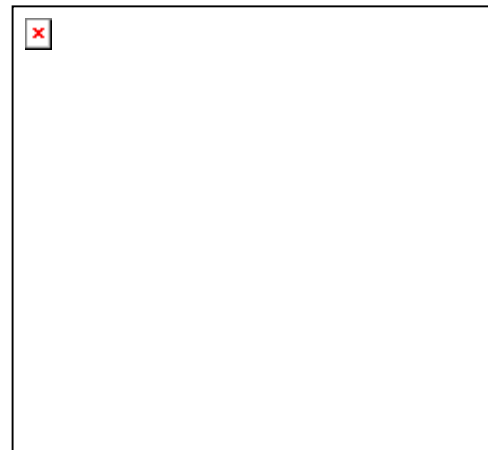


Fig.6 fotografia de um array de pixels APS

Foram medidos os valores da corrente de escuro (I_{dark}) nos fotodetectores do APS, por dois Analisadores de medidas IxV: HP (4145B) e Keithley Instruments (590CV). Ambos analisadores sobre uma polarização de 5V. a densidade de corrente de escuro foi de $J_{dark} \sim 1\mu\text{A}/\text{cm}^2$, com uma variação na medida para diversos

campos da lâmina ~ 7%. Na fig. 7 mostramos uma curva IxV dos fotodiodos do APS. Nela pode observar que a corrente de escuro é da ordem de $1,4 \times 10^{-8}$ A (~constante até um valor de tensão -5V), com um factor de idealidade de 1,17.

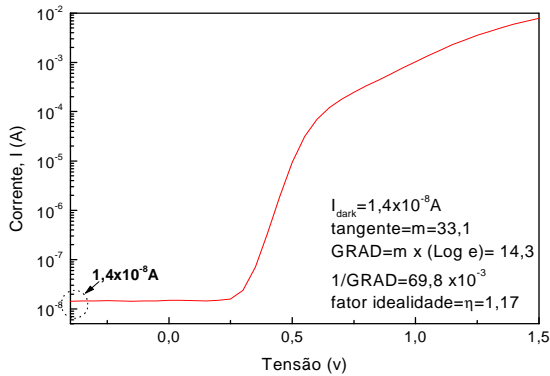


Fig.7 mostra a curva característica dos fotodetores do APS, com valores típicos de densidade de corrente ~ $1 \mu\text{A}/\text{cm}^2$.

A fig.8 ilustra as simulações elétricas feitas no *Pspice* para avaliar o tempo de resposta dos pixels. Nesta simulação o fluxo fotônico foi substituída por uma fonte de corrente, de tal forma que simularia a corrente gerada fotonicamente no pixel APS. Os níveis de corrente utilizados nesta simulação variam de [10-100]pA. Nesta figura observar que com o aumento na intensidade da iluminação, o tempo de resposta do pixel diminui mais rapidamente. Este fato esperava-se pela equação (1), um aumento na intensidade de luz produziria um aumento na geração do número de pares elétron-lacuna na região de depleção e por conseguinte um aumento na fotocorrente. Mais pela equação (2) como o fotodiodo esta isolado prevê-se que um aumento na fotocorrente espera-se uma diminuição no sinal da tensão de saída.

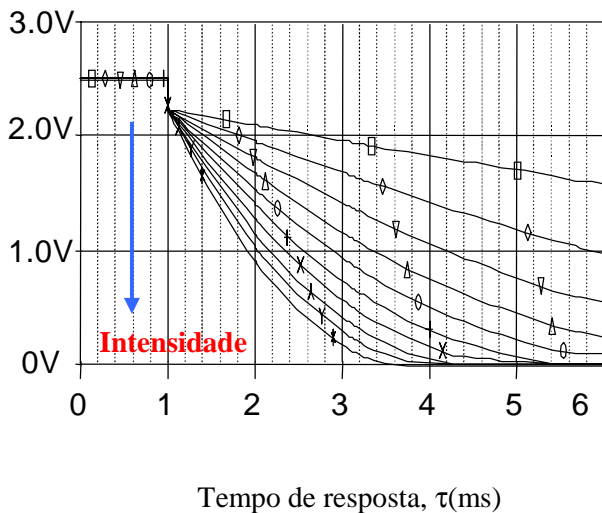


Fig.8 simulação no *SPICE* do sinal de saída vs o tempo de resposta, para diversos níveis de iluminação [10 -100]pA.

Para avaliar o tempo de resposta dos pixels APS utilizamos diversos níveis de iluminação como: Lâmpada de filamento (Tungstênio) 75W; Luz da sala (Fluorescente) de 40W e finalmente, sem nenhuma luz (escuro). Os resultados são mostrados na fig. 9. Estes resultados estão em concordância com os nossos resultados simulados.

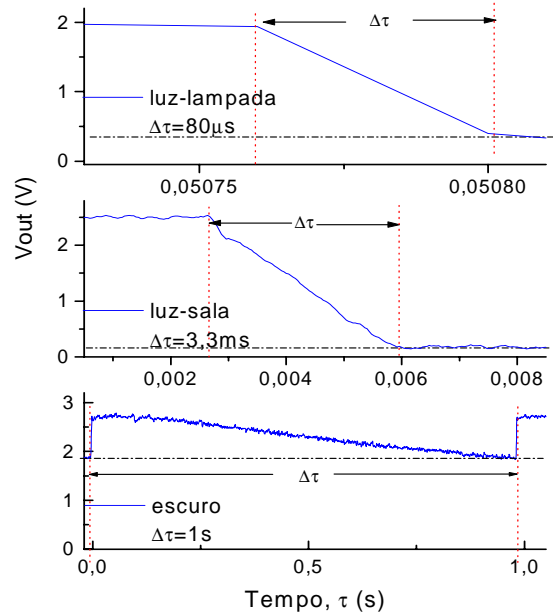


Fig.9 resposta dos pixels APS em diversos níveis de iluminação.

A fig. 10 nos mostra uma simples simulação feita no *Mathematica*, para um fotodetector com profundidade de junção $X_{jp(jn)} = 0,45 \mu\text{m}$ e comprimento de deplexão $\sim 0,86 \mu\text{m}$. Nela podemos observar uma resposta espectral máxima no comprimento de onda $\lambda = 550 \text{nm}$, com uma ampla faixa espectral entre 400 a 1000nm.

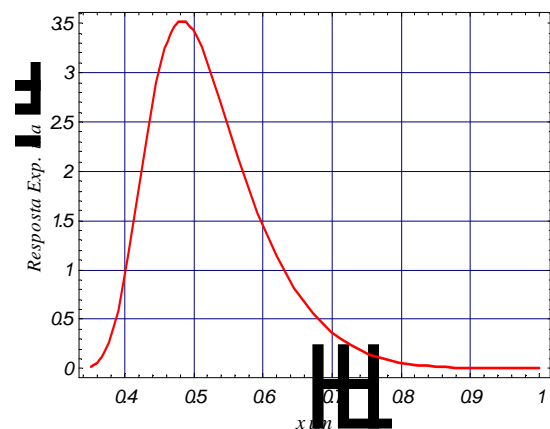


Fig. 10 simulação no *Mathematica* da resposta espectral normalizada dos fotodetores.

V. CONCLUSÕES

Neste trabalho reportamos resultados do processo CMOS 2 μ m desenvolvidos integralmente no CCS. Foram fabricados pixels APS com 60% de *fill-factor* e densidade de corrente de escuro de 1 μ A/cm² em 25°C. Os pixels fabricados guardam boa concordância com os resultados simulados no Suprem sobre diversos níveis de iluminação.

AGRADECIMENTOS:

Os autores agradecem aos colegas Viasoli e Douglas do CENPRA pelo encapsulamento do chip e demais colegas do CCS. Este trabalho é financiado pelo projeto Instituto do Milênio e CNPq, Brasil.

REFERÊNCIAS:

-
- [1] S. Wolf and R. N. Tauber, "Silicon Processing goes the VLSI it was, Vol.1 –Vol.2-Process Technology, Lattice Press 1986.
 - [2] B. Kang, S. Lee and J. Park, "CMOS Layout Design using Mychip Station", MyCAD, Inc (Sunnyvale,CA 94089 USA).
 - [3] E. R. Fossum, IEEE Trans. Electron Devices **44**(10), 1689 (1997).
 - [4] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim and E. R. Fossum, IEEE J. Solid-State Circuits **32**(2), 187 (1997).
 - [5] M.Furumiya, H. Ohkubo, Y. Muramatsu, S. Kurosawa, F. Okamoto, Y. Fujimoto and Y. Nakashiba, IEEE Trans. Electron Devices **48**(10), 2221 (2001).
 - [6] S. E. Hansen and M. D. Deal, "SUPREM-IV.GS-Two Dimensional Process Simulation for Silicon and Gallium Arsenide", Stanford University, 1993.
 - [7] G. Yang, T. Cunningham, M. Ortiz, J. Heynssens, C. Sun, B. Hancock, S. Seshadri, C. Wrigley, K. McCarty and B. Pain, Electrochemical Society Proceedings **2002**(4), 398 (2002).
 - [8] Sergio M. Rezende, *A Física de Materiais e dispositivos eletrônicos*, Editora Universitaria da UFPE(Brasil-Recife,1996), pp. 323.
 - [9] Gene Weckler, *Operation of p-n Junction Photodetectores in a photon Flux Integrating Mode*, In IEEE Journal of Solid State Circuits, Vol.sc-2, No.3, Pages 65-73, September 1967.