

GATST1A E GATST1M: CHIPS PARA QUALIFICAÇÃO PRELIMINAR DA MATRIZ CONFIGURÁVEL GAAL2500

Antonio C. C. Telles (antonio.telles@cenpra.gov.br)

Centro de Pesquisas Renato Archer - CenPRA
Rod. Dom Pedro I km 143,6
Caixa postal 6162
13082-120 - Campinas – Brasil

ABSTRACT

CenPRA has developed the gate arrays chips GA2500 and GAAL2500, configurable by the last metal layer. This development is done in the AGATA design environment, responsible by the layout of the configurable layer and the simulations to check the functionality of the circuit. The application of the CenPRA qualification method to GAAL2500 involves a great effort in the development of structures, circuits and procedures, since this gate array and its design environment are in the verification stage. This work describes the chips GATST1M and GATST1A, developed to evaluate the correct work of the gate array GAAL2500 and also eventual errors occurred during the development of this chip and its design environment AGATA version Beta 2.5.

RESUMO

O Centro de Pesquisas Renato Archer (CenPRA) desenvolveu as matrizes digitais configuráveis (*gate arrays*) GA2500 e GAAL2500, personalizáveis pela última camada de metal. A aplicação do método de qualificação desenvolvido pelo CenPRA à matriz GAAL2500 exige um esforço bastante grande no desenvolvimento de estruturas, circuitos e procedimentos de teste, uma vez que esta encontra-se em fase de verificação tanto do *layout* como do ambiente de projeto. Este trabalho descreve os *chips* GATST1M e GATST1A, desenvolvidos com o objetivo de verificar o correto funcionamento da matriz GAAL2500 assim como criar a possibilidade de localização de eventuais erros ocorridos durante o seu desenvolvimento e de seu ambiente de projeto AGATA versão Beta 2.5.

GATST1A E GATST1M: *CHIPS* PARA QUALIFICAÇÃO PRELIMINAR DA MATRIZ CONFIGURÁVEL GAAL2500

Antonio C. C. Telles (antonio.telles@cenpra.gov.br)

Centro de Pesquisas Renato Archer - CenPRA
Rod. Dom Pedro I km 143,6
Caixa postal 6162
13082-120 - Campinas - Brasil

ABSTRACT

O Centro de Pesquisas Renato Archer (CenPRA) desenvolveu as matrizes digitais configuráveis (*gate arrays*) GA2500 e GAAL2500, personalizáveis pela última camada de metal. A aplicação do método de qualificação desenvolvido pelo CenPRA à matriz GAAL2500 exige um esforço bastante grande no desenvolvimento de estruturas, circuitos e procedimentos de teste, uma vez que esta encontra-se em fase de verificação tanto do *layout* como do ambiente de projeto..

Este trabalho descreve os *chips* GATST1M e GATST1A, desenvolvidos com o objetivo de verificar o correto funcionamento da matriz GAAL2500 assim como criar a possibilidade de localização de eventuais erros ocorridos durante o seu desenvolvimento e de seu ambiente de projeto AGATA versão Beta 2.5.

1. INTRODUÇÃO

O Centro de Pesquisas Renato Archer (CenPRA) desenvolveu as matrizes digitais configuráveis (*gate arrays*) GA2500 [1] e GAAL2500 [2], personalizáveis pela última camada de metal. Um dos resultados finais deste desenvolvimento é a possibilidade de obtenção de protótipos e circuitos dedicados, obtidos através de um rápido ciclo de desenvolvimento e com baixo custo. Tais circuitos são especialmente interessantes para as micro e pequenas empresas que poderiam contar assim com uma opção de custo acessível para obter produtos de maior qualidade, com maior nível de integração e sigilo. O desenvolvimento do circuito dedicado é feito no ambiente de projeto AGATA [3] que elabora o *layout* da camada configurável bem como faz as simulações para verificação de funcionamento.

Os produtos e serviços deste projeto devem atender aos requisitos de qualidade do CenPRA, estabelecidos num método de qualificação [4] que é orientado por duas normas internacionais: a norma militar MIL-M-38510/605B [5] e a ISO Guide 25 [6]. Este método de qualificação apoia-se na premissa que, ao garantir que as

células básicas, o ambiente de projeto e o processo de personalização das matrizes configuráveis estão qualificados, a qualidade do produto final está assegurada.

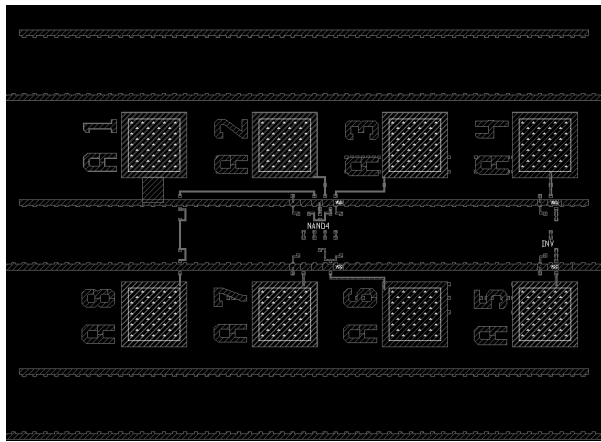
A aplicação de todo o método de qualificação à matriz GAAL2500 exige um esforço bastante grande no desenvolvimento de estruturas, circuitos e procedimentos de teste. Deve-se considerar contudo que a matriz GAAL2500 encontra-se em fase de verificação tanto do *layout* como do ambiente de projeto. Possíveis erros ainda não detectados podem comprometer o esforço de qualificação. É necessário portanto construir *chips* de teste que verifiquem o correto funcionamento da matriz assim como criem a possibilidade de localização de eventuais erros ocorridos durante o seu desenvolvimento e de seu ambiente de projeto.

Este trabalho descreve os *chips* GATST1M e GATST1A, desenvolvidos com o objetivo de fazer a qualificação preliminar da matriz GAAL2500 e seu ambiente de projeto AGATA versão Beta 2.5.

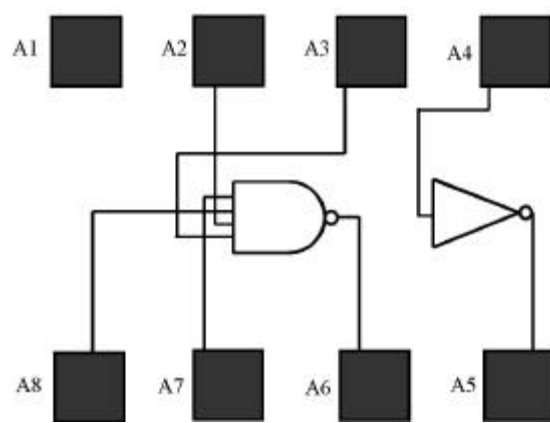
2. O *CHIP* GATST1M

O *chip* GATST1M foi desenvolvido inteiramente dentro do ambiente Mentor Graphics e possui várias estruturas de teste que permitem o teste funcional isolado das células lógicas da biblioteca do GAAL2500. As células possuem *micropads* para teste em *wafer* (Figura 1). O *chip* possui também estruturas para caracterização de transistores do *core* e osciladores em anel (Figura 2), utilizados para a obtenção do tempo de atraso de algumas células lógicas da biblioteca. O objetivo do desenvolvimento do *chip* é verificar a funcionalidade das células lógicas e de I/O, sem a influência do ambiente de projeto, assim como exercitar parte da área configurável do *chip* buscando possíveis erros na matriz.

Um circuito SEC4x4C [7], destinado a ensaios de confiabilidade também foi construído neste *chip* como primeira aplicação da matriz e pela sua propriedade de localização de falhas internas ao circuito. O *layout* do *chip* é ilustrado na Figura 3.

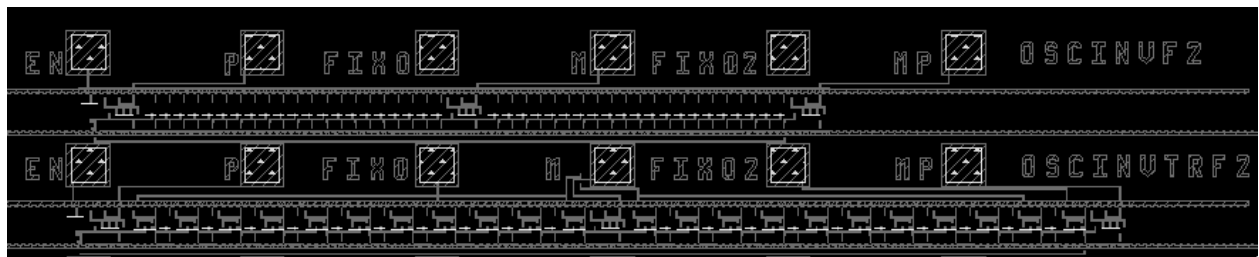


a)

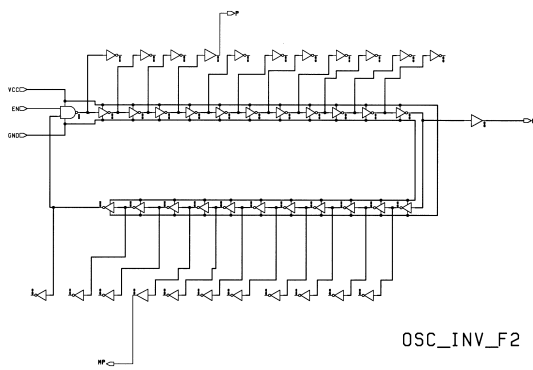


b)

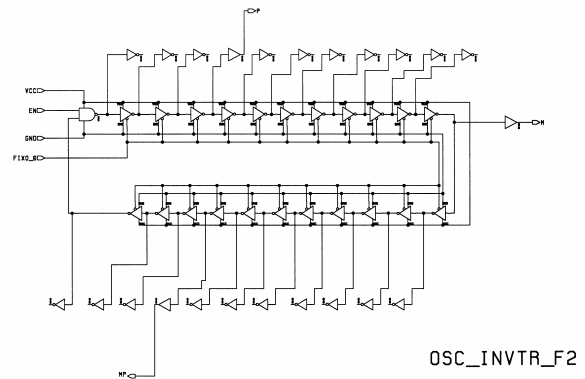
Figura 2: (a) *Layout* da estrutura de teste A. (b) Diagrama de conexões correspondente



a)



b)



c)

Figura 2: (a) *Layout* dos osciladores em anel com inversores e inversores tri-state
(b e c) Diagramas esquemáticos correspondentes

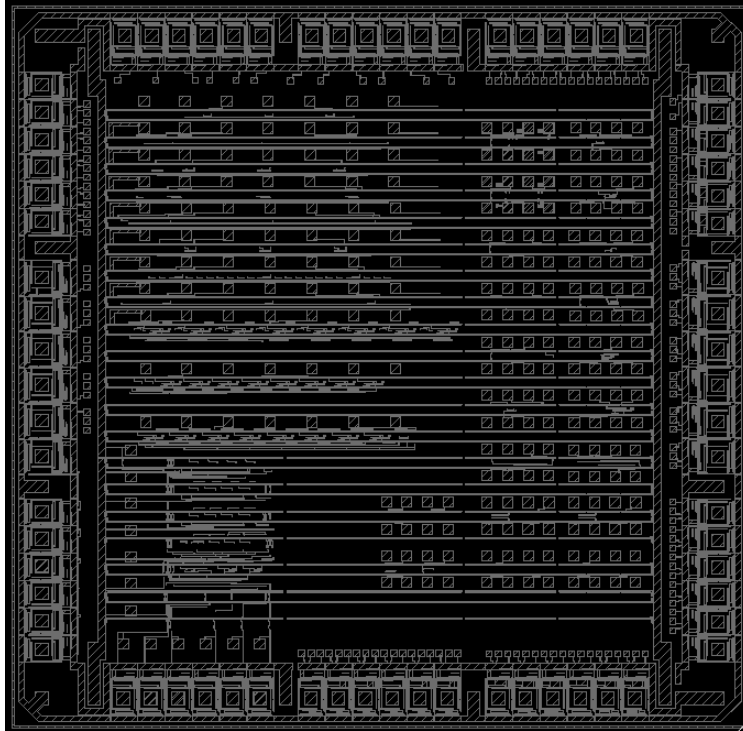


Figura 3: *Layout* do nível de metal do *chip* GATST1M

3. O *CHIP* GATST1A

O *chip* GATST1A foi desenvolvido inteiramente no ambiente de projeto AGATA e consiste de um conjunto de portas lógicas conectadas a pads de forma a permitir o teste isolado de cada uma delas. Um circuito SEC4x4C

também foi descrito e colocado no *chip*. O *chip* foi montado em dois encapsulamentos, cada um deles dando acesso a células lógicas diferentes, como ilustra a Figura 4. A Figura 5 mostra o *layout* da camada de metal deste *chip*.

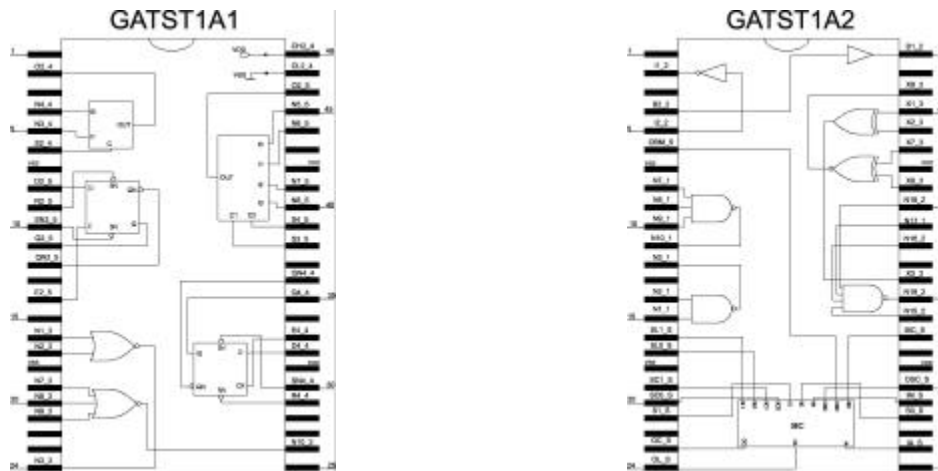


Figura 4: Encapsulamentos do *chip* GATST1A

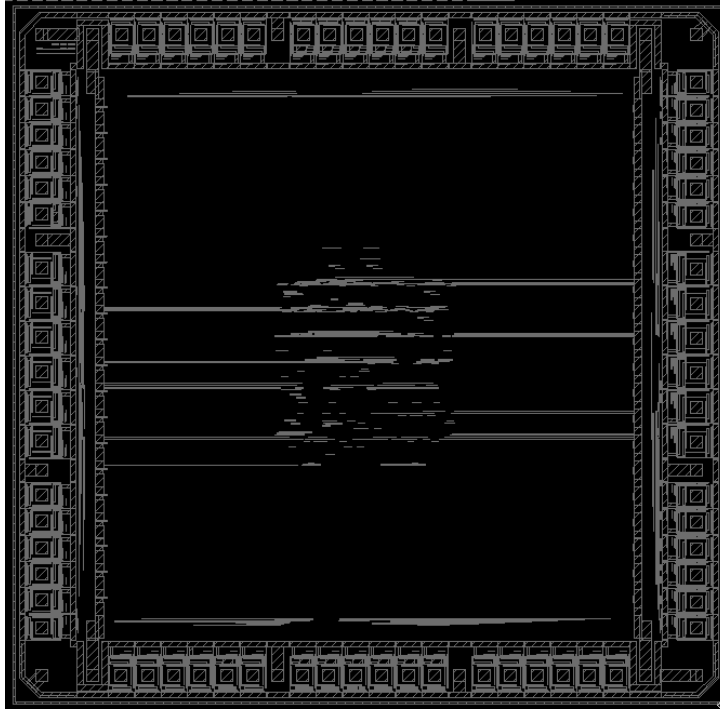


Figura 5: *Layout* do nível de metal do *chip* GATST1A

4. CONCLUSÃO

Dois *chips* de teste, GATST1A e GATST1M foram apresentados. Tais *chips* têm como objetivo construir estruturas e circuitos na matriz GAAL2500 como primeira aplicação desta matriz, uma vez que esta encontra-se em fase de desenvolvimento. Foi possível a partir destes *chips* fazer a verificação funcional das células lógicas e de I/O, com alguns resultados já divulgados em trabalhos anteriores [8,9], bem como avaliar a existência de possíveis erros de *layout*. O desenvolvimento destes *chips* é preparação para a qualificação da matriz GAAL2500 segundo o método de qualificação de gate arrays do CenPRA.

5. AGRADECIMENTOS

O autor gostaria de agradecer a Wellington R. Mello e Marcelo P. Macedo pela preparação das figuras ilustrativas do *layout* dos *chips* e a Sebastião Eleutério Filho pela revisão do texto.

6. BIBLIOGRAFIA

[1] S. Simões, F. Chavez, R. P. Ribas, S. Finco, M. Cuin Jr., F. H. Behrens - "Matriz Gate Array CMOS Avançada Configurável por um Único Nível de Metal", Anais do VII SBMICRO - Congresso da Sociedade

Brasileira de Microeletrônica - pp.281-291 - São Paulo, Brasil - Julho/1992.

[2] R. Aparício, J. L. Ceballos, M. Guerrero, H. Zepeta, L. Carro, M. Johann, A. Pedroza, S. Finco. "GAAL - Gate Array Configurado por um Nível de metal Utilizando Una Tecnologia 2.5 Micra del CNM", Anais do IV Workshop IBERCHIP - pp. 261-267 - Mar del Plata, Argentina - Março/1998.

[3] L. Carro, M. Johann, M. Kindel, P. Gonçalves, A. Lima, G. Migliorin, G. Nardi, F. Moraes, R. Reis, R. Jacobi, A. Suzim. "Ambiente ÁGATA de Projeto Versão Beta 2.0", Anais do III Workshop IBERCHIP, pp. 494-503, México D.F. - México, Fevereiro/1997

[4] M. B. C. Pimentel, A. C. C. Telles, M. D. Nardi - "Methodology of Functional Qualification of Gate Arrays at IM/CTI" - Anais do XIII SBMICRO - Congresso da Sociedade Brasileira de Microeletrônica - vol. I, pp. 333-339 - Curitiba, Brasil - Agosto/1998

[5] MIL-M-38510/605B - Military Specification - Microcircuits, Digital, CMOS, Semicustom (Gate Array) Devices, Monolithic Silicon - 29/Janeiro/1992

[6] ABNT/ISO/IEC GUIDE 25/1990 – General Requirements for the Competence of Calibration and Testing Laboratories

[7] A. C. C. Telles, M. D. Nardi, M. B. C. Pimentel. - “Um Circuito de Avaliação Padrão (SEC) para Matrizes Configuráveis GA2500 e GAAL2K5” - Anais do IV Workshop IBERCHIP - pp. 442-445 - Mar del Plata, Argentina - Março/1998

[8] A. C. C. Telles, M. B. C. Pimentel. - “Levantamento de Consumo e Parâmetros Dinâmicos em Células de Gate Arrays Utilizando Estruturas em Anel” - Anais do VIII Workshop IBERCHIP – Guadalajara, México - Abril/2002

[9] Túlio F. Polachini, A. C. C. Telles, M. B. C. Pimentel. - “Um Circuito de Avaliação Padrão (SEC) para Matriz GAAL2500: Resultados Experimentais” - Anais do VII Workshop IBERCHIP – Montevideú, Uruguai - Março/2001