

INTRODUCCIÓN.

Actualmente una amplia variedad de estimuladores eléctricos son usados en el tratamiento de pacientes y en la investigación. Algunos estimuladores son usados especialmente en fisioterapia para el tratamiento de pacientes en los cuales se puede producir atrofia muscular por desuso, lo cual reduce significativamente la masa muscular, desencadenando parálisis temporal. También se aplican en técnicas como la Estimulación Eléctrica Funcional (FES) es una técnica muy usada para restablecer la actividad motora en pacientes con lesión medular. Como estas, existen otras razones por las cuales es importante contar con instrumentos que estimulen a los músculos cuando la estimulación neurológica normal no esta disponible.

Los parámetros de estimulación, para los estimuladores de músculo esquelético varían ampliamente de acuerdo al tipo de estimulación, el número de canales, el tipo de electrodo usado y el factor de seguridad elegido por el diseñador. Los estimuladores de corriente constante son muy populares, debido a que la carga transferida en cada pulso de estimulación es constante e indiferente de la impedancia del electrodo. En general los pulsos de corriente usados se encuentran dentro del rango de 2 mA hasta 20 mA. Y para los estimuladores de voltaje constante los pulsos pueden estar dentro en un rango de 30 V a 50 V entre los electrodos.

El circuito que aquí presentamos, es un intento por simplificar la etapa de elevación de voltaje que se requiere en la mayoría de los equipos de electroestimulación. Se emplea en su diseño una configuración conocida como bombas de carga (Charge Pumps), la cual a través de diodos y transistores logra elevar el voltaje disponible en una batería hasta niveles aptos para la estimulación.

PROPUESTA:

El ASIC fue diseñado usando las normas de diseño para la tecnología CMOS CNM25 del Centro Nacional de Microelectrónica de Barcelona (España), el programa LASI desarrollado en el Centro de Investigación de Microelectrónica la Universidad de Idaho para el diseño de las mascarillas y el programa PSPICE versión 6.0 para la simulación del circuito.

El diseño consta de un multiplicador de voltaje de 8 etapas con lo que se logra un voltaje de salida de 44 voltios. Se utiliza una señal de reloj de 83 kHz como entrada al circuito de generación de reloj doble sin traslape para proporcionar las señales de activación de los transistores de salida.

Las dimensiones del circuito son de 1 930 μm por 1 220 μm aproximadamente, el número de transistores de 88 y la disipación total de potencia de 2,50 E-02 vatios.