

Implementación ASIC de Banco de Filtros para la Transformada Discreta de Wavelet Mediante una Estructura de Anillos de Desplazamiento

Roberto Gálvez Llanos, Aldo Sándiga Domínguez, Iván López Zegarra, Daniel Iparraguirre-Cárdenas, *Member IEEE*
a19980455@pucp.edu.pe , a19992197@pucp.edu.pe , a20000239@pucp.edu.pe , iparraguirre.d@pucp.edu.pe

Grupo de Microelectrónica, Pontificia Universidad Católica del Perú
Av. Universitaria S/N - San Miguel - Lima 32, Perú
Telf. (+51)-1-4602870 Ext. 304 - Fax. (+51)-1-2618861

RESUMEN

El presente trabajo muestra la implementación VLSI (Very Large Scale Integration) de una arquitectura de banco de filtros para aplicaciones de la transformada discreta de Wavelet. Esta nueva arquitectura se caracteriza por el uso de estructuras de anillos de desplazamiento. Los cuales reemplazan a los multiplexores tanto de los coeficientes como a los registros de desplazamiento para los datos de entrada. Esta arquitectura supera en rendimiento a aquella mostrada en [1], la cual presenta en sus estructuras, algunas deficiencias referente a retardo. Para el desarrollo del mismo es empleada la metodología Full Custom, la cual consiste en el diseño manual de transistores y pistas dentro del integrado, utilizándose 12976 transistores; el diseño ocupa un área de $67\ 500\ \mu\text{m}^2$, y trabaja a una frecuencia máxima de reloj 1.5GHz.

1. INTRODUCCIÓN

Las arquitecturas de bancos de filtros para la Transformada Discreta de Wavelet (DWT) presentadas en [1], [2] y [3], son parte de un esfuerzo en lograr una implementación de bajo consumo de recursos en un CPLD, a costa de obtener una moderada velocidad de procesamiento. La aplicación de la técnica de multiplexión de productos, expuesta en [1], produjo resultados satisfactorios en lo que respecta a consumo de celdas lógicas en un dispositivo FLEX10K. Sin embargo, la relativamente baja velocidad de procesamiento hace esta arquitectura inadecuada para aplicaciones críticas que adicionalmente requieran un alto orden de filtraje.

El presente trabajo representa un paso adelante en la línea de investigación trazada. La implementación VLSI de la arquitectura de banco de filtros presentada en busca lograr un diseño que no solamente ahorre el consumo de recursos, sino que tenga el rendimiento suficiente para su aplicación en aplicaciones de alto grado de procesamiento. Para ello la propuesta de el uso de bloques de anillos para el proceso de multiplexión, permiten el ingreso de datos y coeficientes de manera serial.

Ha sido necesario, para el logro de una arquitectura que cumpla los requisitos mencionados anteriormente, un análisis minucioso de las estructuras lógicas VLSI a aplicar. De esta manera, ha resultado un diseño que no solamente

economiza área, sino que limita los retardos de propagación existentes.

El presente trabajo está dividido como sigue: La Sección 2 muestra la arquitectura y su funcionamiento, la Sección 3 presenta el diseño de las diferentes partes que conforman dicha arquitectura; los resultados experimentales están mostrados en la Sección 4 y las conclusiones del presente trabajo están expuestas en la Sección 5.

2. ARQUITECTURA DEL BANCO

El procesamiento realizado en la arquitectura a implementar consiste en el almacenamiento de la secuencia a filtrar y los 2 grupos de coeficientes, mientras que sólo 2 multiplicadores efectúan todos los productos correspondientes a los 2 procesos de convolución; los productos obtenidos son acumulados posteriormente para producir las secuencias filtradas. Para el caso del filtraje correspondiente a la Transformada Directa (FWT), la secuencia a filtrar es descompuesta en dos secuencias de datos de orden par e impar respectivamente, con objeto de realizar de manera eficiente el proceso de decimación.

De esta manera, la arquitectura del banco de filtros está mostrada en la fig. 1 y consta de los siguientes bloques funcionales:

- 2 multiplicadores que trabajan a la frecuencia de reloj.
- 2 bloques de anillo para coeficientes, cada uno de los cuales hace un barrido de los coeficientes cada período de muestreo.
- 2 bloques de anillo para P/2 datos. Dichos bloques efectúan dos barridos por periodo de muestreo y a l vez los registros de desplazamiento trabajan al ritmo de la frecuencia de muestreo. Dependiendo de una señal de control.
- 1 acumulador de productos a la salida de los multiplicadores. Entrega los resultados de ambos filtrajes de manera intercalada a la frecuencia de muestreo.

- 1 divisor de flujos a la entrada del banco, que entrega los flujos de datos de orden par e impar respectivamente.
- 1 divisor de flujos a la salida del banco, que entrega los flujos correspondientes a los filtrajes paso alto y paso bajo respectivamente.

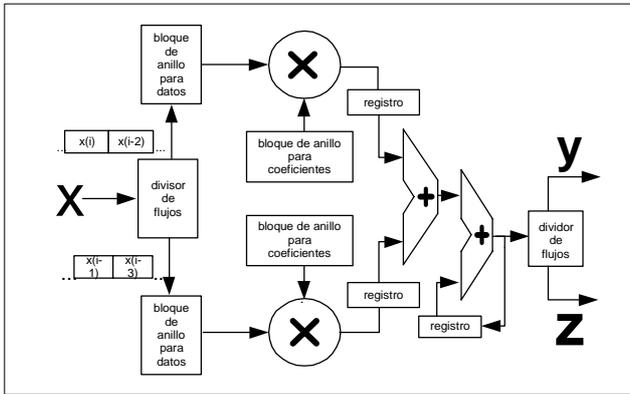


Figura 1. Arquitectura general del banco de filtros

El presente trabajo muestra los resultados correspondientes a la implementación de la arquitectura de un banco de filtros de orden 8 y un tamaño de palabra de 8 bits.

Funcionamiento.

El proceso de filtraje de este diseño, es igual al realizado en [1], puesto que utiliza la técnica de multiplexión de productos propuesta en [2]. El aporte de este proyecto se centra en la utilización de bloques de anillos los cuales realizan la multiplexión tanto de los datos como de los coeficientes, para lo cual se cuentan con entradas de control para cada bloque.

Anillo de desplazamiento para Datos.

Este tiene dos modos de funcionamiento, uno de desplazamiento y otro de rotación.

- En el modo de desplazamiento, los datos en cada registro se actualizan a una frecuencia de $f/8$, ingresando al registro R1, el nuevo valor ingresado por el bus de datos. Para que se realice este proceso, la línea de control está en baja al momento de recibir el flanco cada ocho ciclos de reloj.
- En el modo de rotación, cada datos realiza dos desplazamiento cíclico por todo el anillo, de manera inversa a la realizada en el modo de desplazamiento. La importancia de este modo de funcionamiento, radica en que todos los datos pasan por R1 dos veces con lo cual se garantiza la multiplicación de cada dato contenido en los registros por sus respectivos coeficientes, para ello hay una sincronización de los dos bloques de anillos, por medio de sus líneas de control.

Anillo de coeficientes.

Este bloque consta un solo modo de funcionamiento a comparación del bloque de datos. La diferencia radica en que por medio del bus de coeficientes se ingresan estos en forma serial. Los primeros 8 ciclos de reloj son utilizados para la carga de los coeficientes a usar en el proceso de filtraje. Una vez almacenados los coeficientes, se realiza la rotación de los mismos. Para ello la entrada de control de este bloque está en baja los ocho primeros ciclos de reloj, y luego la rotación se realiza cuando la entrada de control esta en alta. La multiplicación de cada coeficiente con los respectivos datos se realizan tomando la salida del registro R1 de este bloque.

La sincronización de los dos bloques se basa en las entradas de control de cada uno de ellos, la señal de control del anillo de datos empieza en alta hasta la aparición del noveno flanco de bajada, manteniéndose en baja solo por un ciclo de reloj, para cargar el primer dato, luego para el ingreso del siguiente dato se esperaran 8 flancos de bajada, y el pulso continuara con dicha frecuencia. La razón por la cual se esperan 9 flancos de bajada para el ingreso del primer dato a filtrar es debido a que se debe guardar una sincronización entre los dos bloques de anillo. En los 8 primeros ciclos de reloj se cargan los ocho coeficientes con los cuales hemos trabajado, mientras que en el noveno ciclo el primer coeficiente se multiplica con el dato ingresado, y luego por medio de la rotación de ambos anillos se realiza la multiplexión de cada uno de los datos con los respectivos coeficientes. , por esta razón la señal de control del anillo de coeficientes está en baja los ocho primeros ciclos de reloj.

3. DISEÑO DE LOS MÓDULOS

Dados los bloques mencionados anteriormente, diferentes estilos de implementación fueron usados, dependiendo de las características y modo de funcionamiento de cada bloque en particular lo cual esta detallado en [1].

Los bloques de anillos son los aportes en este trabajo , los cuales se muestran en las figuras 2 y 3.

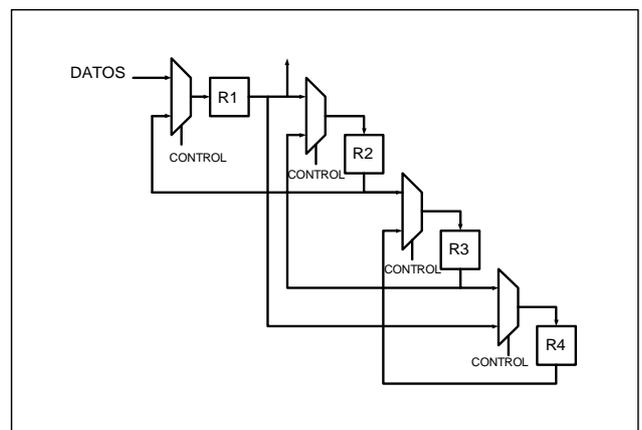


Figura 2: Bloque de anillo para datos

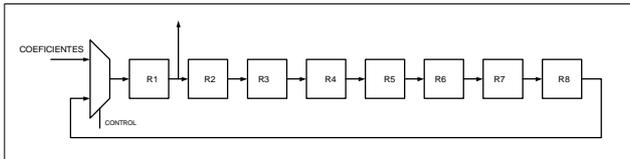


Figura 3: bloque de anillo para coeficientes

4. RESULTADOS EXPERIMENTALES

La arquitectura fue desarrollada con la herramienta de diseño Microwind. Los resultados obtenidos en el presente trabajo, muestran categóricamente el veloz desempeño del filtro, de 400 MSPS al igual que en [1]. Lo que se disminuye es el número de transistores en 896. Considerando una aplicación de procesamiento de imágenes de 1024x1280 pixels, la arquitectura puede trabajar con secuencias de vídeo de hasta 300 cuadros por segundo.

El diseño consta de ocho pines para datos de entrada, 16 pines para coeficientes (8 para paso bajo y 8 para paso alto), dos entradas de control (una para cada bloque de anillos), dos entradas de tierra y 2 de alimentación de 1.2 voltios, y 16 pines de salida para los datos filtrados (8 para los paso bajo y 8 para los paso alto).

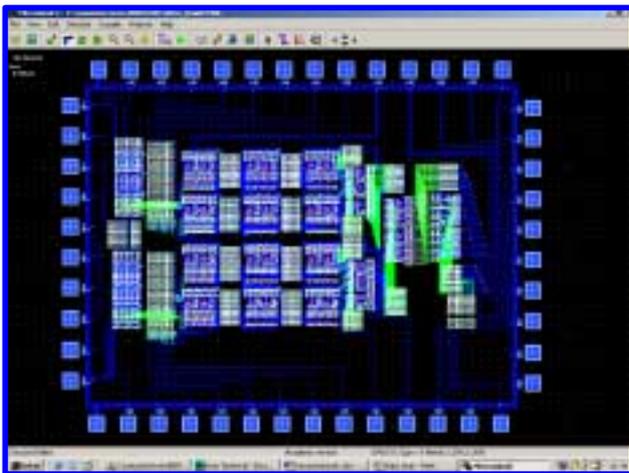


Figura 4: ASIC final del Banco de Filtros

Los resultados específicos están mostrados en la tabla 1

| | |
|-----------------------------------|-----------------------|
| Frecuencia máxima de reloj | 1.5 GHz |
| Frecuencia máxima de muestreo | 400 MSPS |
| Área | 67500 μm^2 |
| Número de transistores utilizados | 12976 |

Tabla 1. Resultados experimentales del banco de filtros

5. CONCLUSIONES

La arquitectura presentada ha demostrado no solamente constituir una alternativa de implementación de bajo consumo de área, sino mantener un alto desempeño para aplicaciones de alta velocidad. Es posible la combinación de técnicas dígito-seriales con la finalidad de reducir aún más el consumo de área, si es que se trata de trabajar con datos de un gran ancho de palabra. Para ello se muestra que el empleo de anillos disminuye el número de pines en el diseño.

6. REFERENCIAS

- [1] Roberto Galvez Llanos, Aldo Luis Sándiga Domínguez, Iván López Zegarra; "Implementación ASIC de Banco de Filtros para la Transformada Discreta de Wavelet", *IEEE Latin-American CAS Tour 2002*, Puebla, MÉXICO, Noviembre 2002.
- [2] Ing. Daniel Iparraguirre Cárdenas, "Arquitectura de Banco de Filtros para la Transformada Discreta de Wavelet usando la Técnica de Multiplexión de Productos", *VIII WorkShop Iberchip*, Guadalajara-México, Marzo 2002.
- [3] Daniel Iparraguirre Cárdenas y Gerard F. Santillán Quiñonez, "Diseño de un banco de filtros dígito-serial para la implementación de la transformada discreta de wavelet", *Anales del VI Workshop Iberchip*, págs. Del 286 al 291, Sao Paulo, Marzo 2000.
- [4] Daniel Iparraguirre-Cárdenas y G. F. Santillán-Quíñonez, "Real-time digit-serial decimating filter using systolic arrays and implemented in CPLD", *Proc. Of the Third IEEE international Caracas Conference on Devices, Circuits and Systems*, Cancún-México, Marzo 2000.
- [5] N. Weste, K. Eshraghian, "Principles of CMOS VLSI Design", 1985.
- [6] L. Grasser, D. Dobberpuhl, "The Design and Analysis of VLSI Circuits", 1985.
- [7] T. Floyd, "Fundamentos de Sistemas Digitales", 7ma edición, 2000
- [8] Carlos Silva Cárdenas, "Circuitos Integrados de Aplicación Específica". Lima – Perú.