

IMPLEMENTAÇÃO DE ARQUITETURAS PARA A TRANSFORMADA WAVELET DISCRETA UNIDIMENSIONAL EM FPGAS

Sandro V. Silva & Sergio Bampi

Universidade Federal do Rio Grande do Sul - Instituto de Informática

Porto Alegre, Brasil

e-mail: <svsilva,bampi>@inf.ufrgs.Br

ABSTRACT

O padrão de compressão de imagens JPEG2000 define a transformada Wavelet Discreta (DWT) como algoritmo padrão para realizar a transformação do domínio. Esta transformada pode ser computada pela aplicação sucessiva de uma DWT de uma dimensão primeiramente às linhas e posteriormente às colunas. Assim, a principal necessidade para a implementação de um compressor de imagens é a definição de uma arquitetura da 1D-DWT que apresente vantagens em atraso, área e consumo de potência. Este trabalho investiga diversas alternativas arquiteturais para a implementação da 1D-DWT. Todas estas utilizam o Algoritmo da Pirâmide Recursivo (RPA). Comparações são apresentadas neste trabalho entre diversas arquiteturas, visando otimização dos recursos dos dispositivos FPGAs.

1. INTRODUÇÃO

As técnicas tradicionais para compressão de imagens foram idealizadas para explorar a redundância estatística presente em imagens reais (definidas aqui como imagens em tons contínuos). Esta exploração ocorre na forma de alterar o domínio da representação digital da imagem real, de forma a reduzir, ou até mesmo eliminar informações redundantes [5].

Em imagens em tons contínuos, a informação codificada apresenta alto grau de correlação entre os valores de pixels vizinhos (*pixel correlation*). Assim, de modo geral, a aplicação de uma transformada a uma imagem em tons contínuos resulta em um conjunto de dados que possui normalmente grandes amplitudes nos valores próximos à origem do espectro frequencial e baixas amplitudes em valores distantes da origem.

Para proporcionar uma maior redução da quantidade total de dados, é possível descartar algumas informações sem ocasionar perda significativa na qualidade da imagem reconstruída. Nestes métodos, conhecidos como compressão com perdas, ocorre a redução da quantidade de bits necessária para representar os coeficientes

resultantes da transformada, em um método chamado de quantização.

Em imagens onde determinado nível de perda pode ser considerado aceitável, a quantização dos coeficientes pode ser realizada. Em arquiteturas para computar este tipo de imagem, a transformada utilizada pode ter sua precisão reduzida sem ocorrer perda significativa de informação além da prevista pelo processo de quantização. O erro inserido no processo de compressão pode ser medido por meio do PSNR (Peak Signal to Noise Ratio) da imagem reconstruída.

Em 2000 surgiu um dos mais eficientes padrões de compressão de imagens em tons contínuos, conhecido como JPEG2000 [3]. Este padrão de compressão de imagens define a transformada Wavelet Discreta (DWT) em duas dimensões como o algoritmo padrão para reduzir a correlação entre os elementos da imagem. O padrão JPEG2000 permite compressão com ou sem perdas, bastando para isso alterar os coeficientes da transformada e o coeficiente de quantização. No padrão sem perdas, o coeficiente de quantização é sempre igual a um.

A implementação da transformada Wavelet Discreta (DWT) em duas dimensões (2D-DWT) pode ser obtida por aplicações sucessivas de uma 1D-DWT, de acordo com [2], logo uma arquitetura em hardware para a implementação da 2D-DWT pode ter por base uma implementação em hardware da 1D-DWT.

A partir das diversas arquiteturas para a implementação da 1D-DWT encontradas na literatura, tais como as arquiteturas descritas em [1], [4] e [6], este trabalho analisa as arquiteturas que seguem o Algoritmo da Pirâmide Recursivo (RPA) descrito em [8].

Este trabalho é organizado como segue. A seção 2 apresenta a teoria básica da transformada wavelet, explicando a implementação por multiresolução em sub-bandas. A seção 3 mostra o Algoritmo da Pirâmide Recursivo (RPA) e algumas arquiteturas para implementar a DWT que seguem as descrições de [1], [4] e [6]. A seção 4 apresenta como cada uma das arquiteturas propostas na seção 3, foram implementadas, apresentando comparações e discutindo seus resultados. Finalmente a

seção 5 apresenta as conclusões obtidas e as propostas para continuação do estudo deste tipo de arquitetura.

2. TRANSFORMADA WAVELET DISCRETA (DWT)

A transformada Wavelet de duas dimensões produz uma representação em espaço-frequência de um conjunto de dados localizados espacialmente, organizado na forma de um arranjo $m \times n$. Como a transformada Wavelet é uma transformada ortogonal, a representação reconstruída equivalente à representação original pode ser obtida utilizando uma transformada inversa. Uma representação em frequências, produzida pela DWT, apresenta uma reduzida correlação espacial, característica que é desejável em algoritmos de compressão de imagens.

Matematicamente, a transformada wavelet aproxima uma função representando-a como uma combinação linear de duas funções, a função wavelet ψ e sua função escala associada ϕ , pertencentes a uma família de funções $\{\psi_{j,n}(t)\}$, onde:

$$\{ \psi_{j,n}(t) = \frac{1}{\sqrt{2^j}} \psi\left(\frac{t - 2^j n}{2^j}\right) \} (j,n) \in \mathbb{Z}^2$$

sendo ψ uma função wavelet mãe, t uma translação da função ψ e 2^j seu coeficiente de dilatação. Resultando na família de funções $\psi_{j,n}(t)$, que representam uma base ortonormal em \mathbb{R}^2 . Com isso a transformada produzida proporciona uma transformação linear que pode ser aplicada nas formas direta e inversa.

Uma transformada wavelet pode ser descrita por uma representação em multiresolução por sub-bandas. Cada nível de computação é chamado de oitava e a cada computação de uma oitava, a representação em duas dimensões do sinal de mais baixas frequências, definida como oitava n é decomposta em 4 sub-bandas (chamadas de LL, LH, HL, HH) formando a oitava $n+1$, como mostrado na Figura 1.



Figura 1. Decomposição 2D em 4 sub-bandas.

A implementação da transformada em duas dimensões utiliza a propriedade da separabilidade [2], segundo a qual

uma transformada com mais de uma dimensão pode ser obtida em vários passos de sucessivas aplicações de uma transformada de uma dimensão, assim uma transformada em duas dimensões pode ser obtida a partir da transformada em uma dimensão aplicada a todas as linhas seguida da transformada em uma dimensão aplicada a todas as colunas, conforme mostrado na Figura 2.

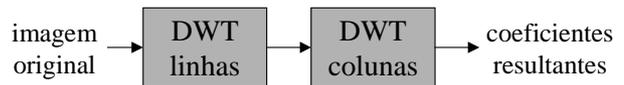


Figura 2. Separabilidade da 2D DWT.

A DWT de uma dimensão é implementada por meio de uma filtragem do sinal de entrada por dois filtros digitais, passa-altas e passa-baixas. Um filtro digital opera por meio da convolução entre o conjunto de dados de entrada e um conjunto de coeficientes definidos para cada tipo de filtro. A computação da DWT é implementada por dois bancos de filtros FIR, que possuem seus coeficientes (chamados genericamente de h e g) obtidos a partir das funções wavelet (ψ) e escala (ϕ). Como diversos conjuntos de coeficientes, com quantidades diferentes de coeficientes, podem ser utilizados para computar a DWT [5], a quantidade de TAPs de cada filtro será definida como #TAPs.

A aplicação do conjunto de n amostras aos filtros passa-altas e passa-baixas resulta em $(2n + \#TAPs)$ coeficientes da transformada, isto é, cada filtro produz $(n + \#TAPs)$ coeficientes, considerando que #TAPs seja o filtro com maior quantidade de TAPs.

Em um processo de compressão de dados o acréscimo na quantidade de coeficientes não é uma característica desejável. Se para cada n amostras temos $(2n + \#TAPs)$ coeficientes, isso significa um aumento na quantidade de informação redundante no sistema.

Para reduzir a quantidade de coeficientes sem perda de informação, duas proposições são feitas:

- Eliminação dos coeficientes intermediários calculados em cada filtro. Esta medida reduz em $n/2$ o número de coeficientes na saída de cada filtro. Como os coeficientes de alta frequência e os coeficientes de baixa frequência contribuem para a reconstrução imagem, a eliminação de metade dos coeficientes de cada banda não acarreta perda de informação.

- A adoção do rebatimento (*padding*) das amostras de borda. Uma eliminação dos coeficientes de ordem maior que n , sem utilizar nenhum outro tratamento, acarreta na perda da informação referente às bordas da imagem. A adoção do rebatimento (*padding*) das amostras de borda aumenta em $2 * \#TAPs$ a quantidade de coeficientes computados, entretanto permite a eliminação dos coeficientes de índice maior que n , sem perda de informação de borda.

O erro inserido no processo de compressão entre a representação original da imagem e a representação reconstruída da imagem pode ser medido por meio de PSNR, que é calculado por:

$$PSNR = -10 \log \frac{\frac{1}{MN} \sum_{n=1}^N \sum_{m=1}^M [x(n, m) - \hat{x}(n, m)]^2}{S^2}$$

onde $x(n,m)$ representa o conjunto de amostras da imagem original, \hat{x} representa o conjunto de amostras da imagem reconstruída, $M \times N$ é o tamanho da matriz da imagem e S é a quantidade de tons da imagem. Uma imagem reconstruída é considerada de boa qualidade para valores com PSNR maior que 40dB.

3. ARQUITETURAS PARA A DWT

A computação de uma DWT de uma dimensão e n oitavas é realizada através de uma decomposição em sub-bandas. Esta decomposição é calculada pela convolução entre o conjunto de amostras de entrada e os coeficientes dos dois filtros digitais.

A Figura 3 mostra o processo de decomposição em 4 sub-bandas definida para a transformada Wavelet de 3 oitavas. Na primeira oitava ocorre uma decomposição do conjunto de amostras de entrada em duas sub-bandas por meio de dois filtros digitais passa-altas e passa-baixas e os coeficientes resultantes são sub-amostrados por uma razão igual a dois, a fim de reduzir a quantidade de informação redundante nos resultados. Nas oitavas seguintes, os coeficientes de saída do filtro passa-baixas da etapa anterior são decompostos em duas sub-bandas por meio de dois filtros digitais passa-altas e passa-baixas (idênticos aos da primeira oitava) e os coeficientes resultantes são sub-amostrados por uma razão igual a dois.

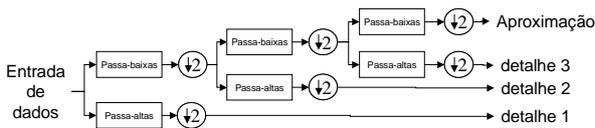


Figura 3. Decomposição wavelet em 3 oitavas.

Uma importante estratégia para implementar a arquitetura de uma DWT de uma dimensão, reduzindo o tempo de computação de todas as oitavas, por realizar as computações das oitavas de ordem maior que um de forma intercalada com a computação da primeira oitava e ainda reduzir a necessidade de armazenamento dos dados entre as oitavas, é utilizando o Algoritmo da Pirâmide Recursivo (RPA), apresentado em [8]. Este algoritmo propõe que o cálculo das oitavas de ordem n , para n maior que 1, sejam computadas nos intervalos entre duas computações da oitava de ordem $n-1$. A Figura 4 ilustra a computação do RPA, mostrando a ordem de cada

coeficiente de cada oitava, considerando a computação de uma DWT para 4 oitavas.

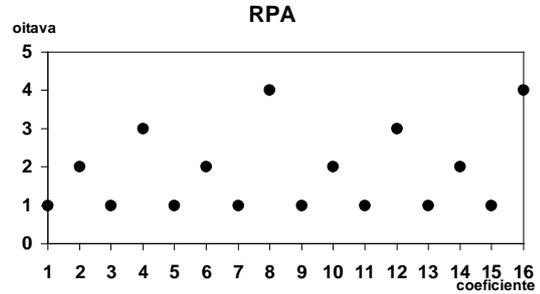


Figura 4. Seqüência de computação do RPA.

Segundo o RPA e considerando $n = [0...N-1]$, N igual ao número de amostras de entrada (ex: uma linha completa da imagem) e X o número da oitava a ser computada, a geração dos coeficientes de saída da DWT segue as seguintes regras:

- Gera os coeficientes do nível X de detalhes quando $t = 2^X n + 2^{X-1} - 1$;
- Gera os coeficientes do nível de aproximação quando $t = 2^X n + 2^X - 1$;

A desvantagem observada da utilização do RPA é que os dados de saída se apresentam de forma intercalada. Assim o uso do RPA requer um pós-processamento para rearranjar cada uma das bandas resultantes. Para uma decomposição em 3 oitavas e considerando $n = [0...N-1]$, os valores de ordem:

- $2n$ correspondem ao nível de detalhe 1;
- $4n+1$ correspondem ao nível de detalhe 2;
- $8n+3$ correspondem ao nível de detalhe 3;
- $8n+7$ correspondem ao nível de aproximação;

3.1. DWT IMPLEMENTADA POR FILTROS PARALELOS

A implementação da arquitetura paralela para a computação da DWT a partir da descrição de Knowles em [4] foi feita utilizando:

- dois bancos de filtros de profundidade $K1$ e $K2$.
- $J \times K$ registradores de m -bits, onde J representa a quantidade de oitavas, K a maior quantidade de TAPs dos bancos de filtros e m representa a maior palavra para definir um coeficiente;
- um multiplexador (chamado Mux1) para selecionar uma entre J entradas dos $2 \times K$ registradores de m -bits;
- um multiplexador (chamado Mux2) para fazer a seleção entre as duas saídas dos filtros (saídas de m -bits).

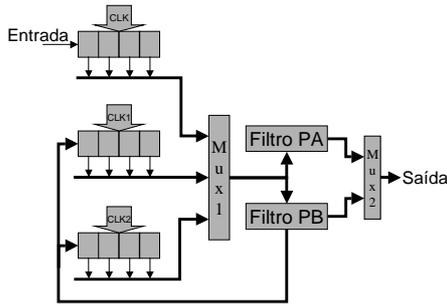


Figura 5. Arquitetura Paralela de três oitavas [4].

A arquitetura paralela para a computação da 1D-DWT apresentado na Figura 5 mostra uma arquitetura com $J = 3$ (3 oitavas), $K_1 = K_2 = 4$ (4 TAPs em cada filtro). As amostras de entrada são inseridas diretamente no primeiro conjunto de registradores com taxa de cadenciamento idêntica ao do relógio global do sistema. O multiplexador Mux1 deve habilitar a conexão do primeiro conjunto de registradores com os dois filtros a cada dois ciclos do sinal de relógio. A saída do filtro passa-altas representa o sinal de detalhes da primeira oitava. A saída do filtro passa-baixas deve ser direcionada para o segundo conjunto de registradores com taxa de cadenciamento de metade do relógio global do sistema. O multiplexador Mux1 deve habilitar a conexão do segundo conjunto de registradores com os dois filtros a cada quatro ciclos do sinal de relógio (a partir do segundo ciclo). A saída do filtro passa-altas representa o sinal de detalhes da segunda oitava. A saída do filtro passa-baixas deve ser direcionada para o terceiro conjunto de registradores com taxa de cadenciamento de um quarto do relógio global do sistema. O multiplexador Mux1 deve habilitar a conexão do terceiro conjunto de registradores com os dois filtros a cada quatro ciclos do sinal de relógio (a partir do quarto ciclo). A cada quatro ciclos de relógio são gerados de modo intercalado o sinal de detalhes da terceira oitava, vindo da saída do filtro passa-altas, e o sinal de aproximação vindo da saída do filtro passa-baixas. O multiplexador Mux2 apenas muda de estado quando da seleção do sinal de aproximação, que ocorre a cada 8 ciclos.

Para aumentar a quantidade de oitavas nesta arquitetura bastam acrescentar um conjunto de registradores para cada oitava extra e o número de estados da máquina de controle.

3.2. DWT IMPLEMENTADA POR ARRANJOS SISTÓLICOS

A implementação da arquitetura da 1D-DWT utilizando um arranjo sistólico, apresenta as características de regularidade, localidade e escalabilidade. A localidade advém da definição de um elemento de processamento

(PE) pré-definido e fixo, a regularidade é definida pela utilização do mesmo PE em todo o arranjo e escalabilidade é devido à simplicidade de inserção de mais oitavas no arranjo.

O primeiro arranjo sistólico implementado segue a descrição de Syed, Bayoumi e Limqueco [6]. Cada PE (mostrado na Figura 6) possui internamente um registrador de m-bits, dois multiplicadores por constantes (G e H), que devido a isso, podem se multiplicadores simplificados e dois somadores.

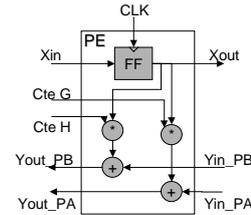


Figura 6. Estrutura do Elemento de Processamento [6].

Um arranjo sistólico para 3 oitavas e 4 TAPs em cada filtro é mostrado na Figura 7. A quantidade de PEs em cada oitava deve ser igual à quantidade de TAPs apresentada pelo filtro de maior quantidade de coeficientes. Uma etapa de controle foi implementada para gerar o sinal de relógio diferenciado para cada oitava e a seleção do multiplexador de saída, de modo que o conjunto de dados de saída obedeça às definições do RPA.

Devido a esta arquitetura não necessitar de qualquer controle para os PEs com exceção do sinal de relógio, esta arquitetura é classificada como possuindo uma regularidade muito boa.

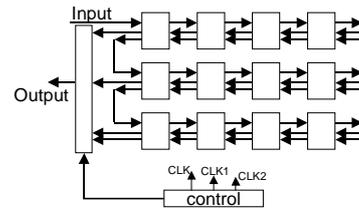


Figura 7. Arquitetura por Arranjo sistólico de três oitavas e 4 TAPs.

A inserção de oitavas extras nesta arquitetura demanda a inserção de um conjunto de PEs proporcional à quantidade de TAPs necessários em cada oitava, bem como a alteração da etapa de controle para a geração dos sinais de relógio intercalados e seleção do multiplexador de saída.

A segunda arquitetura sistólica implementada segue a descrição feita por Fridman e Manolakos em [1]. Esta arquitetura se baseia no arranjo de elementos de processamento (PE), possuindo uma quantidade de PEs igual ao número de TAPs do maior dos filtros. Como os registradores que definem o número de oitavas ficam colocados internamente aos PEs, o circuito de controle necessita apenas gerar os sinais para o acesso aos registradores internos dos PEs.

A Figura 8 apresenta a estrutura interna do PE utilizado nesta arquitetura. Nela podemos observar os elementos presentes nas arquiteturas anteriores, como dois multiplicadores, dois somadores, as duas constantes (h e g) e os elementos de armazenamento.

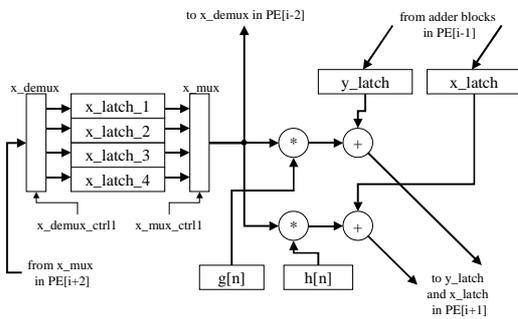


Figura 8. Estrutura do Elemento de Processamento (PE) para quatro oitavas [1].

Nesta arquitetura a localidade e a regularidade ficam bem definidas, porém a escalabilidade no que diz respeito ao número de oitavas é baixa por necessitar de uma complexa alteração no controle quando da inserção de oitavas extras. Entretanto, a escalabilidade no que diz respeito ao número de TAPs do filtro é alta, pois para isso basta conectar novos PEs em cascata.

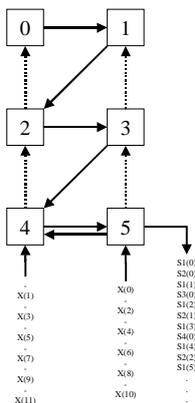


Figura 9. Arquitetura por Arranjo sistólico com 6 TAPs.

O fluxo de dados entre os diversos PEs da arquitetura é ilustrado por um arranjo de 6 TAPs mostrado na Figura 9. Nesta figura podemos observar que as amostras de ordem ímpar seguem pelas PEs de ordem par e as amostras de ordem par seguem pelas PEs de ordem ímpar. Os coeficientes de saída são gerados seguindo a ordem descrita no RPA e o fluxo de computação segue a ordem crescente dos PEs, conforme Figura 9. Nesta arquitetura, os coeficientes de oitavas de ordem menores são realimentados de volta para o PE 4 e PE 5 (de acordo se amostra de índice par ou ímpar) a partir da saída do PE 5.

4. IMPLEMENTAÇÃO DA DWT EM FPGA

Todas as arquiteturas apresentadas na seção 3 foram sintetizadas em hardware e simuladas utilizando a ferramenta QUARTUS II.

Todas as comparações foram realizadas sob mesmos flags de síntese e simulação, mesmos vetores de entrada e mesma quantidade de oitavas e TAPs por filtro. Todas as arquiteturas foram sintetizadas para um dispositivo ALTERA APEX20K

Inicialmente foi implementado para fins de comparação, uma DWT utilizando bancos de filtros, que são na verdade filtros paralelos não multiplexados.

O gráfico apresentado na Figura 10 mostra a utilização de área do FPGA de cada arquitetura implementada, comparando somente arquiteturas de 3 oitavas. A arquitetura de filtros paralelos não multiplexado apresenta a maior área, como esperado devido à utilização de um conjunto de filtros por oitava. O método de multiplexação dos filtros reduz significativamente a utilização da área, pois requer apenas um conjunto de filtros para toda a arquitetura.

Dentre as arquiteturas de arranjos sistólicos, a arquitetura a partir de [1] apresenta uma utilização de área menor devido à minimização proporcionada pela inserção dos registradores de todas as oitavas no interior do PE.

Utilização da área do FPGA

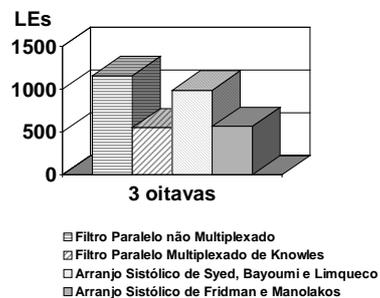


Figura 10. Utilização da área do FPGA para arquiteturas de 3 oitavas.

A inserção de mais uma oitava extra nas arquiteturas de 3 oitavas, resultando em arquiteturas de 4 oitavas, ocasionou um incremento proporcional na utilização de área (LEs) do FPGA, em quase todas as arquiteturas implementadas. A ressaltar, porém, que a arquitetura de filtros paralelos multiplexados apresentou apenas um incremento insignificante, como mostrado na Figura 11. Este pequeno incremento em área é devido à inserção dos registradores necessários para mais uma oitava e a respectiva alteração no controle.

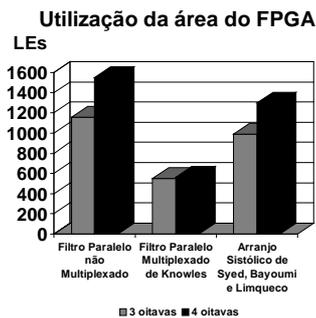


Figura 11. Relação entre a utilização de Elementos Lógicos (LEs) em FPGA e o número de oitavas.

O atraso das arquiteturas está diretamente relacionado com a quantidade de operações de soma e multiplicação realizadas em série, que podem ser pipelinizadas. Assim, a maioria das arquiteturas apresenta valores aproximados de máxima frequência de operação. O arranjo sistólico seguindo a descrição de [1] apresenta uma grande quantidade de troca de operadores, ocasionando um atraso maior que as outras arquiteturas. A Figura 12 mostra a relação de máxima frequência de operação entre as arquiteturas implementadas.

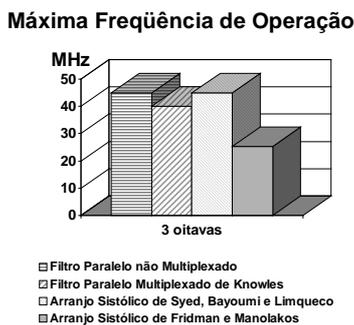


Figura 12. Máxima frequência de operação em FPGA APEX20K para arquiteturas de 3 oitavas.

Como observado na Figura 13 a máxima frequência de operação se mantém relativamente estável com o acréscimo de uma oitava. Como o cálculo de cada oitava é

dependente apenas do valor atual dos registradores internos, o atraso total deve ser independente do número de oitavas calculadas. Porém o multiplexador de seleção do coeficiente de saída é comum a todas as saídas das oitavas, assim quanto maior a quantidade de entradas no multiplexador, maior é a sua complexidade.

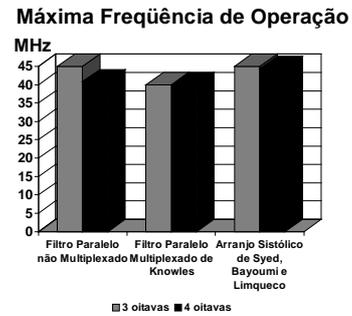


Figura 13. Relação entre a Máxima frequência de operação e o número de oitavas.

A principal vantagem observada nas arquiteturas não multiplexadas é o seu menor consumo devido a não trocar constantemente os valores dos filtros, ocasionando uma menor quantidade de *glitches*. A simulação de potência consumida pelo FPGA foi realizada para todas as arquiteturas a 40 MHz. Como observado na Figura 14, a arquitetura que segue a descrição de [4] apresenta um consumo de potência de cerca de 4x maior que o consumo de potência de arquiteturas não multiplexadas. Porém a inserção de oitavas extras na arquitetura multiplexada que segue a descrição de [4] não ocasiona aumento mensurável no consumo de potência, por já realizar troca dos valores dos filtros em todos os ciclos do sinal de relógio. Nas arquiteturas não multiplexadas o acréscimo no consumo de potência é proporcional ao acréscimo no consumo de área.

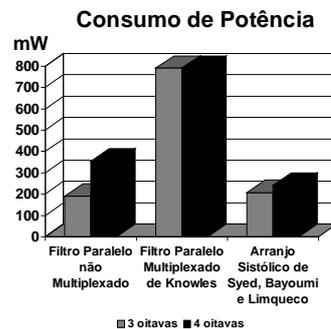


Figura 14. Relação entre potência consumida e número de oitavas.

5. CONCLUSÕES

A utilização do Algoritmo da Pirâmide Recursivo (RPA) permite que uma arquitetura para a descrição de uma DWT de uma dimensão e n oitavas possa ser implementada utilizando recursos mínimos de memória e consumindo apenas o tempo necessário para a computação de uma oitava.

Considerando que existem várias arquiteturas diferentes a partir do algoritmo descrito, os requisitos de projeto devem ser definidos para uma boa escolha da arquitetura. De acordo com os resultados da seção 4 a arquitetura de filtros paralelos multiplexados, seguindo a descrição de [4], apresenta um atraso máximo comparável às outras arquiteturas, requer um reduzido consumo de hardware, porém apresenta um significativo consumo de potência. Com a inclusão de outras oitavas no sistema, a arquitetura de filtros paralelos multiplexados não apresenta alterações significativas em suas características de área, atraso e potência.

Para sistema onde o consumo de área não é um fator limitante, arquiteturas do tipo arranjo sistólico, como a descrita em [6], apresentam vantagens, como consumo de potência reduzido, facilidade de implementação, devido à localidade e regularidade dadas pela estrutura de arranjo de PEs, e facilidade na alteração da quantidade de oitavas, como resultado da escalabilidade intrínseca deste tipo de arquitetura.

Nos próximos trabalhos em desenvolvimento para a DWT, estaremos implementando otimizações adicionais para a arquitetura da DWT, a saber: i) implementação de esquema de *lifting* [7] e ii) implementação do número ótimo de estágios de pipeline na arquitetura, visando minimizar a potência dissipada e maximizar o desempenho.

6. REFERÊNCIAS

- [1] FRIDMAN, José & MANOLAKOS, Elias S. Distributed Memory and Control VLSI Architectures for the 1-D Discrete Wavelet Transform. IEEE Proceedings VLSI Signal Processing VII, La Jolla, California, oct. 26-28, 1994, pp 388-397.
- [2] HSU, Hwei P. Outline of Fourier Analysis. Unitech Division, USA, 1967.
- [3] ITU-T Recommendation T.800. JPEG 2000 IMAGE CODING SYSTEM - Coding of Still Pictures (V1.0, 16 March 2000)
- [4] KNOWLES, G. VLSI Architectures for the Discrete Wavelet Transform. Electronics Letters, vol 26, no15, July 1990, pp 1184-1185.
- [5] SALOMON, David. Data Compression. The Complete Reference. Springer-Verlag, New York, Inc 2nd edition, 2000.
- [6] SYED, Shafiullah, BAYOUMI, Magdy & LIMQUECO, J. An Integrated Discrete Wavelet Transform Array Architecture. Proceedings of the Workshop on Computer Architecture for Machine Perception, Como, Italy, sept. 18-20, 1995, pp 32-36.
- [7] SWELDENS, Wim. The Lifting Scheme: A Custom-design Construction of Biorthogonal Wavelets. Appl. Comput. Harmon. Anal., vol 3, no 2, pp. 186-200, 1996.
- [8] VISHWANATH, Mohan. The Recursive Pyramid Algorithm for the Discrete Wavelet Transform. IEEE Transactions on Signal Processing, vol 42, no3, march 1994.