

# IMPLEMENTACIÓN DE LÓGICA UMBRAL Y MULTIUMBRAL CON RTDS

*José M. Quintana, María J. Avedillo y Héctor Pettenghi*

Instituto de Microelectrónica de Sevilla, IMSE-CNM  
Avda. Reina Mercedes s/n  
41012 Sevilla, España<sup>1</sup>

{josem, avedillo, hector}@imse.cnm.es

<sup>1</sup> Trabajo parcialmente realizado mediante el Proyecto TEC2004-02948/MIC

## ABSTRACT

Dispositivos emergentes como los diodos basados en el efecto túnel resonante (RTDs) se han utilizado con éxito en la realización de bloques básicos digitales. Una característica muy importante que presentan estos circuitos es que su funcionalidad puede ser muy compleja, aún con un número reducido de dispositivos. Esto ha propiciado que se revise la aplicabilidad de conceptos teóricos como la lógica umbral, desarrollados en el pasado, pero rechazados en su momento porque las tecnologías existentes no eran capaces de proporcionar implementaciones lo suficientemente eficientes. En este artículo se analizan las posibilidades que presentan los RTDs para implementar lógica umbral y multiumbral.

## 1. INTRODUCTION

El progreso tecnológico en los últimos años ha dado lugar a nuevos dispositivos, basados en efectos cuánticos, que presentan características  $I-V$  no lineales. Si estos efectos se aprovechan directamente, se pueden construir bloques básicos con un número reducido de dispositivos y de interconexiones. En esta estrategia de diseño de circuitos, conocida con el nombre de integración funcional, dispositivos y circuitos básicos pueden llegar a estar muy próximos. La integración funcional también fomenta el uso de paralelismo en la arquitectura de los sistemas, lo que suele redundar en implementaciones más eficientes (área y/o retraso) para determinadas funciones. Un efecto colateral de esta búsqueda de nuevos dispositivos es que ha conducido a revisar conceptos teóricos desarrollados en el pasado, rechazados en su momento porque las tecnologías existentes no eran capaces de proporcionar implementaciones lo suficientemente eficientes.

La lógica umbral es uno de estos potentes conceptos teóricos. Su desarrollo comenzó a principios de 1960 como una teoría global del álgebra de conmutación, incluyendo la lógica booleana convencional como un subconjunto. Durante muchos años, el diseño digital basado en puertas umbral se consideró una alternativa al tradicional con puertas lógicas. La potencia del estilo basado en puertas umbral (*threshold gates*, TGs) reside en la complejidad intrínseca de las funciones realizadas con dichas puertas (la integración funcional mencionada anteriormente), lo que permite que los sistemas implementados contengan menos puertas umbral o menos niveles de puertas que los que tendrían si se realizaran con puertas lógicas tradicionales. La falta de realizaciones físicas penalizó enormemente su impacto sobre la corriente principal del diseño digital VLSI [4]. En particular, puede demostrarse teóricamente que funciones importantes tales como la adición múltiple, la multiplicación, la división o la ordenación, cuya implementación requiere redes de puertas tradicionales en las que el número de niveles no está acotado polinómicamente, pueden implementarse con redes de puertas umbral (*TG networks*, TGNs) cuyo número de niveles sí lo está. Las redes de puertas umbral son útiles también en el modelado de redes nerviosas, para el modelado de sistemas de aprendizaje, de reconocimiento de patrones, de redes neuronales, etc.

El éxito de la lógica umbral (o, en general, de cualquier otro tipo de lógica) como alternativa de diseño de sistemas digitales estará determinada por la capacidad, coste y disponibilidad de los bloques básicos, así como de la existencia de procedimientos efectivos de síntesis. Si se dispone de una tecnología en la que, por ejemplo, la implementación de una AND, de una OR o de una mayoritaria de tres entradas tienen el mismo coste, su incidencia en el diseño de circuitos más complejos o de sistemas es muy profunda. Las técnicas de síntesis tradicionales en el álgebra booleana,

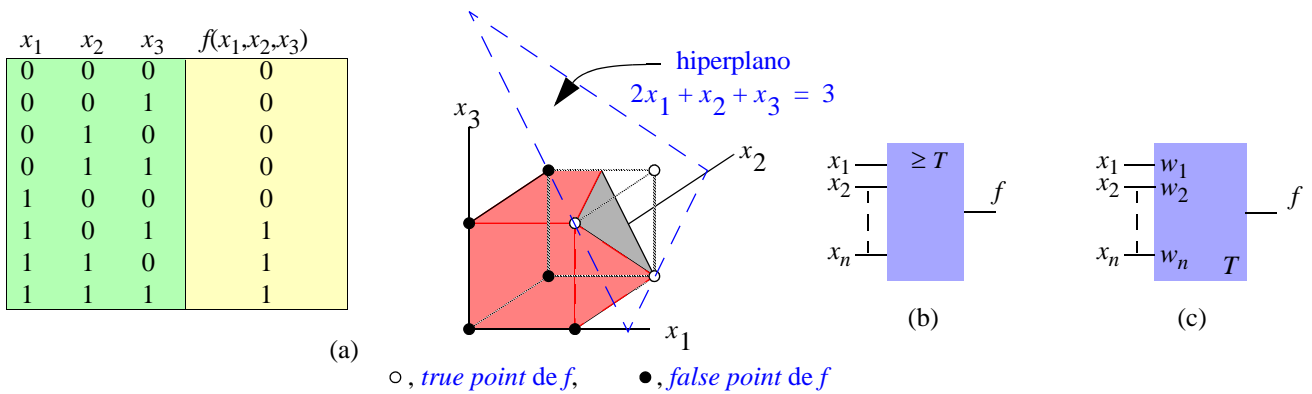


Figura 1: (a) Separación de puntos de  $f$  por medio de un hiperplano. Símbolos para la puerta umbral: (b) con todos los pesos iguales a 1; (c) con pesos diferentes

que históricamente han dado excelentes resultados, no tienen por qué proporcionar las implementaciones más eficientes a problemas dados.

Este artículo está organizado como sigue. En el siguiente apartado revisaremos los conceptos básicos que necesitaremos en nuestro desarrollo. En el Apartado 3, se detallará en principio de operación MOBILE, básico para estos circuitos. En el Apartado 4, propondremos la topología básica para la implementación de puertas multiumbral, y en el Apartado 5 discutiremos la capacidad funcional de esta estructura. Finalmente, en el Apartado 6 daremos algunas conclusiones.

## 2. CONCEPTOS BÁSICOS

Formalmente, una puerta umbral (*threshold gate*, TG) se define como una puerta lógica con  $n$  variables de entrada  $x_i$ , ( $i = 1, \dots, n$ ), que pueden tomar valores 0, 1 y una salida también binaria, para la que existe un conjunto de  $(n+1)$  números reales  $w_1, w_2, \dots, w_n$ , y  $T$ , llamados pesos y umbral respectivamente, de forma que la salida de la puerta es:

$$f(x_1, x_2, \dots, x_n) = \begin{cases} 1 & \text{si } \sum_{i=1}^n w_i x_i \geq T \\ 0 & \text{en otro caso} \end{cases} \quad (1)$$

Una función  $f(x_1, x_2, \dots, x_n)$  representada por la salida de una puerta umbral, se denomina función umbral (*threshold function*, TF). El conjunto de pesos y umbral se suele representar de forma más compacta como  $[w_1, w_2, \dots, w_n; T] = [w; T]$ . Debido a la definición de una función umbral mediante desigualdades lineales, estas fun-

ciones se denominan a menudo funciones linealmente separables. Desde un punto de vista geométrico, una TG con  $n$  entradas puede verse como un hiperplano que divide el  $n$ -cubo booleano en dos regiones de forma que  $f^{-1}(1)$  queda en un lado del plano y  $f^{-1}(0)$ , en el otro. La Figura 1a muestra la separación entre el ON-set y el OFF-set para la función de tres variables  $f(x_1, x_2, x_3) = x_1 x_2 + x_1 x_3$ .

La Figura 1b muestra el símbolo estándar IEEE para una TG con todas sus entradas iguales a 1 y umbral en  $T$ . Este estándar no dispone de símbolo para una TG cuyos pesos sean diferentes de 1, aunque es evidente que aunque dicho símbolo podría obtenerse uniendo entradas (un peso de  $w_i$  para la entrada  $x_i$  se obtendría uniendo  $x_i$  a  $w_i$  entradas a la puerta), resultaría bastante incómodo. El símbolo que aparece en la Figura 1b, aunque no es estándar, está muy extendido para estos casos. Entre las propiedades de las funciones umbral, una de las que más nos interesa para la implementación es que cualquier función umbral puede realizarse con pesos y umbral enteros (y positivos si la inversión está disponible).

La Figura 2a muestra la formulación como conjunto de desigualdades de la tabla de combinaciones de una función. Si existe una solución, la función es umbral, con los pesos y el umbral dados por la solución. Si no existiera, la función no es umbral. Este procedimiento no es muy eficiente debido a las  $2^n$  desigualdades que se requieren para una función de  $n$  variables. El problema puede resolverse de una forma más simple si transformamos la función original en una cuyas variables son todas positivas. Para esta función determinamos lo que se denominan vértices mínimos y máximos. Aquellos que evalúan 1 la función se denominan ciertos, y los que la evalúan 0, falsos. Si hay  $p$  vértices mínimos ciertos ( $mTVs$ ) y  $q$  vértices máximos falsos

$x_1$	$x_2$	$x_3$	$f(x_1, x_2, x_3)$	
0	0	0	1	$0 \geq T$
0	0	1	0	$w_3 < T$
0	1	0	1	$w_2 \geq T$
0	1	1	0	$w_2 + w_3 < T$
1	0	0	1	$w_1 \geq T$
1	0	1	1	$w_1 + w_3 \geq T$
1	1	0	1	$w_1 + w_2 \geq T$
1	1	1	1	$w_1 + w_2 + w_3 \geq T$

**Solución:**

$w_1 = 2, w_2 = 1, w_3 = -2, T = 0$   
 $f(x_1, x_2, x_3)$  es una función umbral  
representada por:  $[2, 1, -2; 0]$

(a)

	$x_1$	$x_2$	$x_3$	$f(x_1, x_2, \bar{x}_3)$
$A_0$	0	0	0	0
$A_1$	0	0	1	1
$A_2$	0	1	0	0
$A_3$	0	1	1	1
$A_4$	1	0	0	1
$A_5$	1	0	1	1
$A_6$	1	1	0	1
$A_7$	1	1	1	1

(b)

$mTV: \{A_1, A_4\}; p = 2$   
 $MFV: \{A_2\}; q = 1$   
Obtenemos dos desigualdades:  
 $w_3 > w_2$  (D1)       $w_1 > w_2$  (D2)  
 $f(x_1, x_2, \bar{x}_3)$  es umbral:  $[2, 1, 2; 2]$

Figura 2: Identificación de funciones umbral.

(a) Procedimiento directo, (b) a través de vértices máximos y mínimos.

(*MFVs*) la solución al conjunto de  $p \cdot q$  desigualdades obtenidas a partir de ellos permite obtener la representación de la función como umbral. La Figura 2b muestra esta formulación reducida y su solución.

Un dispositivo que implemente este modelo teórico debe evaluar la suma pesada de las entradas binarias, almacenar este valor (o el del umbral) y compararlo con el umbral. Adicionalmente, una TG puede programarse para realizar diferentes funciones booleanas mediante el ajuste del umbral y/o los pesos. Por ejemplo, una puerta umbral de  $n$  entradas con todos los pesos iguales a 1 implementa una puerta OR si su umbral está en 1, una mayoritaria si está en  $(n+1)/2$  ( $n$  impar), o una AND si está en  $n$ , lo que da idea de la potencialidad de la aproximación.

En una función umbral, un único umbral permite separar su ON-set y el OFF-set. Una generalización de esta definición utiliza varios umbrales para dicha separación, dando lugar a las funciones multi-umbral (*multi-threshold functions*, MTFs). Esta ampliación permite incluir importantes funciones como por ejemplo la paridad, imposibles de describir como umbral.

Formalmente, una puerta umbral multi-umbral (*multi-threshold threshold gate*, MTTG) se define como una puerta lógica con  $n$  variables de entrada  $x_i$ , ( $i = 1, \dots, n$ ), que pueden tomar valores 0, 1 y una salida binaria, para la que existe un conjunto de  $(n+1)$  números reales, los pesos,  $w_i$ , ( $i = 1, \dots, n$ ), y otro de  $k$  números reales, los umbrales,  $T_1, T_2, \dots, T_k$ , de forma que la salida de la puerta es [8]:

$$f(x_1, x_2, \dots, x_n) = 1 \quad \text{sí} \quad \begin{cases} \sum_{i=1}^n w_i x_i \geq T_1 \\ \dots \\ T_{j+1} > T_j \quad (2) \\ \dots \\ T_{2j-1} \leq \sum_{i=1}^n w_i x_i < T_{2j} \end{cases}$$

$$f(x_1, x_2, \dots, x_n) = 0 \quad \text{en otro caso}$$

donde  $k$  es un número par (si o lo fuera, la última desigualdad se simplifica,  $T_k \leq \sum_{i=1}^n w_i x_i$ ). El conjunto de pesos y umbral se suele representar de forma más compacta como  $[w_1, w_2, \dots, w_n; T_1, T_2, \dots, T_k] = [w; T]$ . Desde un punto de vista geométrico, en una MTTG con  $n$  entradas  $k$  hiperplanos separan el ON-set y el OFF-set en el  $n$ -cubo booleano. La Figura 3a muestra un símbolo no estándar para una MTTG, la Figura 3b la salida de la puerta en función de la suma pesada de sus entradas, la Figura 3c la tabla de combinaciones de la función  $f(x_1, x_2, x_3) = x_1 \oplus x_2 x_3$  que no es umbral, aunque puede representarse como una MTTG de dos umbrales, la  $[2, 1, 1; 2, 4]$ , y la Figura 3d la separación de  $f^{-1}(1)$  y  $f^{-1}(0)$  mediante dos hiperplanos.

Desde un punto de vista lógico, el concepto de la MTTG es muy potente. Es trivial observar que cualquier función booleana de  $n$  variables puede describirse como una MTF de, a lo sumo,  $2^n - 1$  umbrales, sin más que asociar a cada variable de entrada  $x_i$ ,  $i \in \{1, \dots, n\}$ , un peso  $2^i$ . Sin embargo, es más interesante considerar qué funciones pue-

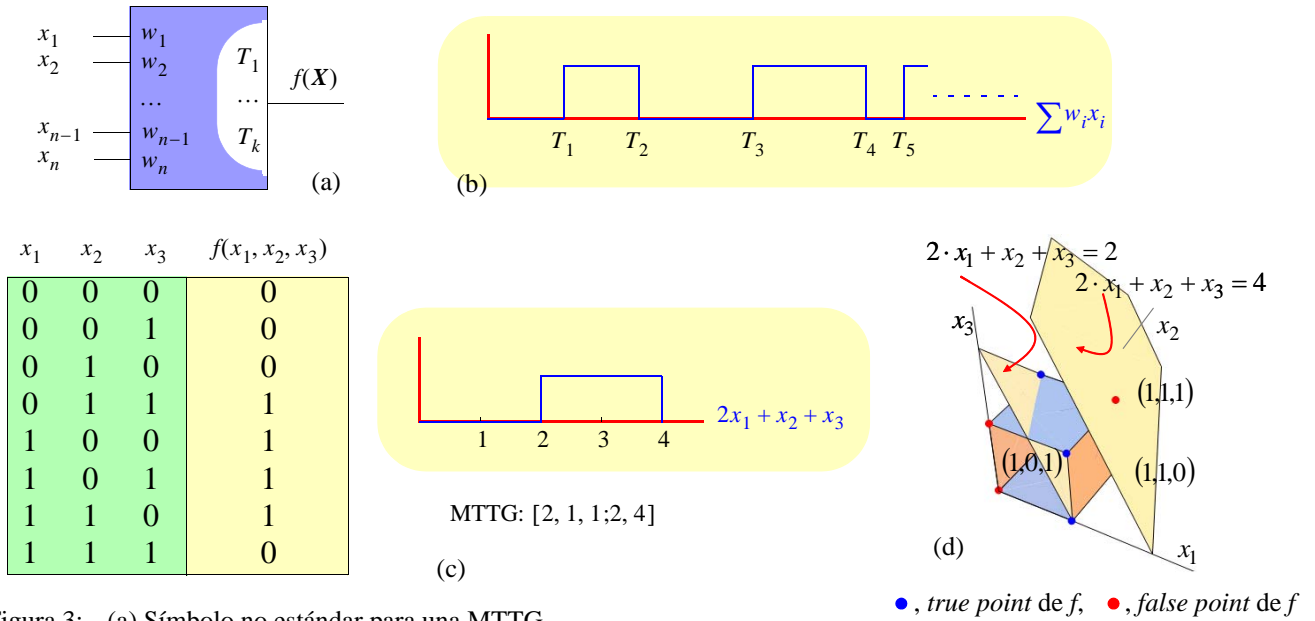


Figura 3: (a) Símbolo no estándar para una MTTG. (b) Salida de una MTTG en función de la suma pesada de las entradas. (c) Tabla de combinaciones para  $f(x_1, x_2, x_3) = x_1 \oplus x_2 \oplus x_3$  y salida de la MTTG. (d) Separación de puntos de  $f$  por medio de dos hiperplanos.

den implementarse con pesos que no crezcan en forma exponencial y con un número reducido de umbrales. A este respecto, puede demostrarse que cualquier función booleana de dos variables puede describirse como una MTTG de, a lo sumo, dos umbrales, y peso máximo unidad. Si la función es de tres entradas, bastan tres umbrales para describirla, y el peso máximo es 3. Finalmente, una función simétrica de  $n$  entradas puede implementarse siempre mediante una MTTG de, a lo sumo,  $n$  umbrales (el caso más desfavorable es el de la EXOR).

### 3. EL PRINCIPIO DE OPERACIÓN MOBILE

Los diodos basados en el efecto túnel resonante (*Resonant Tunneling Diode*, RTD) están considerados hoy día los dispositivos de efecto cuántico más maduros, operando ya a temperatura ambiente. La Figura 4a muestra una característica  $I-V$  típica de un RTD en el que pueden distinguirse tres regiones bien diferenciadas: una primera región de resistencia diferencial positiva (región I) para  $0 \leq v_{RTD} \leq V_p$ , una región de resistencia diferencial negativa (región II) para  $V_p < v_{RTD} \leq V_v$ , y una segunda región de resistencia diferencial positiva (región III) para  $v_{RTD} \geq V_v$ . La curva  $I-V$  se caracteriza por una tensión de pico,  $V_p$ , por una tensión de valle,  $V_v$ , así como por una relación intensidad de pico a intensidad de valle (*peak-to-valley current ratio*, PVCR). La región de resistencia diferencial negativa puede explotarse

para incrementar significativamente la funcionalidad implementada por una puerta simple en comparación con tecnologías MOS o bipolares [2], [10], [11]. Las aplicaciones de circuito de los RTDs están basadas principalmente en el MOBILE (*MONostable-BIstable Logic Element*) [6]. El MOBILE es una puerta controlada por corriente disparada por flanco de subida que consiste en dos RTDs conectados en serie (Figura 4b) y una tensión,  $V_{CK}$ , que conmuta entre dos valores fijos, y cuya amplitud es mayor que dos veces la tensión de pico del RTD. Cuando  $V_{CK}$  es bajo, ambos RTDs están en un estado de conducción (el *on-state* o estado de baja resistencia) y el circuito es monoestable. Si se incrementa  $V_{CK}$  a un valor máximo apropiado, se asegura que sólo el dispositivo con menor intensidad de pico conmuta (*quenches*) desde el estado *on* hasta el *off* (el estado de resistencia alta). La salida es alta si el RTD inferior es el que conmuta y baja si lo hace el RTD de carga, siendo este estado de salida auto-estabilizante debido a la inherente biestabilidad de los dispositivos. La funcionalidad de una puerta tipo MOBILE se especifica añadiendo una etapa de entrada al par de RTDs que modifica la corriente de pico de uno de los RTDs. La Figura 4c muestra un seguidor MOBILE típico consistente en dos RTDs conectados en serie (RTD<sub>1</sub> y RTD<sub>2a</sub>) y una etapa de entrada compuesta por un par RTD-HFET (RTD<sub>2b</sub> y TT<sub>1</sub>), donde la intensidad de pico de RTD<sub>2b</sub> es modulada por la entrada externa  $V_{in}$  [11]. El seguidor se comporta como sigue (véase Figura 4d): cuando  $V_{CK}$  es baja, los

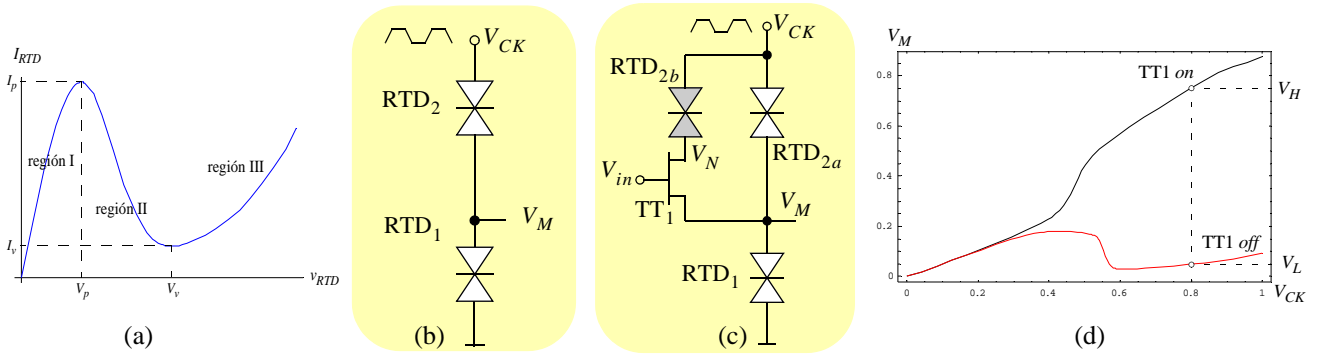


Figura 4: (a) Característica  $I$ - $V$  típica de un RTD, (b) Configuración típica de un MOBILE. (c) Seguidor MOBILE, (d) Transición monoestable-bi-estable en un seguidor MOBILE.

RTDs están en el estado *on*, el circuito es monoestable y la salida está en un estado bajo; con  $V_{CK}$  subiendo hasta un valor máximo mayor que dos veces la tensión de pico del RTD, la salida debe seguir a la entrada  $V_{in}$ , por lo que puede tomar dos valores (comportamiento biestable). Para  $V_{in}$  bajo, la intensidad a través de  $RTD_{2b}$  es despreciable y la salida depende sólo de las relaciones entre las intensidades de pico de  $RTD_{2a}$  y  $RTD_1$ ; para  $V_{in}$  alto, el transistor  $TT_1$  no limita la intensidad que circula por  $RTD_{2b}$  y la salida depende de la relación entre la intensidad de pico de  $RTD_1$  y la suma de las intensidades de pico de  $RTD_{2a}$  y  $RTD_{2b}$ . Si suponemos densidades de corriente iguales para todos los RTDs, las intensidades de pico son proporcionales a las áreas de los RTDs. Así, para que el circuito anterior funcione correctamente como un seguidor se deben cumplir dos relaciones entre las áreas de RTDs:  $A_{2a} < A_1$ , y  $A_{2a} + A_{2b} > A_1$ , donde  $A_i$  es el área del  $RTD_i$  y se ha supuesto para el transistor un comportamiento como conmutador ideal.

Desde un punto de vista de circuito, un MOBILE puede considerarse como la combinación de un circuito lógico controlado por intensidad y un elemento de memoria tipo D disparado por flanco de subida. Adicionalmente, esta etapa de entrada permite llegar a un procedimiento sistemático para el diseño de circuitos digitales basado en un simple parámetro de diseño, el factor de área del RTD, que parametriza su intensidad de pico de acuerdo con  $I_p = \lambda j_p A_{RTD}$ . Para una tecnología dada, la tensión de pico y los parámetros del HFET están fijos, por lo la transferencia de una expresión booleana a un circuito, se realiza seleccionando los parámetros  $\lambda$  adecuados para cada RTD.

Este principio de operación puede extenderse a entradas múltiples y la implementación de una puerta umbral es directa. El circuito de la Figura 5a muestra una puerta umbral basada en RTDs y compuesta de los dos RTDs básicos al MOBILE y cuatro etapas de entrada RTD-HFET, de

las que dos implementan pesos positivos (entradas  $x_1$  y  $x_2$ ) y dos negativos (entradas  $x_3$  y  $x_4$ ). El umbral y los pesos se implementan modificando las áreas de los RTDs, como puede observarse en el circuito de la Figura 5b donde, dependiendo de  $\lambda_1$ , la función realizada por el circuito puede ser una puerta OR de tres entradas ( $\lambda_1 = 1.1$ ), una mayoritaria de tres entradas ( $\lambda_1 = 1.3$ ), o una AND de tres entradas ( $\lambda_1 = 1.5$ ). Es decir, con el mismo coste podemos obtener las puertas umbral  $[1, 1, 1; 1]$  (OR),  $[1, 1, 1; 2]$  (MAJ) y  $[1, 1, 1; 3]$  (AND).

#### 4. ESTRUCTURAS DE CIRCUITO PARA PUERTAS MULTIMUMBRAL

El principio de operación MOBILE ha demostrado su capacidad para la implementación de puertas umbral, pero también permite, de forma natural, la implementación de puertas multiumbral. Una primera propuesta de uso de RTDs para la implementación de MTTGs fue realizada en el 11<sup>th</sup> MEL-ARI/NID *Workshop* [1]. El principio de operación extiende el considerado para la puerta umbral a la conexión en serie de más de dos RTDs (su número dependerá del número de umbrales [1]). El concepto clave para comprender la operación de las MTTGs es el de conmutación controlada (*controlled quenching*) de los RTDs conectados en serie [7]. La caída de tensión en un RTD es baja antes de la conmutación, alta después de la misma. La secuencia de conmutación en RTDs conectados en serie comienza siempre con el RTD cuya intensidad de pico sea menor. Si ese pico puede controlarse mediante entradas externas, entonces la secuencia de *quenching* puede modificarse, y obtenerse así diferentes funciones.

La Figura 5c muestra la topología de circuito propuesta para la MTTG genérica de tres entradas y dos umbrales definida por  $[w_1, w_2, w_3; T_1, T_2]$ . Como son dos los umbrales

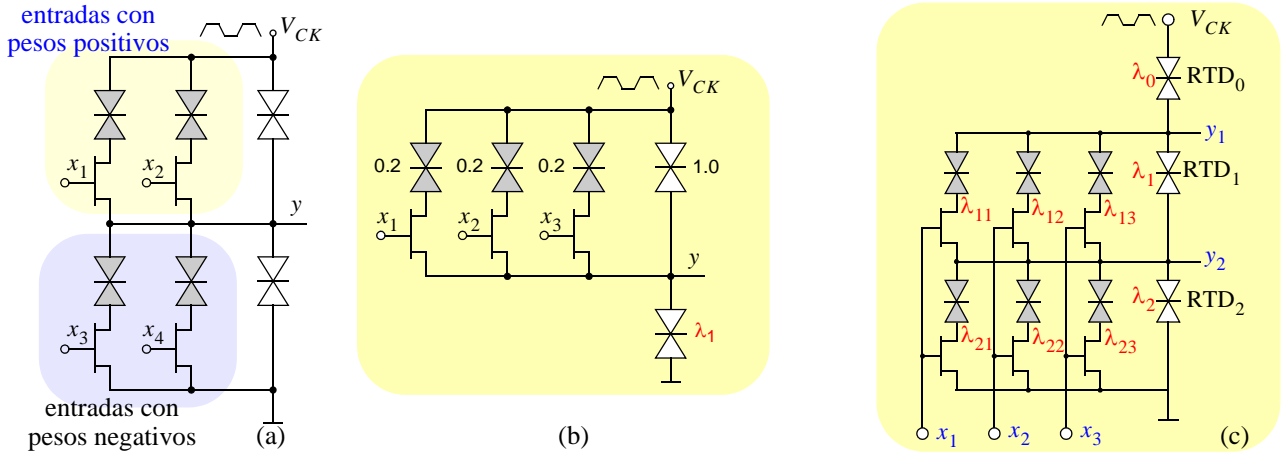


Figura 5: (a) TG MOBILE de cuatro entradas. (b) Puerta OR/MAJ/AND dependiendo del valor de  $\lambda_1$ . (c) MOBILE implementando una MTTG genérica con tres entradas y dos umbrales.

les considerados, se necesitan tres RTDs conectados en serie. Para lograr la funcionalidad deseada, en cada una de las  $2^n$  combinaciones de entrada debe conmutar un RTD específico. El RTD que conmuta es el que menor intensidad de pico presenta, dependiendo esta intensidad de los RTDs en las etapas de entrada, que contribuirán o no según la entrada que esté aplicada en cada momento. Como la densidad de corriente es la misma en todos los RTDs, la intensidad que circula por ellos depende de su área, por lo que las relaciones de intensidades se pueden expresar como relaciones de área. Por tanto, para cada combinación de entrada podemos establecer, en función de qué RTD conmuta, las relaciones de área que deben verificarse para ello. La Figura 7 muestra la capacidad de la estructura para implementar una determinada MTTG de dos umbrales. La función que se ha elegido es  $f(x_1, x_2, x_3) = x_1 \oplus x_2 x_3$ , que puede expresarse como la MTTG [2, 1, 1; 2, 4]. La tabla en dicha figura muestra la función lógica de salida, el RTD que debe conmutar con cada combinación de entrada para obtener la funcionalidad deseada y las relaciones entre áreas a que ello da lugar. Para esta columna hemos supuesto que  $\lambda_{12} = \lambda_{13} = \alpha_1$ ,  $\lambda_{22} = \lambda_{23} = \alpha_2$ ,  $\lambda_{11} = 2\alpha_1$ , y  $\lambda_{21} = 2\alpha_2$ , dada la simetría de las variables. Así, sólo cinco áreas diferentes deben considerarse: las de los RTD $_i$ , ( $\lambda_i$ ,  $i = 0, 1, 2$ ), las de los RTDs de las etapas de entrada ( $\alpha_1$  y  $\alpha_2$ ). Así, a la combinación de entrada (101) le corresponde una salida 1, y el RTD que debe conmutar es RTD $_2$ . La intensidades de pico por RTD $_0$ , RTD $_1$  y RTD $_2$  son proporcionales a  $\lambda_0$ ,  $\lambda_1 + 3\alpha_1$  y  $\lambda_2 + 3\alpha_2$  respectivamente, por lo que las relaciones de área que se deben verificar son:  $\lambda_2 + 3\alpha_2 < \lambda_0$  y  $\lambda_2 + 3\alpha_2 < \lambda_1 + 3\alpha_1$ ; para el caso de la combinación (111), la salida debe ser 0, y RTD $_0$  es el RTD que conmuta. Las rela-

ciones de área a verificar son ahora:  $\lambda_0 < \lambda_1 + 4\alpha_1$  y  $\lambda_0 < \lambda_2 + 4\alpha_2$ . En la tabla de la Figura 7 se detallan todas las relaciones de área necesarias. El conjunto de desigualdades puede ser fácilmente resuelto [5] y una solución con  $\{\lambda_0 = 2.2, \lambda_1 = 0.9, \lambda_2 = 1.2\}$  y  $\{\alpha_1 = 0.5, \alpha_2 = 0.3\}$  ha sido seleccionada para asegurar, en lo posible, un diseño robusto teniendo en cuenta variaciones en la fabricación de los circuitos. La Figura 7b muestra los resultados de simulación para este circuito<sup>1</sup>, donde se puede operación correcta para cada combinación de entrada. Las prestaciones se han validado mediante simulaciones de Montecarlo para una cadena estas puertas, donde se han supuesto variaciones simultáneas en las áreas y tensiones de pico de los RTDs, en la tensión umbral y en el área de los transistores, y en  $V_{CK}$ .

## 5. CAPACIDAD FUNCIONAL DE LA CONEXIÓN SERIE DE RTDs

Asimismo, nos hemos preguntado por la capacidad funcional de la topología mostrada en la Figura 5c cuando el número de entradas se extiende a  $n$ . En esta estructura hay tres RTDs en serie y, por tanto, dos nudos intermedios (los nudos  $y_1$  e  $y_2$  en la Figura 5c). Dado que hay tres RTDs en serie, con esta estructura se pueden realizar funciones que presentan dos umbrales,  $T_1$  y  $T_2$ . Por otro lado, la secuencia de conmutación no puede ser cualquiera: para la funcionalidad entre  $T_1$  y  $T_2$ , sólo puede conmutar RTD $_2$ ; hasta  $T_1$  puede hacerlo RTD $_0$  o RTD $_1$ , y a partir de  $T_2$ , RTD $_1$  o RTD $_0$  (Figura 6a).

1. Los valores para los RTDs y HFETs han sido tomados de los resultados del Proyecto europeo LOCOM [14].

Un factor de área de 1 corresponde a un RTD de área  $10\mu\text{m}^2$ .

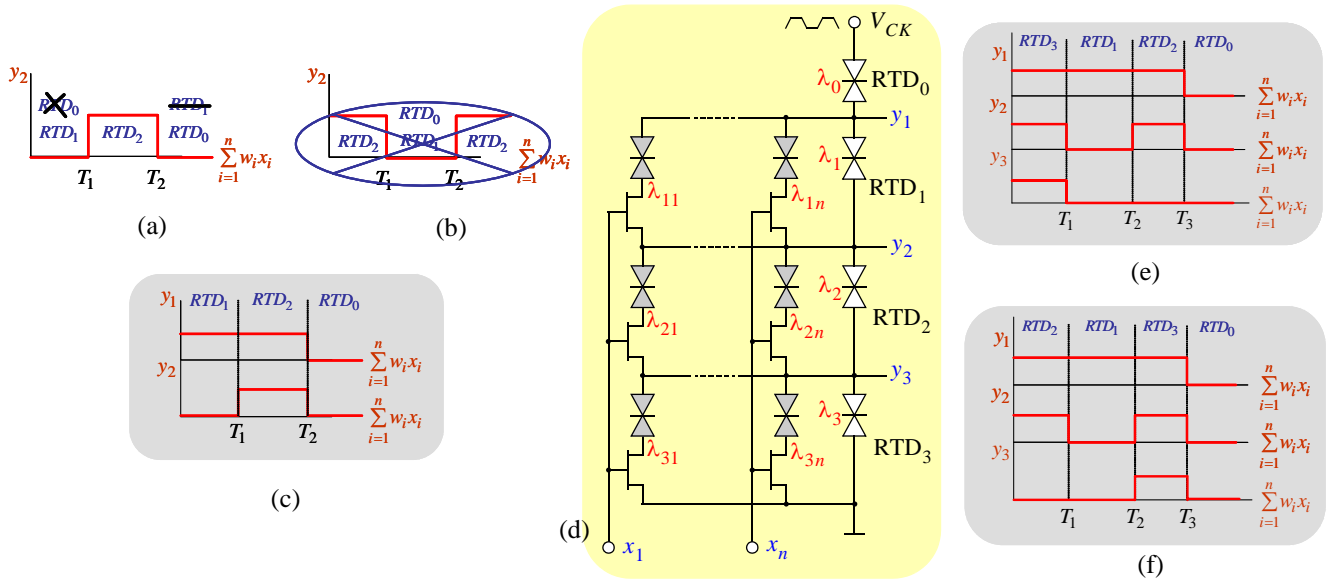


Figura 6: (a) Secuencias de conmutación posibles, (b) funcionalidad imposible de lograr con la estructura en Figura 5c, (c) funcionalidad en los nudos  $y_1$  e  $y_2$ , (d) MOBILE implementando una MTTG genérica con  $n$  entradas y tres umbrales, (e) funcionalidad en los nudos  $y_1$ ,  $y_2$  e  $y_3$  (secuencia  $RTD_3 \rightarrow RTD_1 \rightarrow RTD_2 \rightarrow RTD_0$ ), (f) funcionalidad en los nudos  $y_1$ ,  $y_2$  e  $y_3$  (secuencia  $RTD_2 \rightarrow RTD_1 \rightarrow RTD_3 \rightarrow RTD_0$ ).

La primera opción,  $RTD_0 \rightarrow RTD_2 \rightarrow RTD_1$  no es posible ya que si  $RTD_0$  conmuta antes es porque presenta la menor intensidad de pico para todas las entradas a 0. Con alguna de las entradas a 1,  $RTD_1$  no puede presentar la menor intensidad de pico, con lo que no podría conmutar en la tercera zona. Este es el motivo también por el que una funcionalidad como la mostrada en la Figura 6b no sea posible. Como la única secuencia de conmutación correcta es la mostrada en la figura ( $RTD_1 \rightarrow RTD_2 \rightarrow RTD_0$ ), el análisis de lo que ocurre en el nudo  $y_1$  es inmediato: implementa una puerta umbral. En consecuencia, tenemos que en  $y_2$  se implementa una puerta multiumbral con umbrales en  $T_1$  y  $T_2$ , y en  $y_1$ , una umbral con umbral en  $T_2$  (Figura 6c). Así, esta estructura puede servir para la implementación simultánea de funciones. Respecto a las funciones realizadas en los nudos  $y_1$  e  $y_2$ , hay dominancia entre ellas,  $y_1 \geq y_2$ .

Puertas multiumbral con tres umbrales pueden obtenerse con la conexión en serie de cuatro RTDs. La Figura 6d muestra una estructura MOBILE implementando una MTTG genérica con  $n$  entradas y tres umbrales. Ahora hay tres nudos intermedios en los que se realizan funcionalidades diferentes y dos posibles secuencias de conmutación. En el nudo  $y_2$  se realiza la función multiumbral, en  $y_1$  una función umbral cuyo umbral está en  $T_3$ , y en  $y_3$ , una función umbral con umbral en  $T_1$  (secuencia  $RTD_3 \rightarrow RTD_1 \rightarrow RTD_2 \rightarrow RTD_0$ ), o una multiumbral con umbrales

en  $T_2$  y  $T_3$  (secuencia  $RTD_2 \rightarrow RTD_1 \rightarrow RTD_3 \rightarrow RTD_0$ ). En cualquier caso, hay dominancia en las funciones realizadas en los nudos  $y_1$ ,  $y_2$ , e  $y_3$ ,  $y_1 \geq y_2 \geq y_3$ .

Respecto al número de funciones que se pueden realizar con la estructura de la Figura 5c, para el caso de dos entradas, la única funcionalidad que no puede realizarse con la topología propuesta es la EXNOR. En el caso de tres entradas, 143 de las 256 funciones posibles pueden implementarse con la estructura propuesta de tres RTDs conectados en serie. Esto significa 39 funciones más que con una estructura con dos RTDs en serie. Para la topología de la Figura 6d, se podrían implementar las 16 funciones de dos entradas y 213 de las 256 funciones de tres entradas.

Como ya se ha dicho anteriormente, las estructuras analizadas permiten utilizar los nudos intermedios en la conexión serie de RTDs para implementar funciones diferentes, lo que es muy interesante desde el punto de vista de la reducción de complejidad en diseños lógicos [12]. La Figura 8a muestra un ejemplo de topología en la que se está implementando simultáneamente las funciones NAND (en el nudo  $z$ ) y EXOR (en el nudo  $y$ ), como se indica en la tabla de dicha figura. La Figura 8c muestra la simulación de la operación del circuito, donde puede observarse una operación correcta.

Finalmente, las estructuras con RTDs en serie se han mostrado especialmente útiles para la implementación de puertas programables [13], [15], [16].

### 6. CONCLUSIONES

En este artículo se han analizado las posibilidades que presentan los RTDs para implementar lógica umbral y multiumbral. Se han propuesto topologías para la

implementación de puertas multiumbral de dos y tres umbrales, y se ha estudiado su capacidad para implementarlas. Se ha validado su funcionamiento mediante simulaciones con HSPICE a partir de los modelos de RTDs y transistores desarrollados en el proyecto europeo LOCOM. Finalmente, se ha visto la posibilidad de incrementar la funcionalidad de dichas topologías mediante el uso de nudos intermedios..

$x_1$	$x_2 x_3$	$y$	RTD quenched	Relaciones de área
0	0	0	RTD <sub>1</sub>	$\begin{cases} \lambda_1 < \lambda_0 \\ \lambda_1 < \lambda_2 \end{cases}$
0	1	0	RTD <sub>1</sub>	$\begin{cases} \lambda_1 + \alpha_1 < \lambda_0 \\ \lambda_1 + \alpha_1 < \lambda_2 + \alpha_2 \end{cases}$
0	2	1	RTD <sub>2</sub>	$\begin{cases} \lambda_2 + 2\alpha_2 < \lambda_0 \\ \lambda_2 + 2\alpha_2 < \lambda_1 + 2\alpha_1 \end{cases}$
1	0	1	RTD <sub>2</sub>	$\begin{cases} \lambda_2 + 2\alpha_2 < \lambda_0 \\ \lambda_2 + 2\alpha_2 < \lambda_1 + 2\alpha_1 \end{cases}$
1	1	1	RTD <sub>2</sub>	$\begin{cases} \lambda_2 + 3\alpha_2 < \lambda_0 \\ \lambda_2 + 3\alpha_2 < \lambda_1 + 3\alpha_1 \end{cases}$
1	2	0	RTD <sub>0</sub>	$\begin{cases} \lambda_0 < \lambda_1 + 4\alpha_1 \\ \lambda_0 < \lambda_2 + 4\alpha_2 \end{cases}$

$$\begin{aligned} \lambda_0 &= 2.2 & \alpha_1 &= 0.5 \\ \lambda_1 &= 0.9 & \alpha_2 &= 0.3 \\ \lambda_2 &= 1.2 & & \end{aligned}$$

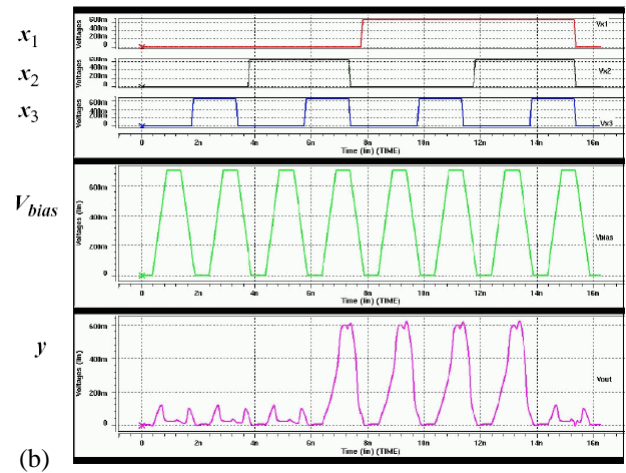


Figura 7: (a) Tabla que muestra la operación de la MTTG [2, 1, 1; 2, 4], el RTD que debe conmutar y las relaciones de área que deben cumplirse para una correcta operación. (b) Resultados de simulación.

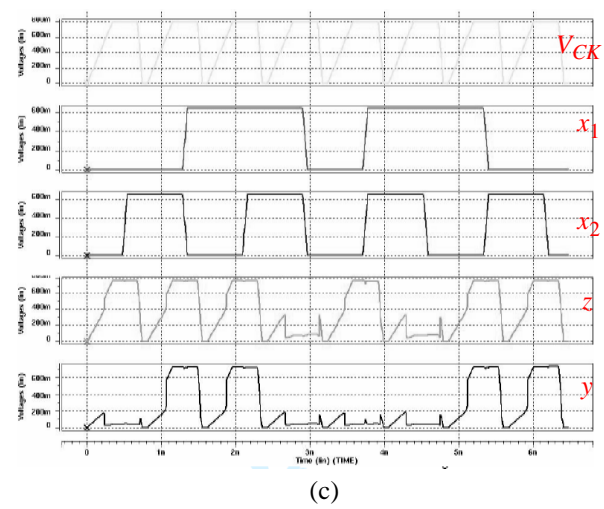
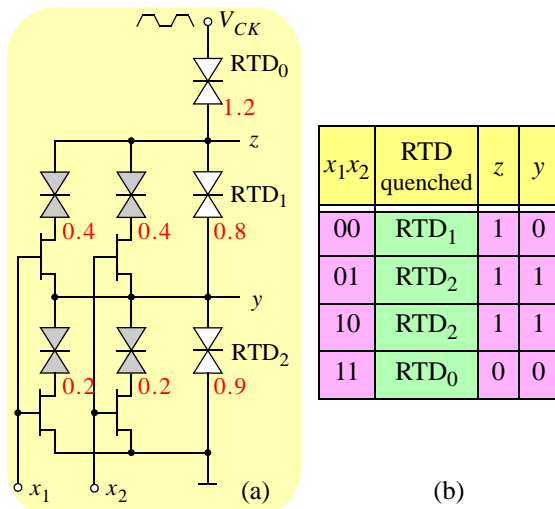


Figura 8: Bloque universal de dos entradas, (a) circuito, (b) funcionalidad, (b) resultados de simulación.



## 7. REFERENCIAS

- [1] M.J. Avedillo, J.M. Quintana, and J.L. Huertas: "Beyond Threshold Logic: Multi-threshold Threshold Gates", *11<sup>th</sup> MEL-ARI/NID Workshop*, Toulouse (France), 2003.
- [2] M.J. Avedillo, J.M. Quintana, H. Pettenghi, *et al.*, "Multi-threshold Threshold Logic Circuit Design Using Resonant Tunneling Devices", *Electronics Letters*, Vol. 39, pp. 1502-1504, 2003.
- [3] M.J. Avedillo and J.M. Quintana: "A Threshold Logic Synthesis Tool for RTD Circuits", *EUROMICRO Symp. on Digital System Design*, (DSD'04), pp. 624-627, 2004.
- [4] V. Beiu, J.M. Quintana, and M.J. Avedillo: "VLSI implementation of Threshold Logic: A Survey", *IEEE Trans. on Neural Networks, Special Issue on "Hardware Implementations"*, Vol. 14, No. 5, pp. 1217-1243, Sept. 2003.
- [5] M. Berkelaar, "Linear Programming Solver", <http://www.cs.sunysb.edu/~algorithm/implement/lpsolve/implementation.shtml>.
- [6] K.J. Chen, K. Maezawa and M. Yamamoto, "InP-Based High Performance Monostable-Bistable Transition Logic Elements (MOBILEs) Using Integrated Multiple-Input Resonant-Tunneling Devices", *IEEE Electron Device Letters*, Vol. 17, no. 3, pp. 127-129, March 1996.
- [7] K.J. Chen, *et al.*, "An exclusive-OR logic circuit based on controlled quenching of series-connected negative differential resistance devices", *IEEE Electron Device Lett.*, 1996, 17, (6), pp. 309-311.
- [8] D.R. Haring, "Multi-Threshold Threshold Elements", *IEEE Trans. on Electronic Computers*, Vol. EC-15, no. 1, pp. 45-65, Feb. 1966.
- [9] K. Maezawa, T. Akeyoshi, and T. Mizutani, "Functions and applications of monostable-bistable transition logic elements (MOBILEs) having multiple-input terminals", *IEEE Trans. Electron Devices*, vol. 41, pp. 148-154, Jan. 1994.
- [10] P. Mazumder, S. Kulkarni, M. Bhattacharya, J.-P. Sun, and G.I. Haddad, "Digital circuit applications of resonant tunneling devices", *Proc. IEEE*, vol. 86, pp. 664-686, Apr. 1998.
- [11] C. Pacha *et al.*, "Threshold Logic Circuit Design of Parallel Adders Using Resonant Tunneling Devices", *IEEE Trans. on VLSI Systems*, Vol. 8, no. 5, pp. 558-572, Oct. 2000.
- [12] H. Pettenghi, M.J. Avedillo, and J.M. Quintana: "Useful Logic Blocks Based on Clocked Series-Connected RTDs", *4th IEEE Conf. on Nanotechnology*, (Nano'04), pp. 593-595, Munich (Germany), 2004.
- [13] H. Pettenghi, M.J. Avedillo, and J.M. Quintana: "A CAD tool for the design of RTD programmable gates based on MOBILE", *Proc. Design of Circuits and Integrated Systems Conf. (DCIS'04)*. In press.
- [14] W. Prost *et al.*: EU IST Report LOCOM no. 28 844 Dec. 2000.
- [15] J.M. Quintana, M.J. Avedillo, and H. Pettenghi: "Programmable Logic Gate Based on Resonant Tunneling Devices", *Proc. Int. Symp. on Circuits and Systems*, (ISCAS'04), pp. 697-700, Vancouver (Canada), 2004.
- [16] J.M. Quintana, M.J. Avedillo, and H. Pettenghi: "RTD-based Compact Programmable Gates", *Int. Joint Conf. on Neural Networks (IJCNN'04)*, pp. 2637-2640, Budapest (Hungary), 2004.