

# EL CHIP TUHCR: DESARROLLO DE UN CIRCUITO INTEGRADO MULTIPROYECTO

*Roberto Pereira<sup>1</sup>, Alexander Mora<sup>2</sup>, Paola Vega<sup>1,2</sup>, Renato Rímolo<sup>1</sup>*

<sup>1</sup>Instituto Tecnológico de Costa Rica, <sup>2</sup>Universidad Técnica de Hamburg-Harburg

[rpereira@ietec.org](mailto:rpereira@ietec.org), [rodrigo.mora@tu-harburg.de](mailto:rodrigo.mora@tu-harburg.de), [paola.vega@tu-harburg.de](mailto:paola.vega@tu-harburg.de), [rrimolo@itcr.ac.cr](mailto:rrimolo@itcr.ac.cr)

## RESUMEN

El chip TUHCR es un circuito integrado desarrollado como un esfuerzo conjunto de investigadores costarricenses: tres profesores del Instituto Tecnológico de Costa Rica (ITCR) y un egresado de la Universidad de Costa Rica, quienes laboran actualmente en el Departamento de Microelectrónica de la Universidad Técnica de Hamburg-Harburg (TUHH). El chip contiene prototipos de circuitos pertenecientes a tres diferentes proyectos; uno estos ha sido fruto de la cooperación académica entre el ITCR, la TUHH y la empresa Componentes Intel de Costa Rica. Contiene prototipos de circuitos optimizados con base en la aplicación de algoritmos genéticos, moduladores  $\Sigma\Delta$  para aplicaciones biomédicas y prototipos de memorias no volátiles compatibles con procesos de fabricación CMOS y sus circuitos periféricos para la calibración analógica de sistemas de identificación de radio frecuencia. El chip TUHCR fue fabricado en una tecnología CMOS de 350nm.

## 1. INTRODUCCIÓN

El objetivo de este artículo es reportar los avances de la cooperación entre el ITCR, la TUHH y la empresa Componentes Intel de Costa Rica, además de proveer información general acerca de los circuitos contenidos en el chip TUHCR.

El chip multiproyecto TUHCR es un esfuerzo conjunto de personal costarricense en la Universidad Técnica de Hamburg-Harburg (TUHH), así como un egresado de la Escuela de Ingeniería Eléctrica de la Universidad de Costa Rica.

Dicho chip contiene diversos circuitos prototipo pertenecientes a diferentes proyectos agrupados en un solo circuito integrado, siendo esta una práctica común seguida en la industria durante las primeras fases de desarrollo de un circuito integrado particular para minimizar costos de desarrollo y fabricación. Los proyectos representados incluyen prototipos de circuitos de estado sólido desarrollados para un proyecto de investigación creado en el marco de la cooperación interinstitucional entre la Escuela de Ingeniería Electrónica del Instituto Tecnológico de Costa Rica, el Departamento de Microelectrónica de la

TUHH y la empresa Componentes Intel de Costa Rica. Este proyecto nace con propósito de implementar una herramienta de software de optimización de circuitos integrados basada en algoritmos genéticos. Asimismo, se incluyen circuitos para otros dos proyectos, uno financiado por la Unión Europea para concebir un SoC (*System-on-Chip*) para aplicaciones biomédicas de alta tecnología, y el otro por el Ministerio Federal de Educación e Investigación de Alemania cuyo fin es optimizar el diseño de sistemas de identificación de radio frecuencia integrados en tecnologías CMOS.

Esta cooperación interinstitucional incluye, por parte de la TUHH, pasantías de investigación y estudios de posgrado, utilización de la infraestructura disponible en dicha universidad, asesoría por parte del personal académico, y en etapas posteriores, el intercambio de estudiantes y el desarrollo conjunto de proyectos de investigación, donde parte de los proyectos se realicen en Costa Rica (cross-site development). Por su parte, el ITCR contribuye con el apoyo financiero al investigador a través de la Vicerrectoría de Investigación y Extensión, para los rubros de manutención y asistencia a conferencias para divulgar sus resultados de investigación.

Este convenio cuenta con la participación de Componentes Intel de Costa Rica como socio industrial, aportando financiamiento para la fabricación de los circuitos integrados y para la adquisición de herramientas de diseño, así como la capacitación en el uso de las mismas y acceso a bases de datos internacionales. Como consecuencia, la Escuela de Ingeniería Electrónica se ha dotado de una plataforma de software completa para el diseño de circuitos integrados.

Estas acciones se realizan con el fin de promover la transferencia de tecnología y el desarrollo de la investigación como parte fundamental del nuevo énfasis de Doctorado en Tecnologías Electrónicas Aplicadas, que actualmente se propone dentro del programa interuniversitario de Doctorado en Ciencias Naturales para el Desarrollo, que imparten varias universidades en forma conjunta y que coordina el ITCR.

Los resultados de investigación fruto de la pasantía realizada en la TUHH dentro del marco de esta cooperación fueron presentados por medio de un artículo científico en la conferencia ProRISC (Program for

Research on Integrated Systems and Circuits) en noviembre de 2005 en Holanda. Este evento es organizado por la Fundación Holandesa de Tecnología (STW por sus siglas en holandés). Adicionalmente, nuevos resultados serán presentados en el XII Congreso de Iberchip.

En este artículo se presentan los detalles y las aplicaciones de los circuitos contenidos en el chip TUCHR, a saber, circuitos de prueba dimensionados con el software de optimización, moduladores sigma-delta ( $\Delta\Sigma$ ) de 1-bit de baja potencia y área compacta para la conversión analógica-digital (A/D) de señales biomédicas; y celdas de memoria PMOS/NMOS junto con los circuitos de lectura, programación y verificación asociados para ser incorporados en etiquetas de identificación de radio frecuencia.

## 2. OPTIMIZACIÓN MULTI-OBJETIVO DE CIRCUITOS UTILIZANDO ALGORITMOS GENÉTICOS.

El rendimiento de los circuitos electrónicos integrados (CIs), entre ellos amplificadores operacionales y diversos tipos de circuitos lógicos, depende de parámetros geométricos y del punto de operación del circuito. En el caso de los circuitos CMOS, la tecnología dominante desde hace años en el diseño de CIs, estos parámetros los constituyen el ancho y largo de los transistores, el voltaje de alimentación y el nivel de corriente con el que se esté polarizando un circuito determinado. Solamente en el caso de los circuitos más simples se tienen ecuaciones que describan completamente el comportamiento de ellos. Por otra parte, el diseñador de CIs se enfrenta al dilema de si un circuito es muy rápido su consumo de energía puede resultar muy elevado o quizás que el área ocupada por el circuito es muy grande, encareciendo su integración. Esto plantea un reto, pues el encontrar óptimos de diseño implica múltiples objetivos que compiten entre sí, dando lugar a lo que se conoce como un problema de optimización multiobjetivo.

Para resolver esta problemática, en esta investigación se ha implementado una estrategia de optimización automatizada, esto es, una herramienta EDA (Electronic Design Automation) con base en un algoritmo genético para realizar la exploración y búsqueda en el espacio de parámetros de un circuito.

### 2.1 Arquitectura de la herramienta de automatización

El propósito de nuestra herramienta es generar gráficas que determinen la relación entre las diferentes métricas de un circuito, así como las parametrizaciones de circuito que dieron origen a tales métricas. Dichas gráficas se conocen como frentes o diagramas de Pareto, en honor al economista italiano que las propuso en sus estudios de teoría económica. La información contenida en la gráfica

de Pareto es útil para que el diseñador del circuito pueda encontrar el punto de operación deseado, de acuerdo con las

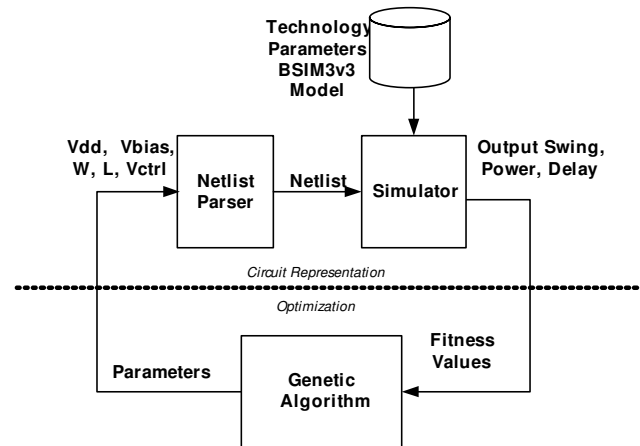


Fig. 1. Arquitectura del optimizador genético de circuitos. Para la optimización, tanto los parámetros como los valores de fitness son simples números reales. Para la representación del circuito, estos valores son variables geométricas y físicas.

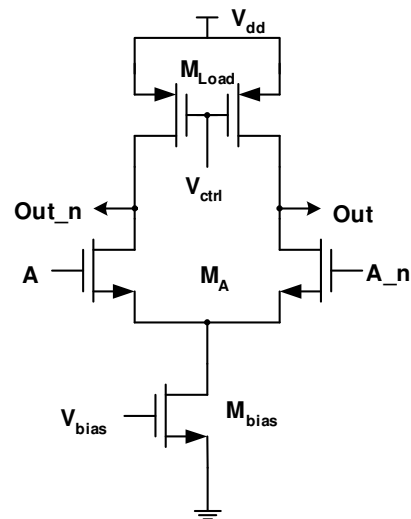


Fig. 2. Un inversor/buffer en MCML. Los transistores correspondientes del par diferencial y de las cargas activas poseen idénticas dimensiones, de ahí su referencia como "Mbias" y "MLoad".

restricciones de, por ejemplo, potencia, energía y velocidad que deba respetar. La Figura 1 muestra la arquitectura utilizada en la implementación de esta herramienta.

En la versión actual de la herramienta, un "netlist" tipo Spice describe el circuito por optimizar, y éste se analiza con el simulador Spectre™, donde se calculan las métricas del diseño definidas por el usuario, comúnmente llamadas valores de fitness. Asimismo, la función de optimización la lleva a cabo el algoritmo genético, haciendo uso de la LTI-LIB [1], una biblioteca de código abierto que inicialmente

ha sido concebida y utilizada en investigaciones sobre procesamiento digital de imágenes [2]. Este enfoque permite separar la funcionalidad de nuestra solución al problema en dos niveles de abstracción independientes: uno para representar el circuito y otro para su optimización, según se ilustra en Fig. 1 con la línea punteada entre ambos procesos.

## 2.2 Circuito de aplicación

Debido a la separación de los procesos de representación y optimización, nuestra estrategia puede aplicarse a prácticamente cualquier tipo de circuito. Sin embargo, como una primera aplicación se han escogido los circuitos de lógica en modo de corriente (MCML por sus siglas en inglés), por razones que serán explicadas enseguida. La Figura 2 muestra un esquema del circuito lógico más fundamental, el inversor [3].

Los circuitos MCML poseen tres componentes: transistores PMOS utilizados como cargas activas, uno o más pares diferenciales dependiendo del número de entradas lógicas y una fuente de corriente constante, controlada por la tensión  $V_{bias}$ . Todas sus entradas y salidas lógicas son diferenciales. La operación del circuito se basa en desviar la corriente generada por el transistor  $M_{bias}$  hacia alguna de las dos ramas del circuito, dependiendo de la entrada diferencial. Esta corriente provoca una caída de voltaje resistiva en la carga activa de la rama que esté conduciendo, mientras que en la rama que no conduce, el voltaje de salida se eleva hasta  $V_{dd}$ , produciéndose así salidas complementadas.

Para una única compuerta lógica, el retardo  $D$  y el consumo de potencia  $P$  están dados por [3]:

$$D_{MCML} = C(\Delta V / I) \quad (1)$$

$$P_{MCML} = I \times V_{dd} \quad (2)$$

donde  $C$  es la capacitancia de carga,  $I$  es la corriente que genera  $M_{bias}$  y  $\Delta V$  es la excursión del voltaje de salida. La ecuación (1) indica que el retardo de propagación se puede reducir si se disminuye la excursión de salida, la capacitancia de carga o incrementando la corriente de polarización. Sin embargo, de (2) se observa que incrementar esta corriente directamente impacta el consumo de potencia.

Si el circuito mostrado en Fig. 2 opera en el punto medio de la excursión de salida, la corriente en ambas ramas es igual a  $I/2$ , ambos transistores en el par diferencial están en saturación y sus corrientes se pueden expresar como [4]:

$$I/2 = \frac{\mu_0 C_{ox} (W/L)_A}{2} \times \frac{(V_{GSA} - V_t)^2}{1 + (U_d + \frac{V_{GSA} - V_t}{E_c L})} \quad (3)$$

donde  $U_d$  es el coeficiente de degradación de la movilidad,  $E_c$  es el campo eléctrico crítico para saturación de velocidad,  $\mu_0$  la permeabilidad del vacío,  $C_{ox}$  la capacitancia del óxido en la compuerta del transistor,  $V_t$  el voltaje umbral,  $(W/L)_A$  la razón entre el ancho y el largo del transistor  $M_A$ , y  $V_{GSA}$  es el voltaje gate-source, también del transistor  $M_A$ . Por otra parte, en el ejemplo de la Fig. 2, nueve parámetros de circuito pueden variarse, a saber:  $(W/L)$  para  $M_{bias}$ ,  $M_a$  y  $M_{Load}$ , además de  $V_{dd}$ ,  $V_{ctrl}$  y  $V_{bias}$ . Tantos grados de libertad e interdependencia entre sus métricas de diseño, hacen de los circuitos MCML un caso ideal para su optimización utilizando algoritmos genéticos.

El chip TUHCR incluye circuitos como el mostrado en Fig. 2, de manera que sea posible verificar experimentalmente el resultado generado por nuestra estrategia de optimización.

## 3. MODULADORES $\Delta\Sigma$ DE BAJA POTENCIA Y ÁREA REDUCIDA PARA CONVERSIÓN A/D

Los moduladores  $\Delta\Sigma$  para conversión A/D se utilizan ampliamente en aplicaciones de alta resolución debido a que relajan los requerimientos de los filtros anti-aliasing y, principalmente, a que poseen una alta tolerancia a las imperfecciones de su circuitería [5], que en otros convertidores, como por ejemplo, los flash y los de aproximación sucesiva, son las que imponen un límite superior al número de bits que se puede obtener. Estas ventajas se logran al combinarse los efectos de sobremuestreo (*oversampling*) y de conformado del ruido de cuantización (*noise-shaping*) en el modulador. El primero se realiza de manera simple al incrementar la frecuencia de muestreo  $F_s$  con respecto a la frecuencia de Nyquist, igual a  $2 \cdot F_o$ , siendo  $F_o$  el ancho de banda de la señal de interés; mientras que el segundo efecto se realiza al colocar lazos de realimentación con integradores alrededor del cuantizador, los cuales se encargan de darle forma al espectro de potencia del ruido de cuantización, moviéndolo a altas frecuencias, y, por lo tanto, reduciendo su contribución en el ancho de banda de la señal. El ruido desplazado a altas frecuencias se remueve posteriormente mediante técnicas de filtrado y decimación digitales. En consecuencia, una mejora en la resolución igual a 0.5 bits, 1.5 bits, o 2.5 bits, se obtiene cada vez que  $F_s$  se duplica, si el cuantizador hace uso de *oversampling*, de modulación de 1<sup>er</sup>-orden, o de 2<sup>do</sup>-orden, respectivamente. En general, un modulador  $\Delta\Sigma$  de orden  $L$  provee  $L+0.5$  bits extra de resolución cada vez que  $F_s$  se aumenta en un factor de 2. Así por ejemplo, resoluciones de 16-bits o mayores pueden obtenerse con un modulador de 2<sup>do</sup>-orden con un cuantizador de 1-bit. Para ilustrar el efecto de *noise-shaping*, el modulador de 1-bit visto en la Fig. 3a se ha simulado en Matlab/Simulink y el espectro de frecuencia de la salida se muestra en la Fig. 3b para una señal de prueba senoidal.

Comúnmente, los moduladores  $\Delta\Sigma$  se diseñan a partir de integradores basados en circuitos de capacitores conmutados, cuya función de transferencia en el dominio del tiempo discreto viene dada en un caso ideal por

$$H(z) = \frac{k \cdot z^{-1}}{1 - z^{-1}} \quad (4)$$

En la Fig. 4 se detalla el esquemático de un integrador de capacitores conmutados (*SCI*) insensible a capacitancias parásitas. La razón entre el capacitor  $C_s$  y  $C_f$  define el factor  $k$  en (4). Los interruptores, implementados a partir de transistores NMOS y PMOS, se manipulan con los relojes no traslapados  $\phi_1$  y  $\phi_2$ , los cuales se encargan de controlar el muestreo de la señal de entrada y la acumulación de carga en el capacitor de realimentación, respectivamente. En un modulador tradicional de orden  $L$  de 1-bit se ha de encontrar una cadena de  $L$  integradores con retroalimentación distribuida [6]. Por lo tanto, el consumo de potencia estática estará definido por los  $L$  amplificadores operacionales (*opamps*) hallados en la cadena.

Puesto que en un *SoC* se integran variados subsistemas en un mismo chip para la adquisición y procesamiento de señales biomédicas, es necesario que cada uno de ellos ocupe poca área de silicio y consuma poca potencia; de otra forma el *SoC* tendría un tamaño poco atractivo desde el punto de vista de costos y de rendimiento del producto, y/o dispararía mucha potencia, haciéndolo impráctico en aplicaciones móviles operadas con energía proveniente de una batería. Por esta razón, moduladores  $\Delta\Sigma$  que emplean un único *opamp* se han propuesto en [7] para utilizarse en aplicaciones biomédicas de bajo consumo de potencia. Además, por haber sólo un *opamp*, también se ahorra área.

En el chip TUHCR se han colocado prototipos de los moduladores tratados en [7]. Estos se valen de técnicas de multiplexado en el tiempo del *opamp* que permiten ejecutar de manera concurrente las operaciones de muestreo e integración necesarias para efectuar modulación  $\Delta\Sigma$  de 2<sup>do</sup>- y 3<sup>er</sup>-orden. En la Fig. 5 se muestra el diagrama esquemático de un *SCI* de dos entradas que ejecuta concurrentemente las tareas de muestreo e integración. Se puede demostrar que este circuito calcula por un lado una integración doble a la entrada  $V_1$ , y por el otro, una integración doble junto con una simple a la entrada  $V_2$ ; operaciones que realiza precisamente en un modulador  $\Delta\Sigma$  tradicional de 2<sup>do</sup>-orden a sus señales de entrada y de retroalimentación, respectivamente. Por consiguiente, este *SCI* de dos entradas se utiliza en el chip TUHCR para obtener el modulador de un sólo *opamp* de 2<sup>do</sup>-orden. También se puede demostrar que este concepto se puede extender a órdenes mayores.

Comparado con el circuito de un sólo *opamp* reportado en [8], el modulador equivalente que tiene el TUHCR ofrece menos interruptores y capacitores, así como un esquema de relojes más sencillo, lo cual lo hace más robusto.

Comparado con un modulador tradicional de 2<sup>do</sup>-orden, se estima que ahorre aproximadamente un 50% de potencia y un 40% del espacio. Por otra parte, el modulador de 3<sup>er</sup>-orden del chip TUHCR se estima que ahorre un 25% de potencia y un 50% del espacio comparado con una arquitectura tradicional. Son estas características las que hacen de los moduladores propuestos opciones atractivas para ser empleadas en el diseño de *SoC* de baja potencia.

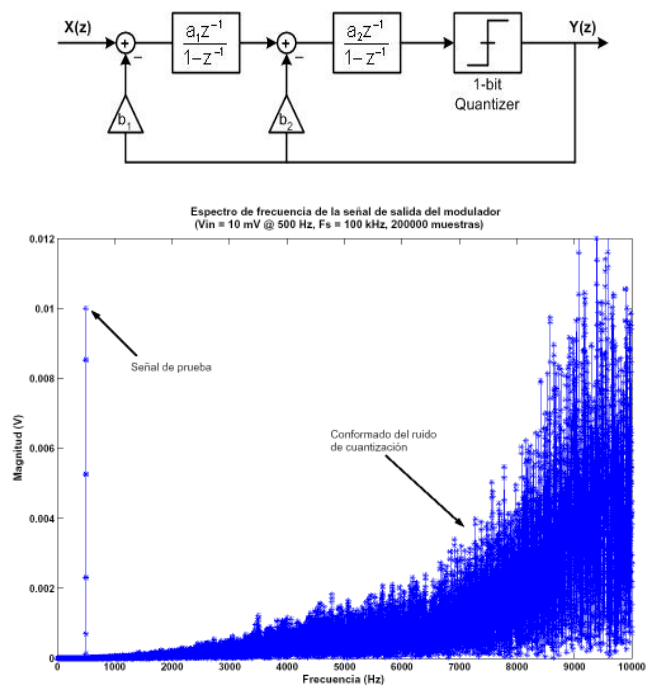


Fig. 3. (a) Diagrama de bloques de un modulador  $\Delta\Sigma$  de 2do-orden, simulado en Matlab/Simulink con  $a_1 = 0.50$ ,  $a_2 = 0.25$ ,  $b_1 = b_2 = 1$ ; (b) espectro de frecuencia de la señal de salida, para una señal de prueba senoidal de 10 mV a 500 Hz muestreada a 100 kHz.

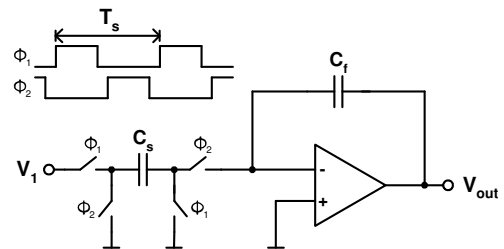


Fig. 4. Circuito integrador de capacitores conmutados insensible a capacitancias parásitas.

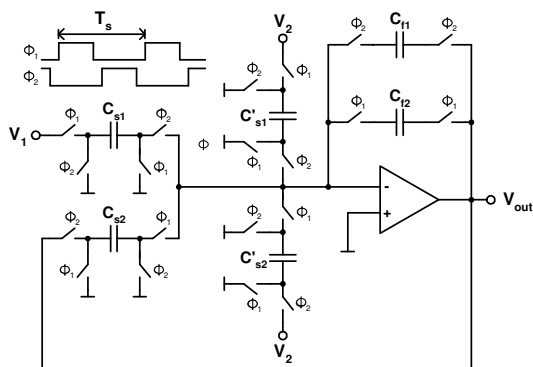


Fig. 5. Circuito integrador de dos entradas con ejecución concurrente de muestreo e integración usado en un modulador  $\Delta\Sigma$  de 2<sup>do</sup>-orden de un sólo *opamp* (se muestra la topología de terminación simple por motivos de sencillez, la implementación real consiste de una topología totalmente diferencial).

#### 4. MEMORIAS NO VOLÁTILES COMPATIBLES CON PROCESOS DE FABRICACIÓN CMOS

Las memorias no volátiles convencionales (EEPROM, EPROM, OTP, MTP) consisten en un transistor MOS con dos niveles de polisilicio. El primer nivel, junto con el primer óxido, forma la compuerta del transistor MOS convencional, mientras que el segundo nivel de óxido y el segundo nivel de polisilicio forman una compuerta de control. Existen, por supuesto, variantes de estas celdas en cuanto al uso de diferentes materiales y estructuras. Sin embargo, todos estos conceptos implican la modificación del proceso de fabricación para lograr las características y estructuras especiales para la implementación de las celdas. Esta modificación del proceso conlleva a costos de fabricación más elevados.

Para la integración de sistemas en chip (SoC), es de gran utilidad contar con una celda de memoria no volátil que sea compatible con procesos de fabricación CMOS estándar, es decir, memorias que puedan integrarse sin necesidad de modificar el proceso de fabricación. Esto reduciría costos de fabricación y a la vez facilitaría la integración de la memoria y el resto de los circuitos en un solo chip. Como ejemplo, el costo del área de un circuito integrado fabricado con tecnología de 350nm puede reducirse en 28% al integrar la memoria no volátil utilizando un proceso CMOS estándar en vez de un proceso para fabricar EEPROMs convencionales [9]. Para lograr esto existen varias condiciones: el segundo nivel de polisilicio debe eliminarse, no pueden utilizarse materiales que no se encuentren dentro del proceso de fabricación y más importante aún, el proceso de fabricación no debe alterarse de ninguna manera. Un requisito adicional consiste en el uso de estructuras ya existentes en el proceso de fabricación, de manera que no se requiera desarrollar

nuevos elementos dentro de la biblioteca de dispositivos disponibles en la tecnología.

Además de los requisitos mencionados anteriormente, la celda compatible con procesos CMOS debe cumplir, en la medida de lo posible, los requisitos estándar de las memorias convencionales en cuanto a retención de datos, consumo mínimo de área, número de ciclos de programación y borrado, bajo voltaje, bajo consumo de potencia y tiempos de programación y borrado cortos.

Las memorias compatibles con procesos CMOS se diseñan bajo la premisa de reducir del costo de integración. Por este motivo, su principal aplicación es en circuitos integrados que requieren pequeñas memorias y muy bajo costo, tales como tarjetas y etiquetas inteligentes (smart cards y smart labels), identificación de obleas, productos

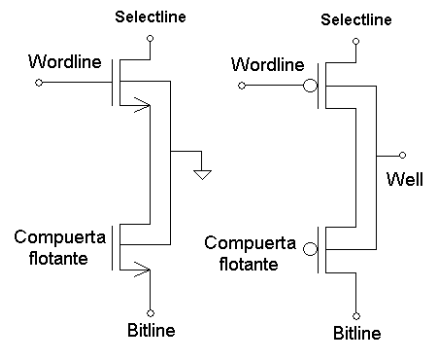


Fig. 6. Esquemático de las celdas compatibles con procesos de fabricación CMOS a) NMOS, b) PMOS.

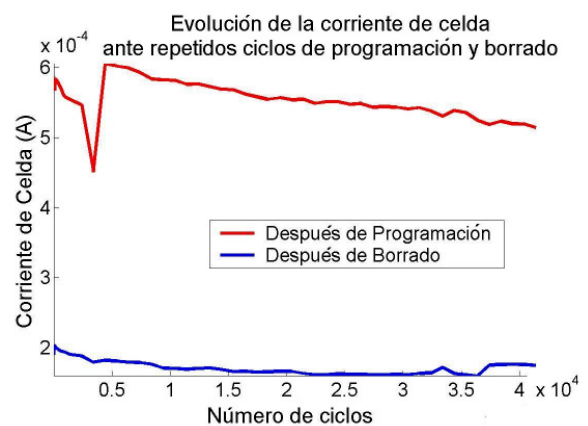


Fig. 7. Desempeño de la celda NMOS durante el proceso de programación y borrado. Los transistores de la celda tienen las dimensiones  $W=10\mu\text{m}$ ,  $L=0.35\mu\text{m}$ .

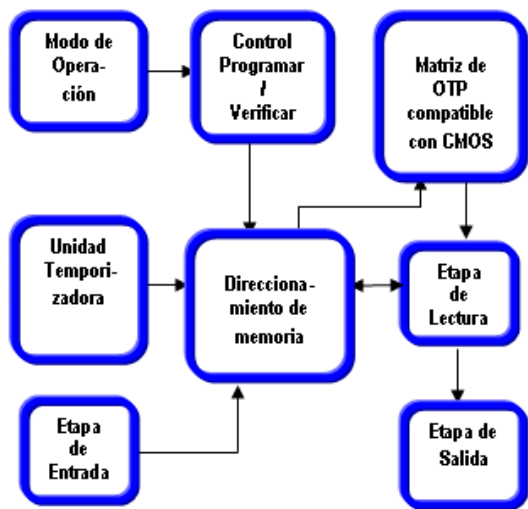


Figure 8. Diagrama de bloques del sistema de memoria diseñado.

comerciales configurables y calibración analógica, almacenamiento de datos y código en pequeñas memorias, entre otros. El tamaño de la memoria para estas aplicaciones varía entre unos cuantos bits y algunos kilobits, por ejemplo, 2kbit en aplicaciones de tarjetas y etiquetas inteligentes.

La Figura 6 presenta el esquemático de las celdas prototipo. Esta consiste en un transistor de acceso y un transistor de memoria, cuya compuerta se deja sin conectar, creando por lo tanto una compuerta flotante. Las celdas pueden fabricarse utilizando transistores PMOS o NMOS. Las celdas PMOS pueden utilizarse como EPROM u OTP (one-time programmable memory), mientras que las celdas NMOS pueden utilizarse como EEPROM. Las celdas se programan por medio de la inyección de portadores de carga calientes (hot carriers) en la compuerta flotante del transistor de memoria. Dichos portadores de carga modifican el voltaje de umbral del transistor de memoria, haciendo posible almacenar un bit. Para la programación de las celdas PMOS se inyectan electrones [10, 11]. En el caso de la celda NMOS, se inyectan huecos durante la programación y electrones durante el borrado [12]. La geometría de las celdas ha sido modificada para favorecer la inyección de un tipo específico de portadores de carga, ya sea huecos o electrones [10].

La Figura 7 muestra además el desempeño de una celda durante el proceso de programación y borrado, cuyos transistores tienen las dimensiones  $W=10\mu\text{m}$ ,  $L=0.35\mu\text{m}$ . En esta investigación, se ha logrado operar exitosamente celdas con dimensiones  $W=0.7\mu\text{m}$ ,  $L=0.35\mu\text{m}$ , siendo éstas las celdas compatibles con procesos CMOS más pequeñas fabricadas hasta este momento, de acuerdo con la información disponible sobre este tema.

TUHCR incluye celdas PMOS y NMOS de diferentes tamaños que permitirán determinar el área mínima de la celda que permite un adecuado compromiso entre

desempeño y consumo de área. Teóricamente, las celdas pueden alcanzar un área mínima equivalente a la de una celda EEPROM convencional de arquitectura NOR, es decir,  $8F^2$  [12], donde  $F$  representa la dimensión mínima posible en una tecnología. Estudios preliminares indican que en la práctica, y utilizando procesos de fabricación en las que las distancias mínimas en algunas partes del transistor son mayores que  $F$ , las celdas pueden alcanzar un área de  $14F^2$ .

#### 4.1 Aplicación de las celdas en el campo de la calibración analógica

TUHCR incluye un prototipo de memoria para aplicaciones de calibración analógica. El sistema diseñado incluye una memoria de 12 bits con celdas PMOS para la calibración analógica de la etapa de entrada de una etiqueta inteligente de identificación de radio frecuencia. Con ayuda de la memoria de calibración se pretende ajustar la impedancia de la etapa de entrada para lograr máxima transferencia de potencia y con ello aumentar la distancia de detección y lectura de la etiqueta inteligente.

Dicho sistema debe operar en condiciones de bajo voltaje y muy baja potencia. De acuerdo con las especificaciones, el voltaje de alimentación es de 1V (contra el voltaje nominal de 3.3V para esta tecnología) y la potencia debe ser  $20\mu\text{W}$  durante el proceso de lectura de la memoria. Además, se requiere un tiempo mínimo de  $64\mu\text{s}$  entre dos operaciones de lectura para permitir que la etapa de entrada alcance un estado estable. La lectura del contenido de la memoria debe ser secuencial, y no se cuenta con señal de reloj, por lo que el sistema debe ser autotemporizado. El prototipo opera hasta 0.95V con un consumo de potencia de  $600\text{nW}$ , superando el rendimiento del sistema presentado en la referencia [13].

La Figura 8 muestra el diagrama de bloques del sistema. La etapa de temporización genera las señales primarias de control de las cuales se derivan las señales de control para las etapas de programación y verificación, lectura y direccionamiento. La etapa de temporización cuenta con un elemento de retraso basado únicamente en transistores MOS que permite ajustar la frecuencia de operación del sistema por medio de un voltaje de control.

La etapa de programación y verificación debe incluirse para asegurar que el tiempo de programación no se exceda innecesariamente, pero a la vez debe asegurar que las celdas programadas alcancen un voltaje de umbral tal que la corriente de una celda programada sea suficientemente alta para distinguir un "0" de un "1" durante el proceso de lectura a 1V. Así, la celda se programa durante un cierto tiempo después del cual se verifica la corriente de la celda. La programación se repite hasta que se alcance el nivel de corriente necesario. El voltaje máximo utilizado para programar las celdas es de 4.5V.



## 5. CONCLUSIONES

Este artículo presentó los primeros resultados de la cooperación entre el Instituto Tecnológico de Costa Rica, la Universidad Técnica de Hamburg-Harburg y la empresa Componentes Intel de Costa Rica, así como una breve reseña de los prototipos incluidos en el circuito integrado TUHCR y las posibles aplicaciones de los mismos. Para la fabricación del circuito integrado TUHCR se utilizó un proceso CMOS de 0.35  $\mu\text{m}$ , dos niveles de polisilicio y 4 capas de metal. El producto final se muestra en la Fig. 9, la cual es una microfotografía ampliada del chip fabricado.

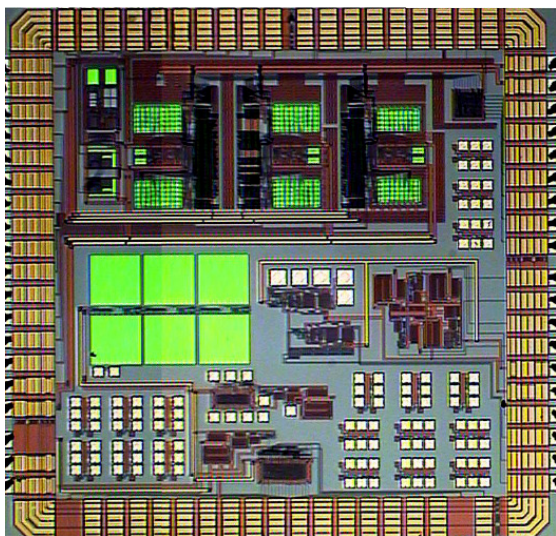


Fig. 9. Microfotografía del circuito integrado TUHCR

## 6. REFERENCIAS

[1] LTI Image Processing Library: Developer's Guide. Version 29.10.2003. <http://www.techinfo.rwth-aachen.de>  
<http://ltilib.sourceforge.net>

[2] J.P. Alvarado-Moya. Segmentation of color images for interactive 3D object retrieval. PhD thesis, Rheinisch-Westfälischen Technischen Hochschule, Aachen, July, 2004.

[3] Jason Musicer, "An Analysis of MOS Current Mode Logic for Low Power and High Performance Digital Logic," M.Sc. Thesis, Department of Electrical Engineering and Computer Sciences, University of California at Berkeley.

[4] Ayman H. Ismail, M. Sharifkhani and M.I. Elmasry. "On the Design of Low Power MCML Based Ring Oscillators" Electrical and Computer Engineering, 2004. Canadian Conference on, 2-5 May 2004 Page(s):2383 - 2386 Vol.4

[5] F. Medeiro, A. Perez-Verdu, and A. Rodriguez-Vazquez, Top-down design of high-performance sigma-delta modulators. The Netherlands: Kluwer Academic Publishers, 1999.

[6] S. R. Norsworthy, R. Schreier, and G. C. Temes, Delta-Sigma Data Converters: Theory, Design and Simulation. New York: IEEE Press, 1996.

[7] A. Mora-Sanchez, D. Schroeder, and W. H. Krautschneider, "Sigma-delta modulators of 2nd- and 3rd-order with a single operational transconductance amplifier for low-power analogue-to-digital conversion," in Proceedings of the 8th Annual PRORISC Workshop on Circuits, Systems and Signal Processing, The Netherlands, Nov. 2005.

[8] A. Q. Safarain, F. Sahandi, and S. M. Atarodi, "A new low-power sigma-delta modulator with the reduced number of opamps for speech band applications," in Proc. IEEE Int. Symp. Circuits and Syst., Bangkok, May 2003, vol. 1, pp. 1033-1036.

[9] Sources: <http://www.europractice imec.be/europractice/online-docs/prototyping/sp/protprices2005.html> (AMS process C35B4), Philips Semiconductors (0.35 $\mu\text{m}$  process)

[10] P. Vega-Castillo, Wolfgang H. Krautschneider. „Non-volatile memory cells integrable using standard CMOS fabrication processes”, Proceedings of 7th Annual Workshop on Semiconductor Advances for Future Electronics (SAFE), The Netherlands, pp. 721-725, November 25th-26th 2004.

[11] P. Vega-Castillo, Wolfgang H. Krautschneider. "Single poly PMOS-based CMOS-compatible low-voltage OTP", Proceedings of the SPIE Conference Microtechnologies for the New Millennium 2005, Sevilla, Spain, 9-11 May 2005, pp. 953-960.

[12] Lee, K. et King, Y. "New Single-poly EEPROM with Cell Size down to 8F2 for High Density Embedded Non-volatile Memory Applications", 2003 Symposium on VLSI Technology Digest of Technical Papers.

[13] P. Vega-Castillo, Wolfgang H. Krautschneider. „Low voltage, low power, self-clocked memory read/program-verify circuitry with adjustable operating frequency", Proceedings of 8th Annual Workshop on Program for Research on Integrated Systems and Circuits (PRORISC), The Netherlands, November 17th-18th 2005.