

Análisis de Distorsión Armónica Total e Implementación de un Circuito Multiplicador-Divisor CMOS Translineal

Herón Molina Lozano y Víctor Hugo Ponce Ponce

Unidad Profesional Interdisciplinaria en Ingeniería y Tecnologías Avanzadas (UPIITA), Instituto Politécnico Nacional (IPN), Departamento de Básicas de Ingeniería, Avenida IPN # 2580. Colonia Barrio La Laguna Ticomán, CP 07340, México, D. F.
México. Tel. 5729 6000 extensión 56862

hmolina@ipn.mx

RESUMEN

En este trabajo se presenta el diseño y análisis de un multiplicador-divisor analógico. Para lograr implementar ambas operaciones en un solo circuito se utilizó un circuito CMOS translineal, el cual trabaja en modo de corriente. Debido a que este circuito trabaja tanto con signo positivo, así como negativo de corriente, se implementó a un circuito basado en espejos de corriente tipo *cascode* que permite al circuito multiplicador-divisor trabajar en los cuatro cuadrantes. Se analizan las características de distorsión armónica total del circuito de forma novedosa. Se presenta también, el diseño de circuitos auxiliares que permiten la operación del circuito en cuatro cuadrantes. De manera adicional, se presenta el diseño geométrico (topológico) del multiplicador-divisor. Se muestran las pruebas eléctricas realizadas al circuito multiplicador-divisor implementado en el circuito integrado. Se presenta una comparación con circuitos multiplicadores basados en diferentes teorías eléctricas, con el propósito de determinar la capacidad del circuito CMOS *translineal*.

1. INTRODUCCIÓN

Los circuitos multiplicadores siguen siendo uno de los bloques de construcción necesarios para el diseño de circuitos electrónicos analógicos que más se utilizan. A pesar de que existen diferentes circuitos y topologías reportados en la literatura [1], se siguen presentando nuevos diseños, concebidos bajo nuevos principios. En general, los requerimientos que existen para un circuito multiplicador son: baja potencia de disipación, diseño topológico reducido, alta velocidad, alta linealidad, voltaje de alimentación bajo, señal de entrada amplia y rango dinámico de salida grande, principalmente. Sin embargo, cuando se desea mejorar alguna de estas características se debe de sacrificar alguna o varias de las otras características. Existen diferentes trabajos en donde se presentan multiplicadores que trabajan en cuatro

cuadrantes basados en la teoría de transconductancia. Lau, Lee y Ong en [2] presentan un multiplicador que trabaja en la región de *triode* fabricado en un proceso CMOS de 1.2 μ m, con una distorsión armónica total (*Total Harmonic Distortion-THD*) del 2%, trabajando a 1.6MHz y una señal de entrada de ± 2 V. Coban y Allen presentan en [3] la simulación en Pspice de un circuito multiplicador con una tecnología de 1.2 μ m operando en la región lineal. Coben y Allen mencionan que su circuito multiplicador tiene una THD menor al 0.8%, pero su rango de entrada es de solo ± 400 mV. Ramírez Angulo presenta también la simulación de un multiplicador en [4] con una señal de entrada de ± 1 V y una THD del 0.1%. En [5], Vlassis y Siskos presentan un circuito multiplicador y divisor que trabaja en cuatro cuadrantes cuyo funcionamiento está basado en dos grupos de transistores MOS apilados, en donde el primer grupo opera en saturación, y el segundo grupo trabaja en la región lineal, se comenta que el divisor de voltaje trabaja con un circuito de resistencia variable por voltaje, el circuito trabaja con una señal de entrada de ± 1 V y una THD del 0.3%. Existen otro tipo de técnicas en las que se basa el diseño de multiplicadores, por ejemplo, Iñigo Navarro, *et al.* presentan en [6] un multiplicador utilizando compuertas flotantes, este circuito trabaja en modo de corriente, con un voltaje de alimentación de ± 1 V, construido en una tecnología de 0.8 μ m, y una THD reportada en el peor de los casos del 1.4%. Dejhan, *et al.* presentan un multiplicador en [7], cuyo circuito trabaja parcialmente en saturación y parcialmente en la región lineal, esto provoca que el circuito este libre de reducción de movilidad, lo que permite una THD menor al 0.13% para una señal de entrada pico a pico de 0.8V, y una frecuencia igual a 38Mhz. En [8], Debono, Maloberti y Micallef presentan un circuito multiplicador trabajando en saturación cuyas señales de entrada son convertidas de voltaje a corriente, lo que permite que el circuito trabaje con una alimentación de 1.2V a 900Mhz. Un circuito multiplicador trabajando en la región de *sub-umbral* fue presentado por Pesavento y

Koch en [9], esto permite que el circuito tenga un consumo de $1\mu\text{W}$ con una señal de entrada de $\pm 2\text{V}$ trabajando a 10kHz , sin embargo su THD es igual al 3%. Li y Maundy presentaron un circuito multiplicador-divisor basado en el modelo de la ley cuadrática operando en la región de saturación [10]. Para realizar la operación de división fue necesario utilizar un patrón de retroalimentación y retroalimentación en modo común. El circuito fue construido utilizando una tecnología de $0.18\mu\text{m}$, trabajando con un ancho de banda igual a 19MHz , con una THD menor al 2%. Más adelante se mostrará en la tabla 3 una comparación con los multiplicadores antes mencionados y el multiplicador-divisor presentado en este trabajo. A continuación, se presentará el principio de diseño del circuito multiplicador-divisor CMOS translineal.

2. PRINCIPIO DE DISEÑO

El principio del *circuito translineal* (TL) fue formulado originalmente como un método práctico para implementar funciones de procesamiento de señales no lineales, utilizando circuitos electrónicos analógicos bipolares; este principio fue desarrollado por B. Gilbert [11]-[12]. El concepto se basa en una propiedad fundamental de los *transistores bipolares*, lo que corresponde a la *transconductancia* lineal obtenida en la corriente del *colector*. Basados en el desarrollo del principio *translineal* generalizado, Remco J. Wiegink y Evert Seevinck, que derivaron el denominado *principio translineal MOS* (MTL) [13]-[14], basándose en la ecuación del comportamiento cuadrático propuesta por Sah [15]. Un multiplicador de cuatro cuadrantes puede ser implementado utilizando el principio del cuarto cuadrante, cuya función de salida puede ser descrita por:

$$I_{out} = (I_x + I_y)^2 - (I_x - I_y)^2 = 4I_x I_y. \quad (1)$$

Donde I_{out} es la corriente de salida del multiplicador e I_x e I_y son las corrientes de entrada a ser multiplicadas. Como se observa de esta ecuación, la suma y la diferencia de las corrientes I_x e I_y debe elevarse al cuadrado, por lo que el multiplicador deberá tener una etapa que permita realizar esta operación. La ecuación que gobierna el multiplicador-divisor esta expresada por la ec. (2):

$$I_{out} = \frac{I_x \cdot I_y}{2I_B}. \quad (2)$$

Donde I_x e I_y son las corrientes de entrada del multiplicador. La corriente de polarización I_B puede ser utilizada para ajustar la ganancia del multiplicador o para

obtener una función de división. El intervalo de corriente de entrada es igual a:

$$|I_x| + |I_y| \leq 4I_B. \quad (3)$$

La fig. 1, muestra el diagrama completo del circuito multiplicador-divisor de corriente de *cuatro cuadrantes*.

3. EJEMPLO DE DISEÑO

El circuito multiplicador-divisor propuesto trabaja en modo de saturación. Cuando la región de inversión se forma bajo la compuerta, en un transistor MOS canal n , la corriente puede fluir de *drenador* a *fuentes* (si $V_D > V_S$). Para realizar un cálculo inicial de las relaciones que existen en el circuito multiplicador-divisor se utiliza el modo en saturación de los transistores. De acuerdo con [16] la corriente de saturación permanece esencialmente constante para valores grandes del voltaje de *drenador*, la cual esta dada por:

$$i_D(\text{saturación}) \cong \frac{\mu_n}{2} C_{ox} \frac{W}{L} (V_G - V_T)^2 \quad (4)$$

Para calcular el tamaño de los transistores correspondientes al multiplicador-divisor, se propone utilizar la ec. (4) para obtener el tamaño inicial, también conocida como *modelo del transistor MOS*, la cual fue propuesta por Sah (ver [5]), y que desprecia los efectos de modulación de longitud de canal. Esta ecuación sobreestima el nivel de corriente en aproximadamente un 50%, por lo que hay que realizar un ajuste, aumentando la razón de aspecto W/L , al momento de realizar simulaciones en Pspice. Si $k_n' = (\mu_n C_{ox})/2$ (*parámetro de transconductancia intrínseca*), y despejando la razón de aspecto (W/L), se tiene la siguiente ecuación:

$$\frac{W}{L} = \frac{i_d}{k_n' (V_{GS} - V_T)^2}, \quad (5)$$

Esta ecuación se utiliza para calcular la *razón de aspecto* de los transistores del multiplicador-divisor como primera aproximación. La tabla 1, muestra los parámetros que se utilizaron para calcular la razón de aspecto de los transistores MOS canal P y MOS canal N , que proceden del modelo del transistor CMOS nivel 1.

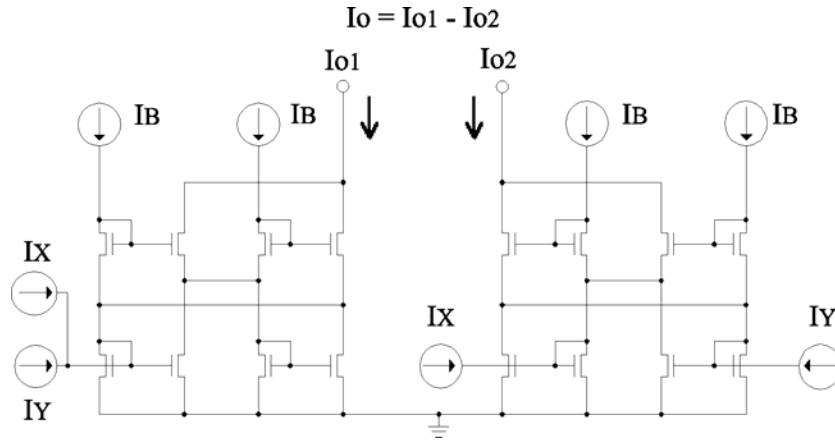


Figura 1. Multiplicador de cuatro cuadrantes completo.

| Parámetro | MOS de canal P | MOS de canal N |
|-------------------------------|------------------------|------------------------|
| μ_0 (cm ² /Vs) | 205.1 | 608.3 |
| C_{ox} (F/cm ²) | 8.625×10^{-8} | 8.625×10^{-8} |
| $ V_T $ (V) | 0.703 | 0.825 |

Tabla 1. Valores de los parámetros de movilidad, capacitancia de compuerta y voltaje de umbral del modelo de nivel 1.

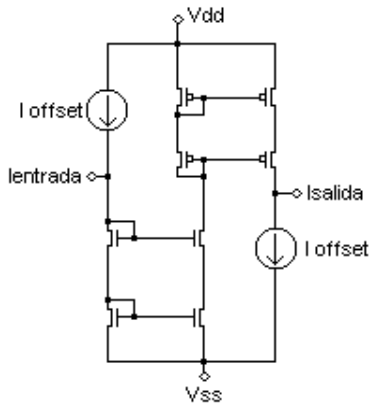


Figura 2. Corriente de *offset* que se aplica y retira de un espejo de corriente tipo *cascode*.

Así, la corriente máxima de los espejos de corriente I_X e I_Y es de $600\mu\text{A}$, mientras que la corriente máxima de los espejos de corriente para I_B es de $400\mu\text{A}$. Para realizar el cálculo de los circuitos espejos de corriente y del circuito diferencial se utiliza el mismo procedimiento que se usó para calcular el tamaño de los transistores del circuito multiplicador-divisor. En la tabla 2, se muestran el tamaño

final de los transistores utilizados. La implementación de las fuentes de corriente I_B mostradas en la fig. 1, se realizó utilizando espejos de corriente tipo *cascode* los cuales se muestran en la fig. 3, así mismo, se añadió un circuito implementado por los transistores M_{17} - M_{22} , para realizar la diferencia de las corrientes de salida I_{O1} e I_{O2} . De acuerdo con la fig. 1, el copiado de las corrientes I_X e I_Y se realizó utilizando también espejos de corriente tipo *cascode*. Los voltajes de polarización son: $V_{dd} = +5\text{V}$, y $V_{ss} = -5\text{V}$. Utilizando Pspice se realizó el análisis de frecuencia considerando los efectos capacitivos del circuito básico multiplicador-divisor, considerando que disminuye la señal -3dB , la frecuencia que se calculó fue igual a 1.0371GHz .

4. ANÁLISIS DE LINEALIDAD DEL CIRCUITO MULTIPLICADOR-DIVISOR CMOS *TRANSLINEAL*

A fin de realizar el análisis del circuito multiplicador-divisor, únicamente se hizo este análisis basado en el circuito de la fig. 1, sin incluir los circuitos espejos de corriente y el circuito de corriente diferencial que aparecen en la fig. 3. Esto es con el fin de fijar la atención en los resultados del circuito multiplicador-divisor. La corriente de salida se mide utilizando un transistor NMOS de $10/2\mu\text{m}$ (conectado como diodo) en cada salida de corriente. Con el propósito de medir la THD que presenta este circuito. El voltaje de entrada en modo común X y Y se fija para tener un rango diferencial a la entrada de $\pm 200\text{mV}$. Para la señal X se utilizó una señal rampa que va desde -100mV hasta $+100\text{mV}$, y para la señal Y se utilizó una señal variable que va desde -100mV hasta $+100\text{mV}$, con pasos de 20mV en 20mV . La *no-linealidad* es menor al 1% en todo el intervalo, considerando la limitación anterior para la corriente de entrada, de acuerdo a lo especificado por la ec. (3); esto puede verificarse por medio de la primera derivada de la señal de salida (ver fig.

4). En efecto, un cambio en la curvatura (cambio en la pendiente) indicaría un error de linealidad. La fig. 5, muestra la salida diferencial de corriente de un análisis DC para el circuito multiplicador de cuatro cuadrantes. La señal en el divisor se mantiene fija con un valor de 200mV. En la fig. 5 los niveles de voltaje más bajos se encuentran a partir de la señal horizontal, y continua creciendo hasta alcanzar un mayor ángulo. En la fig. 6 se muestra la señal de salida utilizando al circuito como divisor de corriente.

Para este caso, una de las señales se mantiene fija (señal Y) y la señal B de entrada del circuito va cambiando desde 100mV hasta 400mV con pasos de 50 mV en 50 mV. Los resultados que se obtuvieron fueron satisfactorios. Para señales menores a 100mV y mayores a 400mV el circuito comienza a ser no lineal. En la fig. 6 las señales de corriente inicial se encuentran a partir del plano horizontal y van creciendo hasta alcanzar el nivel más alto siendo la señal con un mayor ángulo.

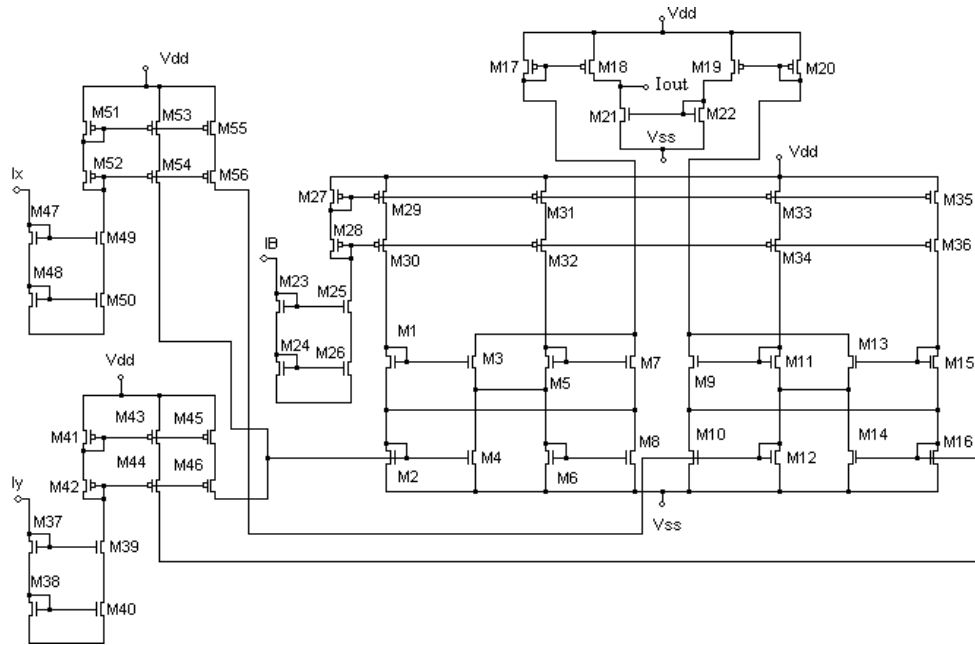


Figura 3. Circuito completo del circuito multiplicador-divisor. Este circuito incluye tres espejos de corriente y un circuito diferencia de corriente.

Un método que sirve para evaluar la distorsión armónica total, se basa en la idea presentada en [17]. En este trabajo, se presentó un método de evaluación de la no-linealidad utilizando una función llamada D , que para nuestro caso, consiste en integrar la característica entrada-salida del multiplicador translineal de 4 cuadrantes. De manera adicional, en [18] y [19] se propone el uso de una función denominada $D3$. Tanto las funciones D así como $D3$ se basan en la integración específica de las características de corriente-voltaje en corriente directa del circuito multiplicador-divisor. La función D puede ser correlacionada con la THD y la función $D3$ con la *tercera distorsión armónica (HD3)*. El método que tradicionalmente se utiliza para calcular el valor de THD y $HD3$, se hacen utilizando la *transformada rápida de Fourier*, o realizando el cálculo de las derivadas de orden superior de la característica de salida y, algunas veces, utilizando mediciones en corriente alterna. Las funciones D y $D3$ permiten obtener una medición de la no-linealidad

del multiplicador-divisor, utilizando un método numérico más fácil de implementar que el realizado con los métodos tradicionales para obtener la THD y $HD3$ anteriormente mencionados. De manera adicional, el uso de las funciones D y $D3$ presenta la ventaja de reducción de ruido cuando se procesa con datos experimentales. Para el cálculo de la función D y $D3$ se utilizaron 21 datos de la señal de entrada-salida del multiplicador obtenidos de Pspice, con $X = -100\text{mV}$ y $Y = \text{de } -100\text{mV a } 100\text{mV}$. La fig. 7, muestra la distribución de estos datos. Representaremos los datos en el eje X como V , y los datos en el eje Y como $I(V)$, para indicar la dependencia que existe de la señal de salida con respecto a la señal de entrada. Aplicando el método de integración presentado en [17] utilizando Mathcad, la función D se define como la diferencia de las áreas por arriba y por debajo de la curva presentada en la fig. 7. Si los datos fueran totalmente lineales, entonces $D = 0$. Si los datos presentan cierta no-linealidad, D es diferente de cero; conforme la no-linealidad aumenta, D también aumenta. Se

debe de realizar una interpolación con el conjunto de datos obtenidos en Pspice, para poder realizar un calculo numérico más efectivo, aumentando el número de datos por interpolación. A continuación, se normalizan los valores de V e $I(V)$. Las variables normalizadas, pueden ser obtenidas por medio de las siguientes expresiones:

$$V_{normalizada} = \frac{V - Va}{2Va}, \quad (6)$$

$$I_{normalizada} = \frac{I(V) - I(-Va)}{I(Va) - I(-Va)}, \quad (7)$$

donde Va es el valor mínimo correspondiente a V , y $V_{normalizada}$ e $I_{normalizada}$ son los valores de V e I normalizados. Los valores normalizados se muestra en la fig. 8. Como se observa, los datos se encuentran la señal en el primer cuadrante, en un intervalo de 0 a 1, y son números positivos al momento de integrar el área sobre los datos.

La función D , se define como:

$$D = \int_0^1 I(V)dV - \int_0^1 V(I)dI = 2 \int_0^1 I(V)dV - 1. \quad (8)$$

Por su parte, para el cálculo de $D3$, se necesita que eliminar los armónicos pares, por medio de la siguiente diferencia de corrientes:

$$I3(V) = I(V) - I(-V). \quad (9)$$

También es necesario normalizar el valor de $I3(V)$. La función $D3$ se define como:

$$D3 = 2 \left| 2 \int_0^{0.5} I3(V)dV - 0.25 \right|. \quad (10)$$

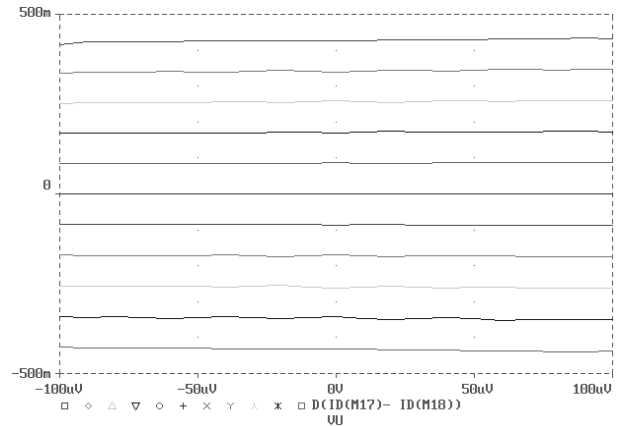


Figura 4. Señal de salida del multiplicador y su primer derivada.

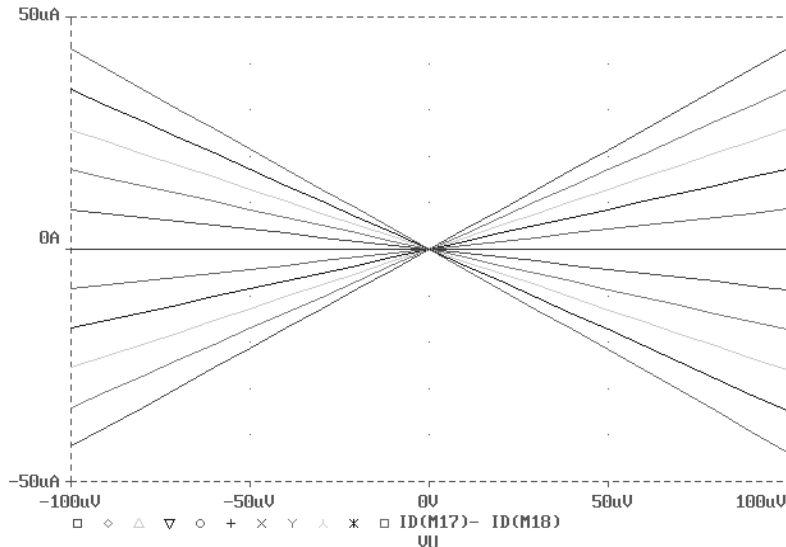


Figura 5. Simulación de la señal de salida obtenida para el circuito multiplicador en modo de corriente de 4 cuadrantes. Análisis en DC para el circuito multiplicador de cuatro cuadrantes, para $X =$ de -100mV a 100mV y $Y =$ de -100mV a 100mV con pasos de 20mV .

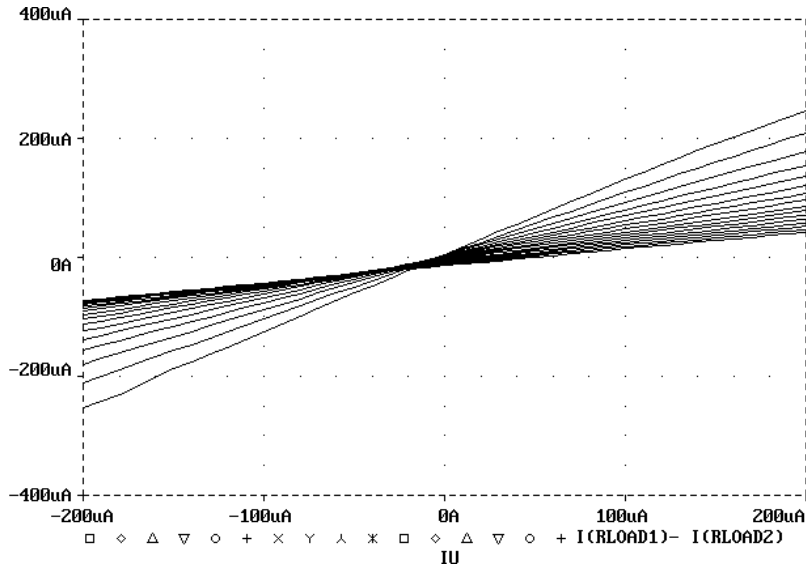


Figura 6. Señal de salida variando la señal B que controla al divisor de corriente.

Para aproximar los valores de la función D y la THD, se obtienen grupos de datos aproximados a un polinomio de 4° orden. En la fig. 7 se presentan los resultados obtenidos para las funciones DdB , $D3dB$, $THDdB$ y $THD3dB$, donde $THDdB$ es la distorsión armónica total fundamental expresada en *decibeles*. Por ejemplo, el valor correspondiente para la función D es: $DdB = 20 \log_{10}(D)$. Además, en la fig. 7 se observa que tanto los valores de DdB y $THDdB$, así como los de $D3dB$ y $THD3dB$, son casi equivalentes. De los resultados obtenidos, se puede interpretar que la respuesta del circuito multiplicador presenta alta linealidad. En la fig. 8 se puede observar una comparación de la función D con respecto a la distorsión correspondiente a los armónicos de 1°, 2°, 3°, 4°, 5°, 6° y 7° orden. Los números que se indican del 1 al 9 que se encuentran en cada curva, indican la posición correspondiente a las funciones $THDdB$, DdB , $HD0$, HD_2 , HD_3 , HD_4 , HD_5 , HD_6 y HD_7 . En la fig. 7 se puede observar que las funciones $D-THDo$ y $D3-THD3$ son prácticamente casi iguales. Sin embargo, se puede medir la desviación que existe entre las funciones anteriormente mencionadas, por medio de las siguientes relaciones:

$$R_0 = \frac{D}{THDo}, \quad (11)$$

$$R_3 = \frac{D3}{HD3}. \quad (12)$$

La fig. 9, muestra estas relaciones. Se observa que la relación R_0 obtenida es muy cercana a uno, esto significa

que, los valores obtenidos de las funciones D y $THDo$ se encuentran muy cercanos, numéricamente hablando. Se demuestra que tanto la función D y $D3$, se pueden correlacionar con las funciones $THDo$ y $THD3$, pero conservando las ventajas antes mencionadas. Finalmente, de los resultados obtenidos, se observa que la linealidad del circuito multiplicador-divisor es muy alta.

5. CELDA BÁSICA

Para obtener la señal de salida de cada multiplicador-divisor, I_{salida} , es necesario realizar una resta de corriente, tal que $I_{salida} = I_{o1} - I_{o2}$. Así, en la fig. 10, se presenta el diseño geométrico correspondiente al circuito multiplicador-divisor junto con el diferenciador de corriente. El circuito multiplicador-divisor tiene una área igual a $17784 \mu m^2$ ($152 \mu m \times 117 \mu m$), mientras que el circuito restador de corriente, tiene una área igual a $4785 \mu m^2$ ($87 \mu m \times 55 \mu m$).

6. PRUEBAS Y MEDICIONES ELÉCTRICAS

En la fig. 11, se muestra la respuesta del circuito multiplicador-divisor utilizado como multiplicador. En este caso se propuso que con la señal de entrada correspondiente a I_u , se realizará un *barrido* desde $-100 \mu A$ hasta $+100 \mu A$; asimismo, para la señal de entrada correspondiente a I_c se realizó un *barrido* desde $-100 \mu A$ hasta $+100 \mu A$, con pasos de $20 \mu A$. La señal de entrada I_{sum} , que correspondería al divisor, quedó fija con el valor de $100 \mu A$. En la fig. 12, se muestran los resultados

obtenidos de las mediciones realizadas al circuito multiplicador-divisor, utilizado como divisor. En este caso I_C , se mantiene constante. Se realizó un barrido a la corriente I_u , nuevamente desde $-100\mu\text{A}$ hasta $+100\mu\text{A}$. La señal de corriente I_{sum} fue variándose desde $100\mu\text{A}$ hasta $400\mu\text{A}$, con pasos de $20\mu\text{A}$. En la fig. 12 se observa que conforme I_{sum} se va aproximando a $400\mu\text{A}$ la señal de salida casi no varía; más allá de este valor la señal de salida es no lineal. El consumo de potencia máximo del circuito fue calculado utilizando una señal de entrada sinusoidal de 1Mhz con una amplitud de $100\mu\text{A}$. La THD fue obtenida aplicando a una de los nodos de entrada un nivel de corriente igual a $100\mu\text{A}$, y se observó en el peor de los casos una THD igual a 0.6% .

7. COMPARACIÓN DE RESULTADOS

En la tabla 3 se muestra una comparación de los resultados obtenidos del multiplicador propuesto en este trabajo y circuitos multiplicadores CMOS analógicos seleccionados de la literatura [2]-[10]. Cabe aclarar que la selección de estos circuitos multiplicadores se hizo sobre la base de las diferentes tecnologías que presentan cada uno, sin embargo solo dos de estos circuitos son efectivamente circuitos multiplicadores-divisores (ver [5] y [10]). En la tabla 3 no aparecen todos los datos completos debido a que no estaban reportados. De esta tabla se puede observar que el circuito multiplicador-divisor basado CMOS *translineal* trabaja en modo de corriente a diferencia del resto de los multiplicadores presentados que trabajan en modo de voltaje. Con respecto a las aparentes desventajas que tiene

el circuito propuesto, se puede mencionar que la alimentación es de $+5\text{V}$ y que el consumo de potencia es igual a 25.536mW , sin embargo, podemos mencionar que la velocidad del circuito multiplicador-divisor es bastante buena con respecto al resto de los demás circuitos, y que la THD es menos de la mitad del promedio del resto de los circuitos. De manera adicional, podemos mencionar que si comparamos el circuito *translineal*, con únicamente los dos circuitos multiplicadores-divisores ([5] y [10]), la complejidad del circuito *translineal* es menor, debido a que solo se utilizaron 16 transistores CMOS para el circuito multiplicador-divisor y 56 transistores CMOS para implementar el circuito completo. Por el contrario, el circuito propuesto por Vlassis y Siskos [5] se necesitan 24 transistores CMOS, más los transistores utilizados por un circuito convertidos de corriente de segunda generación (*Current Conveyor II-CCII*), además, el circuito divisor trabaja de manera independiente del circuito multiplicador. Mientras que el circuito propuesto por Li y Mundy [10] utiliza 34 transistores CMOS, más los transistores utilizados para implementar un amplificador operacional y un circuito de retroalimentación en modo común (*Common Mode Feedback Circuit*). Con respecto al análisis de distorsión armónica reportado en los circuitos multiplicadores, se puede utilizar el tipo de análisis presentado en [18] y [19], y de acuerdo a los resultados obtenidos en este trabajo, es un método que puede estandarizarse para el análisis de desempeño de circuito multiplicadores.

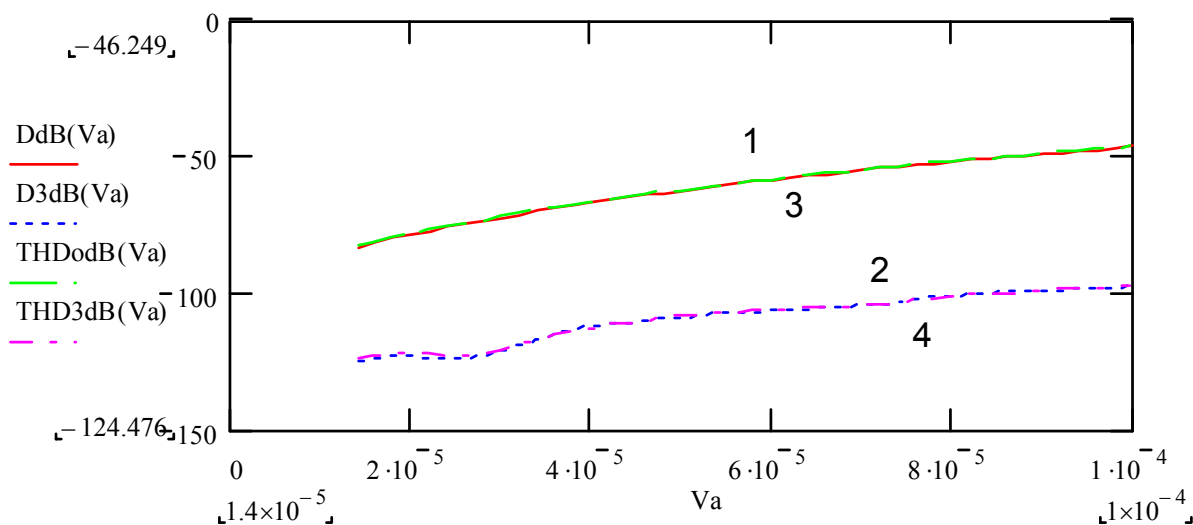


Figura 7. Variación de DdB , $D3dB$, $THDdB$ y $HD3dB$, para 21 datos obtenidos del circuito multiplicador con $X = -100\text{mV}$ y $Y =$ de -100mV hasta $+100\text{mV}$.

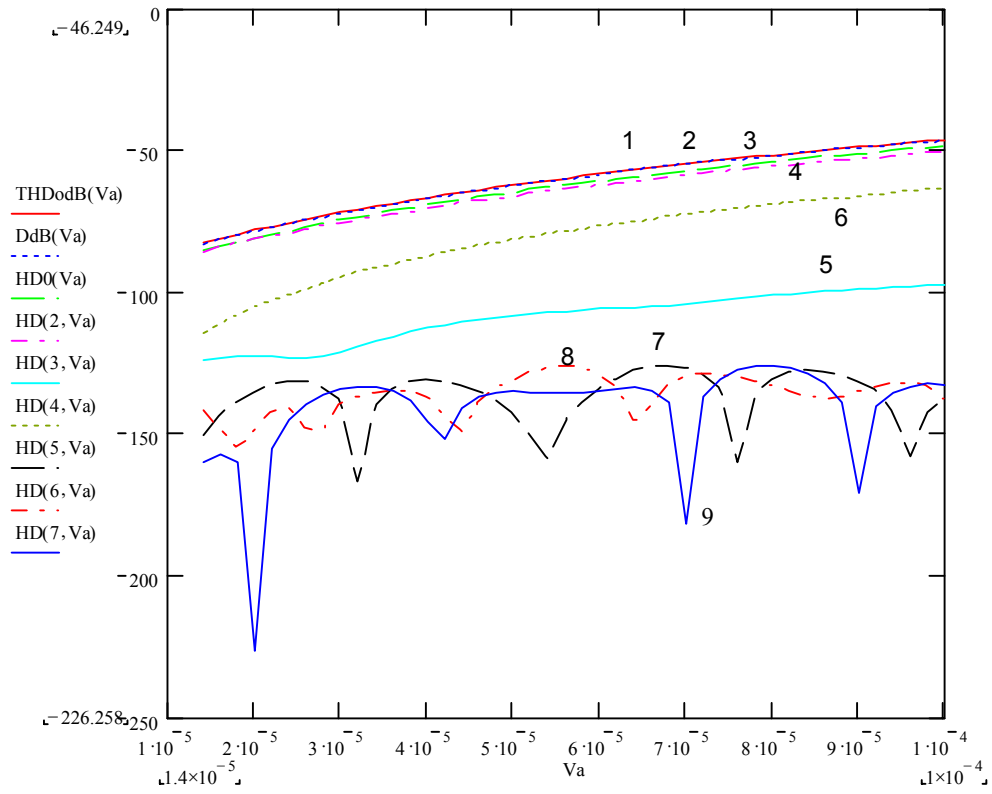


Figura 8. Comparación entre la función D y las distorsiones armónicas de orden superior.

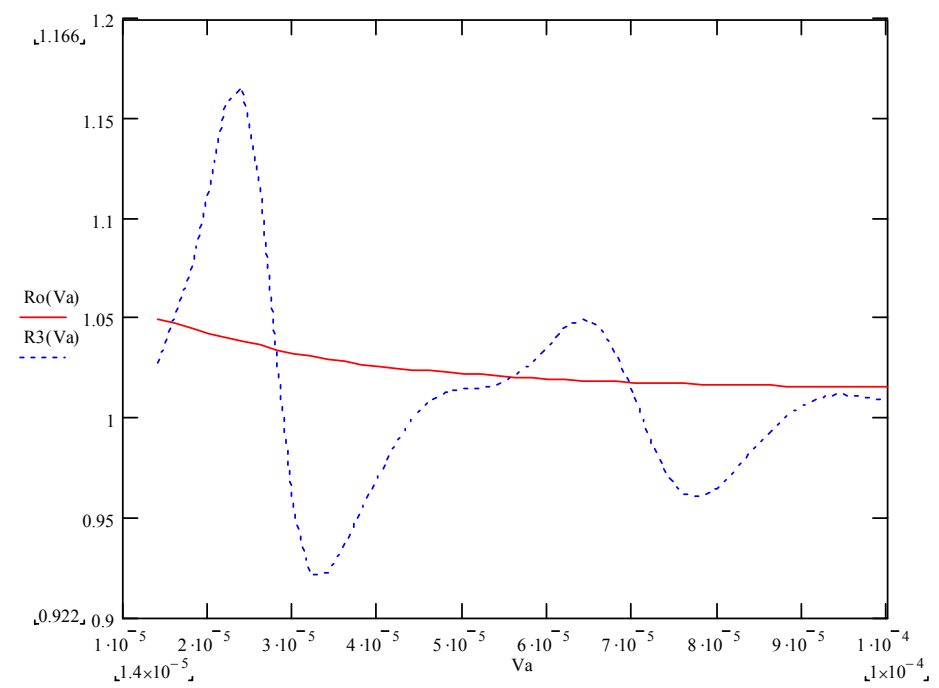


Figura 9. Relaciones de la función D entre THD_o , y $D3$ entre $HD3$.

8. CONCLUSIONES Y TRABAJO FUTURO

En este artículo se realizó el análisis y diseño de un circuito que permite realizar las operaciones de multiplicación y división, basándose en una sola arquitectura. Para que el circuito trabajara en los cuatro cuadrantes de corriente se implementó un circuito espejo de corriente *cascode* que permite sumar una corriente de corrimiento (*offset*). Se realizaron las simulaciones correspondientes a la estructura utilizada como multiplicador y como divisor, presentándose también las simulaciones para evaluar su desempeño con respecto a la distorsión armónica total, demostrando que el circuito multiplicador-divisor es altamente lineal, y que opera de manera correcta dentro de los rangos establecidos de alimentación y temperatura. Además, se presentó el diseño geométrico correspondiente. De manera adicional, se utilizó la técnica de análisis de distorsión de armónica propuesta en [18] y [19] para el análisis de linealidad del circuito. Es importante resaltar que, además de los buenos resultados obtenidos en cuanto al desempeño de las distintas celdas utilizadas, se tiene la ventaja de que el circuito multiplicador-divisor está conformado por transistores que presentan la misma razón de aspecto, lo que facilitó su diseño. Finalmente, se presentó una comparación del desempeño del circuito propuesto con respecto a otros circuitos multiplicadores. Como trabajo futuro se propone analizar y diseñar el circuito multiplicador-divisor *translineal* en una tecnología de menor tamaño ($0.8\mu\text{m}$), y utilizar el circuito para implementar un circuito de un filtro *adaptativo* basado en un sistema difuso.

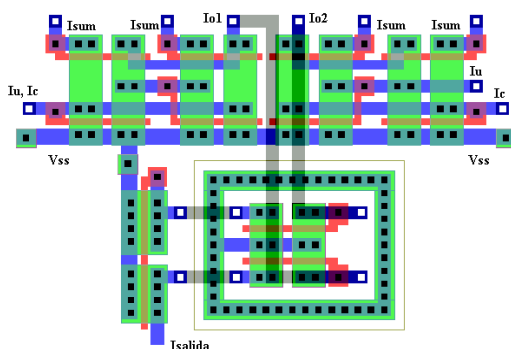


Figura 10. Diseño geométrico del circuito multiplicador-divisor junto con el circuito restador de corriente.

9. REFERENCIAS

- [1] G. Han, E., Sánchez-Sinencio, "CMOS Transconductance Multipliers: A Tutorial", *IEEE, Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, no. 12, pp. 1550-1563, 1998.
- [2] K. T. Lau, S. T., Lee, V. K. S. Ong, "Four-Quadrant Analogue CMOS Multiplier Cell VLSI Signal and Information Processing", *IEEE Proc.-Circuits Devices Systems*, vol. 145, no. 2, pp. 132-143, 1998.
- [3] A. L. Coban, P. E. Allen, "Low-Voltage, Four-Quadrant, Analogue CMOS Multiplier", *Electronics Letters*, vol. 30, no. 13, pp. 1044-1045, 1994.
- [4] J. Ramírez-Angulo, "Yet Another Low-Voltage Four Quadrant Analog CMOS Multiplier", *IEEE*, pp. 405-408, 1996.
- [5] S. Vlassis, S., Siskos, "Analog CMOS Four-Quadrant Multiplier and Divider", *IEEE*, pp. 383-386, 1999.
- [6] I. Navarro, J. L., López-Martín, C. A. de la Cruz, A. Carlosena, "A Compact Low-Voltage Four Quadrant FGMOS Multiplier", *IEEE*, pp. 393-396, 2000.
- [7] K. Dejhan, N., Suwanchatree, P., Prommee, I., Chaisayun, "The CMOS Analog Multiplier Free From Mobility Reduction", *IEEE, Int. Sym. On Communications and Information Tech.*, pp. 23-28, 2004.
- [8] C. J. Debono, F. Maloberti, J., Micallef, "A Low-Voltage CMOS Multiplier and Its Application to 900Mhz RF Downconversion Mixer", *IEEE*, pp. 108-111, 2000.
- [9] A. Pasavento, C., Koch, "A Wide Linear Range Four Quadrant Multiplier in Subthreshold CMOS", *IEEE*, pp. 240-243, 2000.
- [10] G. Li, G., B. Maundy, "A Novel Four Quadrant CMOS Analog Multiplier/Divider", *IEEE, ISCAS*, pp. 1108-1111, 2004.
- [11] B. Gilbert, "Translinear Circuits: A Proposed Classification", *Electron. Lett.*, vol. 11, pp. 14-16, and "Errata". *Ibid*, p. 136, 1975
- [12] C. Toumazou, (ed.) *Analog IC Design: The Current Mode Technique*, Peter Peregrinus, U.K., 1990.
- [13] E. Seevinck, R. J. Wiegierink, "Generalized Translinear Circuit Principle", *IEEE J. of Solid-State Circuits*, vol. 26, no. 8, pp. 1098-1102, 1991.
- [14] R. J. Wiegierink, *Analysis and Synthesis of MOS Translinear Circuits*, Kluwer Academic Publishers, U.S.A., 1993.
- [15] E. Allen, D. R. Holberg, *CMOS Analog Circuits Design*, Saunders College Publishing, U.K., 1987.
- [16] B. G. Streetman, *Solid State Electronic Devices*, Prentice Hall, U.S.A., 1995.
- [17] F. J. García-Sánchez, A. Ortiz-Conde, G. J. De Mercato, J. Liou, L. Recht, "Eliminating Parasitic Resistances in Parameter Extraction of Semiconductor Devices Models", *IEEE Int. Caracas Conf. On Circ. Dev. and Syst.*, Caracas, Venezuela, pp. 298-302, 1995.
- [18] A. Cerdeira, M. Estrada, R. Quintero, D. Flandre, A. Ortiz-Conde, F. J. García-Sánchez, "New Method for Determination of Harmonic Distortion in SOI FD Transistors", *Solid-State Electronics*, vol. 46, issue 1, pp. 103-108, 2002.
- [19] A. Cerdeira, M. A. Alemán, M. Estrada, D. Flandre, "Integral Function for determination of Nonlinear Harmonic Distortion", *Solid-State Electronics*, vol. 48, issue 12, pp. 2225-2234, 2004.

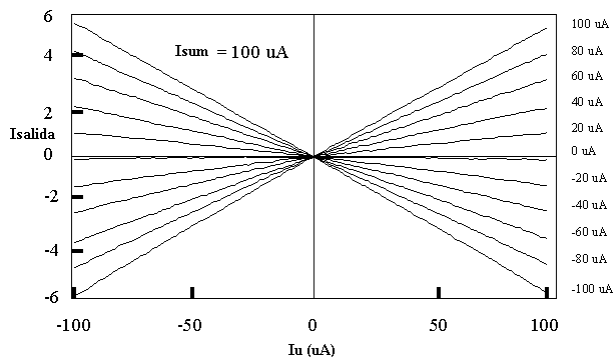


Figura 11. Medición de la corriente de salida del multiplicador.

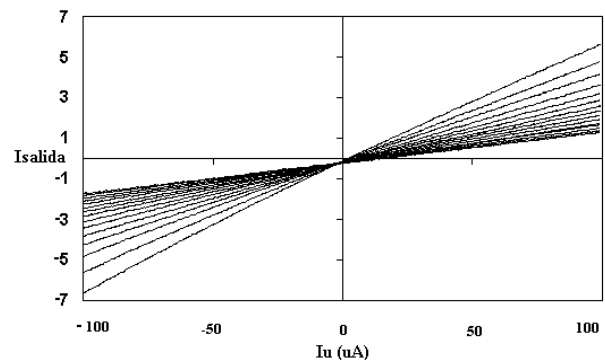


Figura 12. Medición de la corriente de salida del circuito divisor.

| Autores (Multiplicador-Divisor) | Tecnología | Método (Región) | Rango de entrada (Modo) | Alimentación | Consumo | Velocidad (-3dB) | THD |
|--|--------------|---|----------------------------|--------------|-----------|------------------|-------|
| Lau, Lee, Ong (Multiplicador) | 1.2 μ m | Transconductancia (Triodo) | +/-2V (Voltaje) | +/-5V | 1.6mW | 1.6 MHz | 2% |
| Coban, Allen (Multiplicador) | 1.2 μ m | Transconductancia (Lineal) | +/-400mV (Voltaje) | +/-1.5V | — | — | 0.8% |
| Ramírez-Angulo (Multiplicador) | 1.2 μ m | Transconductancia (Lineal) | +/-1V (Voltaje) | +/-1.65V | — | 50MHz | 0.1% |
| Pesevento, Koch (Multiplicador) | 1.2 μ m | Sub-umbral | +/-2V (Voltaje) | +5V | 1 μ W | 10KHz | 3% |
| Navarro <i>et al.</i> (Multiplicador) | 0.8 μ m | FGMOS | +/-1V (Voltaje) | +/-1V | — | 3.9MHz | 1.4% |
| Dejan <i>et al.</i> (Multiplicador) | 0.5 μ m | Saturación-Lineal | +/-2.5V (Voltaje) | +/-2.5V | 2.15mW | 38MHz | 0.13% |
| Debono, Moberi, Micallef (Multiplicador) | 0.6 μ m | Modo de corriente (Saturación) | +/-200mV (Voltaje) | +/-1.2V | 9.6mW | 900MHz | — |
| Vlassis, Siskos (Multiplicador-Divisor) | 2 μ m | Resistor variable por voltaje (Saturación/Lineal) | +/-1V (Voltaje) | +/-1.5V | — | 400MHz | 0.3% |
| Li, Maundy (Multiplicador-Divisor) | 0.18 μ m | Ley Cuadrática (Saturación) | +/-100mV (Voltaje) | +3.3V | — | 19MHz | < 2% |
| Propuesto (Multiplicador-Divisor) | 2 μ m | CMOS Translineal (Saturación) | +/-100 μ A (Corriente) | +/-5V | 25.536mW | 1.0371GHz | 0.6% |

Tabla 3. Comparación de diferentes circuitos multiplicadores y el circuito multiplicador CMOS translineal propuesto.