

DISEÑO DE UN OSCILADOR PARA RADIOFRECUENCIA, INTEGRADO EN TECNOLOGÍA CMOS

Jorge Enrique Prada Rojas, Elkim Felipe Roa Fuentes, Alfredo Rafael Acevedo Picón

Grupo en Investigación y Desarrollo de Circuitos Integrados CIDIC-CEMOS
Escuela de Ingenierías Eléctrica, Electrónica y Telecomunicaciones
Universidad Industrial de Santander

jeprada@uis.edu.co, efroa@uis.edu.co, aacevedo@uis.edu.co

RESUMEN

Este trabajo presenta el diseño de un oscilador controlado por voltaje, integrado en tecnología CMOS $0.35\mu\text{m}$, adaptando las especificaciones propuestas por el estándar *Bluetooth* (frecuencia 2.402 GHz a 2.483 GHz, ruido de fase -128 dBc/Hz a 3 MHz). Se propone una estrategia de diseño basada en los modelos matemáticos expuestos en la literatura, y se verifica su adaptabilidad para en el diseño de un VCO empleando un inductor diseñado y otro caracterizado.

1. INTRODUCCIÓN

La creciente demanda de sistemas de comunicación portátiles, confiables y de bajo costo, ha llevado a proponer soluciones de diseño y construcción de sistemas electrónicos dentro de un mismo circuito integrado (SoC: *System of Chip*), con el fin de mejorar desempeño, reducir costos y tamaño. A nivel internacional esta tendencia se alimenta con la participación de la academia en proyectos de investigación dirigidos al diseño e implementación de tales dispositivos. A nivel local este importante derrotero apenas se conoce, ya que no se han adelantado estudios y trabajos continuos en el área de diseño de circuitos integrados, incrementando la brecha tecnológica existente entre nuestro país, y las naciones productoras de tecnología de punta. El único antecedente de diseño de circuitos integrados en la Universidad Industrial de Santander, corresponde a un proyecto de pregrado basado en el diseño y simulación de un modulador *Sigma-Delta* [1]. Esta carencia hace necesario impulsar nuevos trabajos en torno a esta área, con el fin de asumir su creciente importancia en el escenario científico y tecnológico, adaptando metodologías de diseño existentes en el estado del arte para el desarrollo de circuitos integrados de aplicación específica.

El trabajo descrito en este documento, es un aporte en la construcción de una experiencia local alrededor del diseño de circuitos integrados. El diseño de un oscilador para radiofrecuencia, motiva el estudio detallado de algunas particularidades que lo contextualizan dentro de un sistema de comunicaciones integrado como un oscilador controlado

por voltaje (VCO: *Voltage Controlled Oscillator*). La sección 2 describe la topología LC complementaria aplicada y sus variables de diseño, facilitando la identificación de relaciones favorables a la luz de los modelos matemáticos propuestos en la literatura. A partir de las relaciones entre variables de diseño, se percibe la dependencia entre las dimensiones de los elementos integrados con la aparición de fenómenos parásitos, cuya influencia se busca mitigar. Particularmente, se verifica el notable impacto del inductor integrado en la definición del factor de calidad del circuito resonante, y así, del desempeño del circuito. Una revisión de la equivalencia entre su planeación geométrica y su comportamiento eléctrico, revela la complejidad del diseño del inductor integrado, convirtiéndolo en un elemento que merece especial atención.

Como resultado de la observación de la dependencia entre variables, una estrategia de diseño es propuesta en la sección 3. La estrategia de diseño se somete a las exigencias del estándar *Bluetooth* (frecuencia 2.402 GHz a 2.483 GHz, ruido de fase -128 dBc/Hz a 3 MHz de *offset*), y arroja un diseño en cuya realización se ilustran los diferentes compromisos asumidos en la satisfacción de tales especificaciones. Así mismo, la estrategia de diseño presentada es sometida a la aplicación de un inductor caracterizado, con el fin de verificar su viabilidad dentro del estándar adoptado y el estado del arte, y cuyo contraste con el diseño original ilustra el papel protagónico del factor de calidad en el desempeño del oscilador LC integrado. Por último, la sección 4 registra los resultados arrojados más relevantes, donde se muestra cómo el diseño planteado satisface la especificaciones dadas, al mismo tiempo que se establece comparación con los resultados registrados en el estado del arte. Adicionalmente, la posibilidad de integración del oscilador diseñado, mantiene presente el compromiso de considerar parámetros de fabricación a lo largo de toda la tarea de diseño. Para este trabajo, se aplican los parámetros de proceso presentados por AMS (*Austria Micro Systems*) para tecnología CMOS de $0.35\mu\text{m}$. Junto a los parámetros, se consideran especiales recomendaciones, dadas por AMS, alusivas la disposición del *layout* para el oscilador diseñado. Se propone una disposición de los elementos atendiendo criterios para la reducción de *mismatch*, y se extrae el equivalente

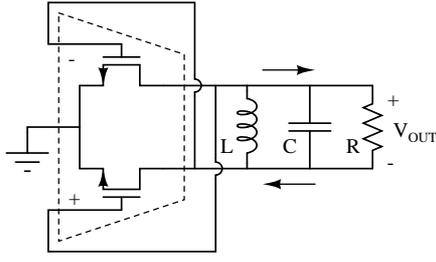


Figura 1: Esquema de un oscilador diferencial

circuital del sistema integrado modelado, incluyendo las capacitancias parásitas debidas a este proceso verificando su desempeño, con el fin de proponer los correctivos necesarios para alcanzar las especificaciones propuestas inicialmente.

Es así como este trabajo aporta una sencilla pero valiosa experiencia en el campo de diseño de circuitos analógicos integrados, comprometiendo a la ingeniería electrónica como herramienta en la identificación y solución de problemas de diseño en esta área. Así, este trabajo espera ser punto de partida para trabajos futuros que enriquezcan el naciente interés mostrado en la academia local, y lo conviertan en nicho potencial de investigación y desarrollo.

2. REVISIÓN DE LA TOPOLOGÍA LC COMPLEMENTARIA

El oscilador controlado por voltaje implementado con topología LC diferencial (figura 1), es uno de los circuitos para RF que mejor desempeño ha demostrado dentro del diseño de sistemas de comunicación integrados en tecnología MOS [2]. Extendiendo las ventajas de esta configuración, la topología LC complementaria (figura 2) involucra transistores NMOS-PMOS con el fin de obtener mayor transconductancia sin necesidad de escalar la demanda de corriente. Así mismo, el flujo de corriente puede controlarse con el transistor de *corriente* dispuesto entre la fuente de los transistores NMOS y el nodo de tierra. Como características deseables se encuentran su amplio rango de excursión de señal, y reducido ruido de fase comparado con otras topologías. Sin embargo, la considerable porción de área que demanda la integración de inductores planares y su bajo factor de calidad, exigen un análisis detallado del circuito que modela el comportamiento eléctrico de este oscilador, para posteriormente identificar algún compromiso entre variables de diseño que puedan superar los inconvenientes planteados.

2.1. Compromiso entre variables de diseño

Teniendo en cuenta el modelo de inductor presentado en la figura 3 y adoptando el modelo del transistor MOS en saturación, se obtiene un modelo circuital equivalente del oscilador como se muestra en la figura 4, donde se representa el varactor como una red RC [3]. Para este modelo,

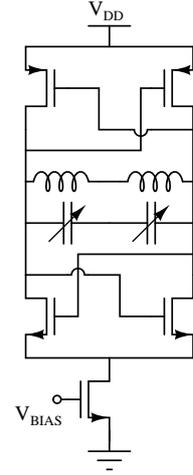


Figura 2: Topología VCO LC complementario

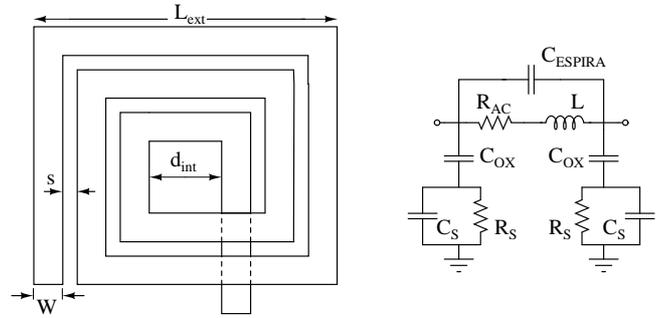


Figura 3: Esquema de la espira plana y modelo circuital equivalente

se desprenden las siguientes relaciones [3, 4]:

$$2g_{tanque} = g_{d0,n} + g_{d0,p} + g_v + g_L \quad (1)$$

$$2g_{activos} = g_{m,n} + g_{m,p} \quad (2)$$

$$L_{tanque} = 2L \quad (3)$$

$$2C_{tanque} = C_{NMOS} + C_{PMOS} + C_s + C_p + C_v + C_{IND} + C_{carga} \quad (4)$$

donde:

$$C_{NMOS} = C_{gs,n} + C_{db,n} + 4C_{gd,n} \quad (5)$$

$$C_{PMOS} = C_{gs,p} + C_{db,p} + 4C_{gd,p} \quad (6)$$

$$g_L = \frac{1}{R_p} + \frac{R_s}{L\omega^2} \quad (7)$$

$$g_v = \frac{C_v\omega}{Q_v} \quad (8)$$

A partir de estas relaciones, las características del oscilador pueden discretizarse en términos de variables de diseño, dando al diseñador grados de libertad para variar alguna propiedad del circuito de acuerdo con algún criterio de desempeño. Una simplificación de variables es posible fijando sus valores o dependencias a cantidades prácticas. En primera instancia, el largo de canal L_n y L_p se fijan a la menor

dimensión permitida por la tecnología de fabricación, con el fin de reducir capacitancia parásita. Posteriormente, establecer una proporción constante entre W_n y W_p permite satisfacer que $g_{mn} = g_{mp}$ para el punto medio de polarización, buscando simetría en la señal de salida. La capacitancia del varactor introduce una sola variable, ya que la relación $C_{v,máx}/C_{v,min}$ permanece constante según la estructura del varactor [3]. La elección de un inductor juega rol importante en la definición de las pérdidas que actuarán sobre el sistema. La búsqueda de un inductor óptimo debe resolver la elección de W (ancho), S (espaciamento), n (número de vueltas) y L_{ext} (longitud externa) a favor de la reducción de pérdidas, debido a la fuerte influencia de g_L en la transconductancia del resonador. Una vez diseñado el inductor, la relación entre el valor de la inductancia y la transconductancia g_L es constante, y definida por:

$$g_L = \frac{1}{\omega \cdot QL} \quad (9)$$

donde Q es el factor de calidad del inductor. Valores más altos para Q , favorecen con menos pérdidas para un mismo valor de inductancia.

Así, el conjunto de variables se reduce a corriente de operación (I), ancho de los transistores NMOS *centrales* (W_n), y capacitancia media del varactor (C_v). Esta simplificación de variables facilita la aplicación de un método gráfico en un plano $C_v - W_n$, donde se ilustren los puntos $C_v - W_n$ que satisfacen la condición de arranque y la especificación de frecuencia de oscilación [3]. El conjunto de relaciones simplificadas en términos de I , C_v , y W_n , aplicadas al método gráfico, se presentan a continuación:

$$2g_{tanque} = \left(\frac{1}{L_{canal}E_{satn}} + \frac{1}{L_{canal}E_{satp}} \right) I + \frac{\omega}{Q_v} \cdot C_v + \frac{1}{\omega \cdot QL} \quad (10)$$

$$C_v = \frac{1}{\omega^2 L} - (C_{NMOS} + C_{PMOS}) \quad (11)$$

$$2g_{activo} = \sqrt{K_n \frac{W_n}{L_n} I} + \sqrt{K_p \frac{W_p}{L_p} I} \quad (12)$$

$$\omega^{-2} = L \cdot C_{total} \quad (13)$$

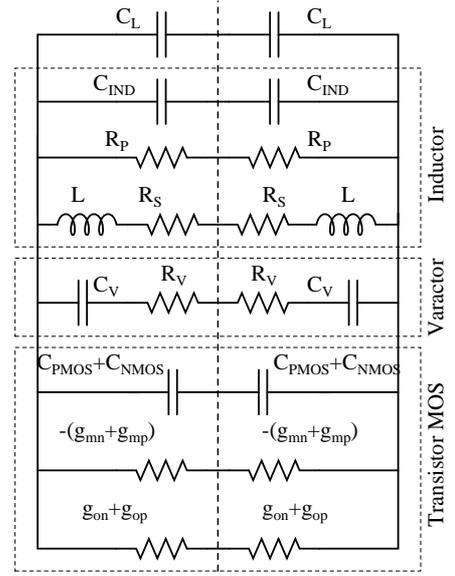


Figura 4: Equivalente circuital del oscilador.

donde

$$2I_{dreno} = I \quad (14)$$

$$W_p = \frac{\mu_n}{\mu_p} W_n \quad (15)$$

$$L_{dn,p} = \frac{2}{3} X_{jn,p} \quad (16)$$

$$C_{NMOS} = C_{gs,n} + 4C_{gd,n} \quad (17)$$

$$C_{PMOS} = C_{gs,p} + 4C_{gd,p} \quad (18)$$

$$C_{gd,n} = C_{ox} W_n L_{dn} \quad (19)$$

$$C_{gd,p} = C_{ox} W_p L_{dp} \quad (20)$$

$$C_{gs,n} = \frac{2}{3} C_{ox} W_n L_n \cdot (L_n - 2L_{dn}) + C_{ox} W_n L_{dn} \quad (21)$$

$$C_{gs,p} = \frac{2}{3} C_{ox} W_p L_p \cdot (L_p - 2L_{dp}) + C_{ox} W_p L_{dp} \quad (22)$$

siendo $X_{jn,p}$ la profundidad de la difusión n ó p. Esta sencilla reinterpretación de modelos lineales¹ facilita la aplicación de un método gráfico, donde se pueda ilustrar el impacto de cada una de las relaciones, y verificar tendencias en la selección de las variables. Como se expone en [3–7], la simplificación de estas relaciones se aplican para optimización por programación geométrica. Este método de optimización no es discutido en el presente trabajo, y la exposición del método gráfico basado en las anteriores simplificaciones solo pretende arrojar nociones sobre las relaciones entre variables de diseño.

2.2. Ruido de fase

El ruido de fase consiste en la distribución desigual de la fase de la señal oscilante [8], o perturbación de los cruces por cero de la señal, degradando la calidad en procesos de modulación o demodulación, o afectando la uniformidad de la referencia de tiempo que usan dispositivos como

¹Considera la operación del transistor en región de saturación

convertidores y procesadores digitales. Desde el espectro en frecuencia, la distribución desigual de cruces por cero implica una variación de la frecuencia instantánea de la señal, produciéndose bandas laterales parásitas alrededor de la frecuencia de la señal portadora, y afectando principalmente los canales adyacentes al sintonizado por el sistema de comunicación. Los exigentes requisitos de canalización impuestos por los estándares de comunicaciones, se confirman en la constante demanda de pureza espectral para una mayor cantidad de canales dentro de un ancho de banda dado, convirtiendo el ruido de fase en una especificación que merece especial atención, y en criterio principal de diseño para la mayoría de osciladores destinados a un sistema de comunicaciones.

La minimización del ruido de fase en un oscilador LC, implica la reducción de potencia de tales bandas espurias, tarea que requiere una expresión explícita que modele el ruido de fase en términos de las variables de diseño (una demostración acerca del modelo para el ruido de fase, se encuentra en [8]). En la región $1/f^2$, el ruido de fase se formula como [3, 4, 6]:

$$\mathcal{L}\{f_{off}\} = \frac{1}{8\pi^2 f_{off}^2} \cdot \frac{1}{q_{m\acute{a}x}^2} \cdot \sum_n \left(\frac{\overline{i_n^2}}{\Delta f} \cdot \Gamma_{rms,n}^2 \right) \quad (23)$$

donde f_{off} es la frecuencia offset respecto a la frecuencia de oscilación central, y $q_{m\acute{a}x}$ es la carga máxima desplazada en el tanque. La sumatoria de $\overline{i_n^2}/\Delta f$, cuantifica el aporte de todas las fuentes de ruido en el sistema (ruido de inductor, ruido de varactor, ruido de compuerta, ruido de drenador), ponderadas con $\Gamma_{rms,n}$ que es el valor RMS de la función de susceptibilidad para cada una de tales fuentes de ruido [8]. La ecuación (23) se expresa de forma equivalente como:

$$\mathcal{L}\{f_{off}\} = \frac{2L^2 f_0^4}{f_{off}^2 V_{exc}^2} \cdot \sum_n \left(\frac{\overline{i_n^2}}{\Delta f} \cdot \Gamma_{rms,n}^2 \right) \quad (24)$$

donde se evidencia que la amplitud máxima de la señal de salida, dada por V_{exc} , reduce el ruido de fase, mientras que un incremento de la inductancia lo aumenta cuadráticamente. Aplicando la simplificación propuesta en [6], que asume la dominancia de la corriente de ruido de drenador, y $\Gamma_{rms}^2 = 0,5$:

$$\mathcal{L}\{f_{off}\} = \left[\frac{16\pi^2 kT\gamma}{(L_{canal} E_{sat})_p} + \frac{16\pi^2 kT\gamma}{(L_{canal} E_{sat})_n} \right] \cdot \frac{f^4 L^2 I}{f_{off}^2 V_{exc}^2} \quad (25)$$

A partir de allí se observa la dependencia del ruido de fase respecto a algunas variables de diseño planteadas, involucrando el ruido de fase dentro del compromiso entre variables.

2.3. Elementos pasivos

Para fijar la selección de los elementos activos, debe indagarse la influencia de los elementos pasivos en el desempeño

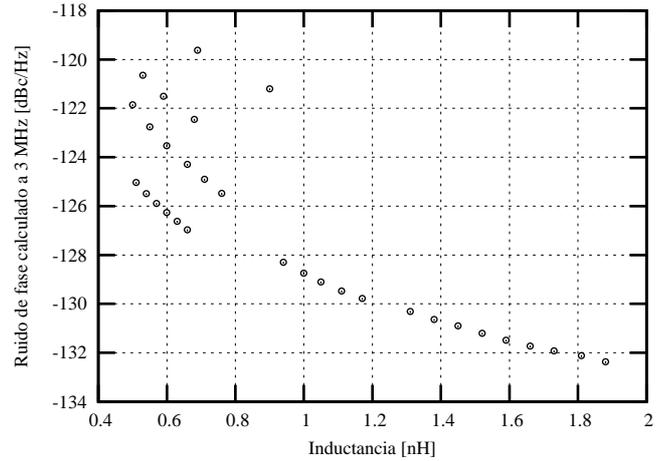


Figura 5: Ruido de fase calculado contra inductancia para los inductores que arrojaron mejor factor de calidad por diámetro externo. Frecuencia central 2.44 GHz.

del oscilador. Para el inductor planar, una descripción de sus características eléctricas en términos de un equivalente circuital concentrado facilita la búsqueda de mejores factores de calidad, en función de un proceso de fabricación. Aplicando el proceso de fabricación C35B4C3 de *Austria Micro Systems* al peor caso² con ASITIC, se realizó un barrido de geometrías típicas en inductores planares. Las características de los inductores seleccionados, se introducen al modelo de ruido de fase descrito, y sus resultados se consignan en la figura 5. Cada uno de los inductores escogidos se caracteriza por un tener un factor de calidad único, que es el mayor posible para su diámetro. Cada punto representa el mejor factor de calidad por diámetro externo, entonces para una corriente dada de 4.5 mA, cada ruido de fase en la figura 5 representa el mejor ruido de fase calculado por diámetro externo. A partir de esta observación, los mejores inductores se hallarán hacia la parte inferior de la figura, correspondiendo a aquellos de mayores dimensiones. A partir de la relación expuesta entre ruido de fase, corriente e inductancia, junto con un criterio de conveniencia para *layout*³ fue seleccionado un inductor con $L_{ext} = 205\mu m$, $W = 25\mu m$, $S = 2\mu m$, $n = 2,25$, y $Q = 2,7$ cuyo modelo circuital pi se ilustra en la figura 6.

La implementación de la capacitancia variable aprovecha la particular manera cómo se distribuyen los portadores mayoritarios en un semiconductor ante un campo eléctrico, en regiones como acumulación, agotamiento o inversión, mostrando marcada similitud con un capacitor de placas paralelas de distancia variable. La señal de voltaje que ocasiona el campo eléctrico, modula por este medio el grosor de estas regiones, y así, la capacitancia equivalente. La capacitancia variable se diseña aplicando un varactor de acumulación (figura 7), ya que presenta las mejores

²Contempla las resistencias máximas y las alturas mínimas del proceso de fabricación

³Buscar inductores cuyo número de vueltas fuese entero más 1/4 ó 3/4 para que el terminal de entrada se alinee al mismo costado que el terminal de salida.

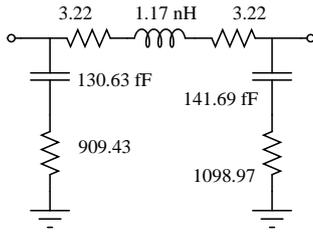


Figura 6: Equivalente circuital del inductor planar diseñado arrojado por ASITIC.

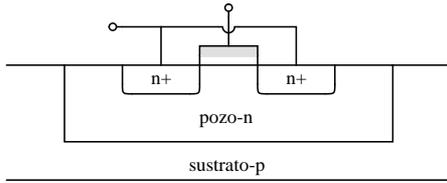


Figura 7: Estructura de varactor de acumulación.

prestaciones en cuanto a monotonía, linealidad y rango de sintonía [9], y se adopta el valor medio de la respuesta lineal de capacitancia como C_v . Sin embargo, debido a la capacitancia parásita dada por los transistores *centrales*, disminuye el aporte que le corresponde a la capacitancia del varactor, y la elección de sus dimensiones está supeditada al diseño de tales elementos activos.

A pesar de la característica monótona de la capacitancia, la relación no lineal respecto a la tensión de pozo-n ocasiona distorsión de la señal de capacitancia para un amplio rango voltajes. Se hace útil la identificación de una región máximamente lineal sobre la relación C-V. La identificación de esta zona lineal reduce el rango de excursión que la señal de control debe aplicar para alcanzar las frecuencias extremas requeridas por las especificaciones. No obstante, así como la capacitancia se reduce proporcional con el área (figura 8), también lo hace el rango de capacitancias necesario para satisfacer $f_{mín}$ y $f_{máx}$ en presencia de un inductor. Esta importante consideración se aplica en el modelo expuesto en la sección 2, adicionando las tendencias para $C_{v,máx}$ y $C_{v,mín}$, que son las capacitancias máxima y mínima necesarias para alcanzar de $f_{mín}$ a $f_{máx}$, como se registra en la figura 9.

Retomando la tendencia de la capacitancia de varactor expuesta en la figura 9, se verifica que un aumento del ancho de canal (W_n) reduce C_v , así como constriñe el rango de excursión de la región lineal del varactor. La capacitancia central del varactor se selecciona hacia el centro de la zona lineal, posición caracterizada unívocamente por una sola área de compuerta $W_v \cdot L_v$. El incremento de la capacitancia parásita de los elementos activos obliga a reducir C_v , y con ella la geometría del varactor, que a su vez repercute en una reducción proporcional de los límites máximos y mínimos de capacitancia, ya sí, del rango de sintonía posible.

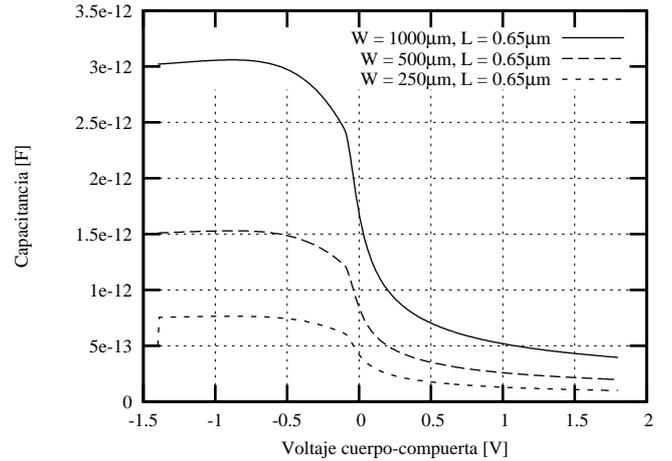


Figura 8: Proporcionalidad de la capacitancia de varactor de acumulación respecto su área de compuerta.

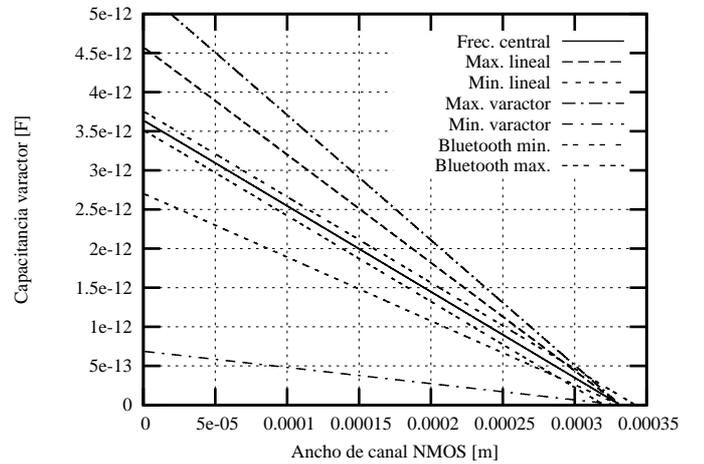


Figura 9: Relación de capacitancias de varactor contra ancho de canal NMOS, aplicando inductancia de 1.17 nH

3. ESTRATEGIA DE DISEÑO

Consiste en el conjunto de pasos que debe seguir la selección de las variables de diseño. En la figura 10 se registra la estrategia propuesta a partir de las relaciones encontradas entre variables de diseño. Considerando el bajo factor de calidad de los inductores planares comparado con el alto factor de calidad de los varactores MOS, las pérdidas en el resonador LC son atribuibles principalmente al primer elemento. Debido a que las pérdidas en el circuito resonador son atribuidas principalmente al inductor planar, la elección del inductor precede al diseño de los transistores *centrales* (transistores conectados al circuito LC), cuya transconductancia debe superar la transconductancia del inductor para asegurar el arranque del oscilador. Aplicando los modelos que relacionen inductancia, corriente y ruido de fase, se selecciona un inductor buscando la combinación de variables geométricas que calcule el desempeño deseado. Alternativamente, un inductor caracterizado de geometría fija puede ser aplicado a la estrategia, para estimar un con-

sumo de corriente inicial. Una vez halladas las geometrías de estos elementos activos, y la correspondiente capacitancia parásita que aporta, se determinan las dimensiones del varactor a partir del valor permitido a su capacitancia central.

Definir una estrategia de diseño para el varactor requiere conocer cómo están definidos parámetros de fabricación como la movilidad, concentración de los portadores, voltajes de umbral, etc. Por otro lado, adoptar un modelo circuital dado por un fabricante para el varactor asegura la concentración de los anteriores parámetros en un equivalente circuital, sobre el cual se aplican señales de tensión y se verifican valores de capacitancia, con ayuda de un *software* de simulación, con la certidumbre que tales desempeños se aproximan a los medidos experimentalmente. Para este caso, se aplica el modelo de varactor *CVAR*, ofrecido por *Austria Micro Systems*.

Por último se diseña un transistor de *corriente*, escogiendo sus dimensiones y tensión de compuerta para fijar el flujo de $I_{operación}$ presupuestado, manteniendo el transistor en saturación.

Mediante simulación se verifica la convergencia de la frecuencia de oscilación en estado estable dentro de la banda requerida por el estándar (2.402 GHz a 2.483 GHz), teniendo que realimentar el diseño en caso desfavorable. Satisfaciendo el criterio de frecuencia central, el criterio de ruido de fase se realimenta con el rediseño del transistor de corriente, redefiniendo $I_{operación}$ según la dependencia del ruido de fase respecto a la amplitud de la señal de salida, que a su vez depende de la corriente de operación en región *limitada por corriente* [3]. Finalmente, una etapa de acople se adapta al oscilador con el fin de aislar los nodos del resonador de la carga.

4. SIMULACIÓN Y RESULTADOS

4.1. Previo al *layout*

Aplicando la estrategia de diseño a partir del inductor descrito en la sección 2, y de una corriente de operación inicial de 4.5 mA (promediada del estado del arte para MOS $0.35\mu m$), se estima $W_n = 240\mu m$, $C_v = 0,945$ pF, $W_v = 448,6\mu m$, $f_0 = 2,405$ GHz, $V_{control} = 2,4$ V, $W_{TAIL} = 60\mu m$, y $V_{BIAS} = 1,76$ V. El lugar geométrico $C_v - W_n$ se ilustra en la figura 11. Una corrección para el ruido de fase de -123 dBc/Hz a -128 dBc/Hz, redefine la corriente a 6.75 mA, y el transistor de *corriente* con $W_{TAIL} = 90\mu m$ y $V_{BIAS} = 1,70$ V. Por otro lado, la estrategia de diseño se somete para verificar la viabilidad del diseño aplicando un inductor caracterizado con $L = 1,34$ nH y $Q = 6,1$ a 2.4 GHz (figura 12). Se estimó una corriente inicial de 2.5 mA a partir del cálculo de ruido de fase sobre un barrido de corriente para el inductor dado (figura 14), $W_n = 100\mu m$, $C_v = 2,12$ pF, $W_v = 1000\mu m$, $f_0 = 2,442$ GHz, $V_{control} = 2,4$ V, $W_{TAIL} = 35\mu m$, y $V_{BIAS} = 1,7$, arrojando un ruido de fase de -129 dBc/Hz a 3 MHz de *offset*.

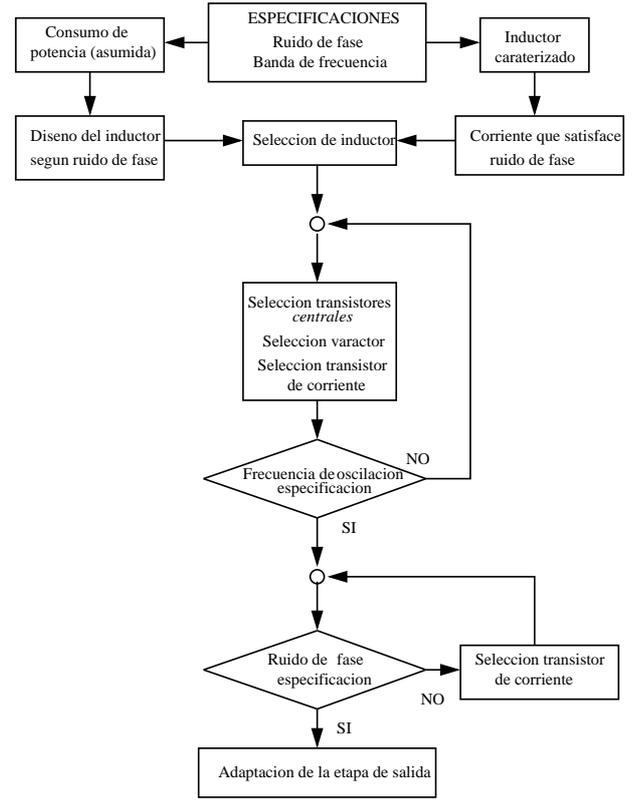


Figura 10: Estrategia propuesta para diseño de un oscilador controlado por voltaje.

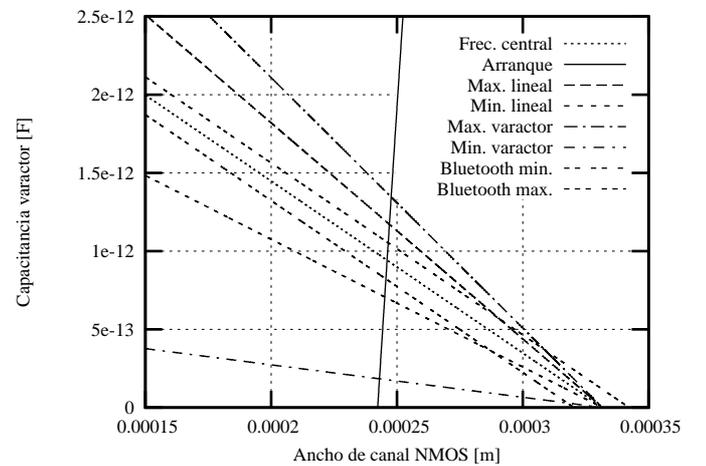


Figura 11: Lugar $C_v - W_n$ para el diseño con inductor modelado.

4.2. Oscilador integrado

El *layout* del oscilador correspondiente al diseño con inductor modelado, se registra en la figura 17. Se distingue claramente la ingente porción de área que demanda la disposición de los inductores planares. Se involucran las capacitancias parásitas extraídas del *layout*, realimentando el diseño propuesto. Para el diseño, se extrajo una capacitancia parásita adicional de 205.25 fF entre los nodos de salida, desplazando la capacitancia de varactor a 0.547 pF

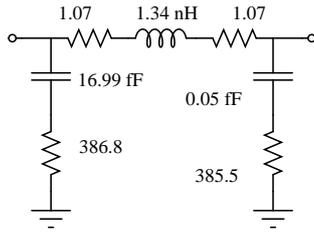


Figura 12: Equivalente circuital el inductor caracterizado. $L = 1.34 \text{ nH}$, $Q = 6.1$

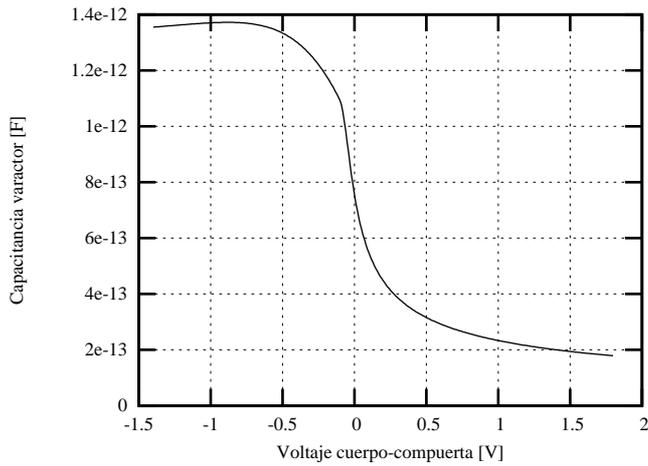


Figura 13: Relación capacitancia–tensión para el varactor diseñado

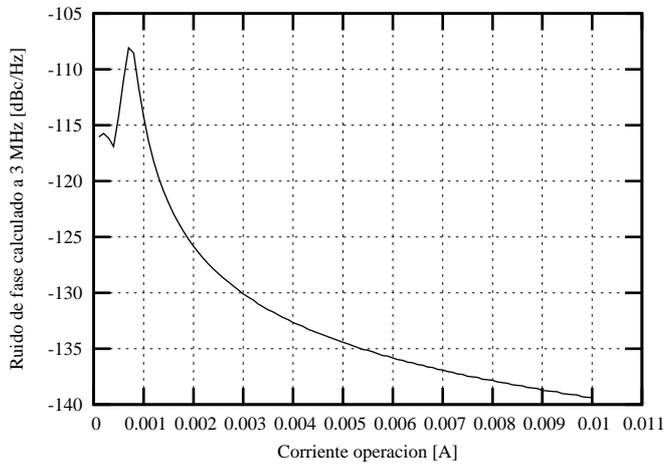


Figura 14: Tendencia del ruido de fase respecto a la corriente de operación para inductor caracterizado $L = 1,34\text{nH}$, $Q = 6,1$, $f_0 = 2,44\text{GHz}$

con $W_v = 260\mu\text{m}$, resultando $f_0 = 2,44 \text{ GHz}$. El espectro del ruido de fase medido pre-layout y post-layout se registra en la figura 18.

4.3. Revisión del desempeño alcanzado

A la luz de los resultados reportados en el estado del arte que aplican tecnología MOS $0.35\mu\text{m}$ en la implementación

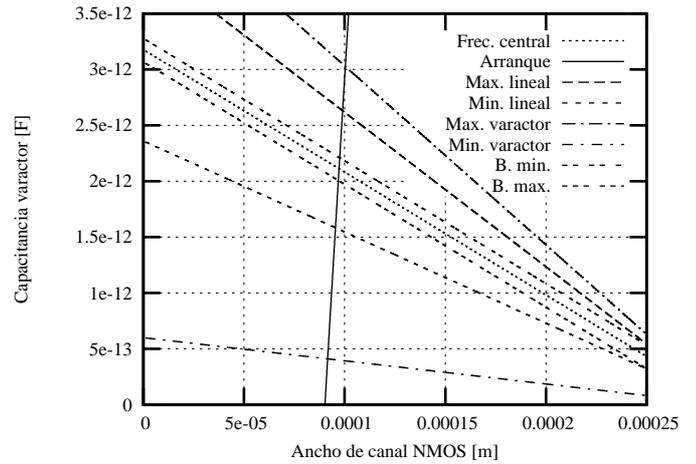


Figura 15: Lugar $C_v - W_n$ para el diseño con inductor caracterizado.

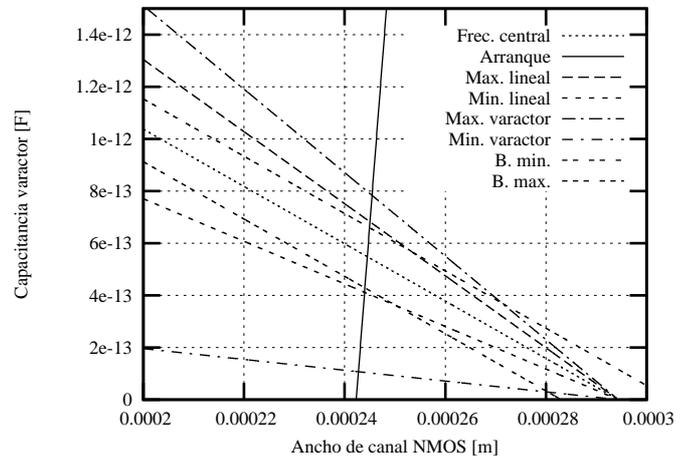


Figura 16: Lugar $C_v - W_n$ para el diseño con inductor modelado, adicionando capacitancia parásita dada en la extracción

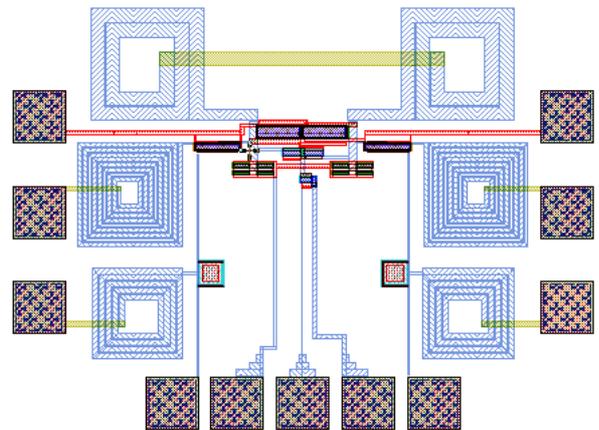


Figura 17: Layout del oscilador integrado.

del VCO, se contextualizan los resultados alcanzados por la estrategia de diseño presentada en este trabajo a nivel de criterios como el ruido de fase y el consumo de poten-

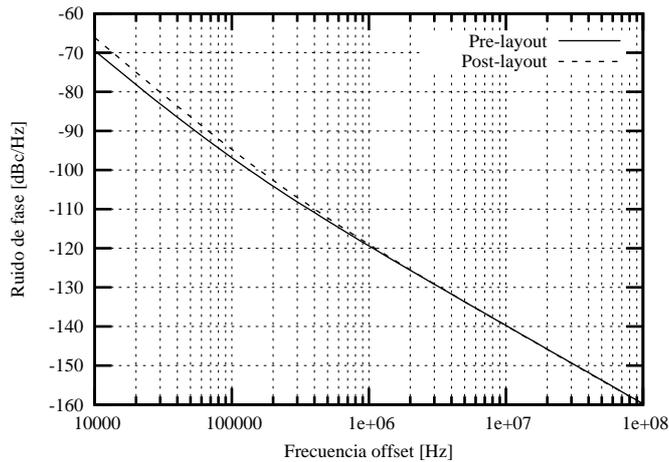


Figura 18: Ruido de fase medido en simulación *pre-layout* y *post-layout*

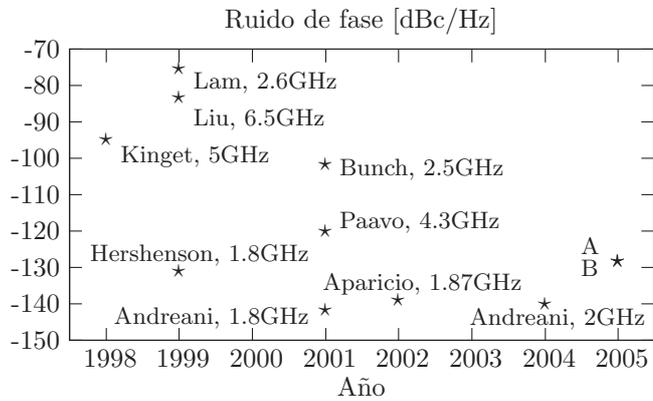


Figura 19: Tendencia del ruido de fase a 3 MHz de *offset*, para MOS $0.35\mu\text{m}$, incluyendo los diseños A (con inductor modelado), y B (con inductor caracterizado)

cia. La figura 19 revela la tendencia arrojada por el estado del arte incluyendo los resultados alcanzados tanto por el diseño propuesto con inductor modelado, como aquel que emplea inductor caracterizado. Debido a la dependencia directa entre el ruido de fase y consumo de corriente que muestra la estrategia, los diseños se establecen justo al valor exigido por el estándar en aras de reducir el consumo de potencia. Por lo tanto, los dos exponentes de este trabajo figuran bajo el mismo registro. El consumo de potencia, característica decisiva de los sistemas de comunicación inalámbrica, se muestra para diferentes VCO en la figura 20. El diseño que aplica el inductor de menor factor de calidad representa un mayor consumo debido a la demanda de corriente, no solo para ajustar la condición de oscilación ante mayores pérdidas, sino también para alcanzar la exigencia de ruido de fase, que inicialmente era insuficiente. Por otro lado, el diseño que aplica un mejor factor de calidad se beneficia con una posición más baja, al nivel de los trabajos presentados en el estado del arte. Tales trabajos aseguran alcanzar altos factores de calidad a pesar

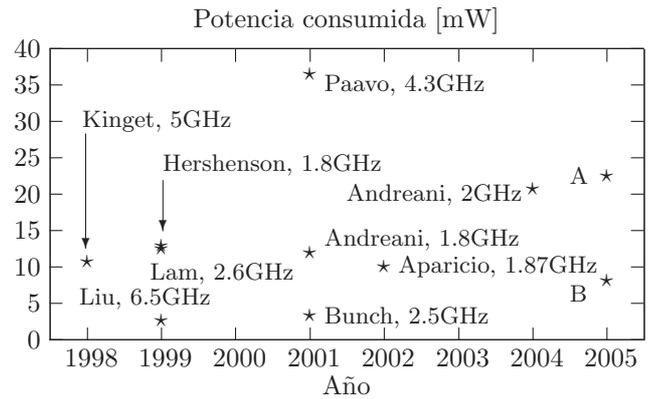


Figura 20: Tendencia del consumo de potencia, para MOS $0.35\mu\text{m}$, incluyendo los diseños *pre-layout* de A (con inductor modelado), y B (con inductor caracterizado)

de reportar resultados medidos experimentalmente sobre osciladores integrados. De hecho, la comparación propuesta en las figuras 19 y 20 entre el estado del arte, y los diseños arrojados por este trabajo, no es completamente idónea, ya que obvia el impacto real de la integración. Sin embargo cobra validez al referir los resultados alcanzados, y al mostrar la estrategia de diseño planteada como alternativa para negociar compromisos de diseño a la luz de los desempeños alcanzados por el estado del arte.

4.4. Figura de mérito

Una comparación más coherente entre resultados, aun reconociendo la distancia entre los resultados experimentales citados, y los conseguidos en este trabajo, es aquella que combina un conjunto de características, afirmando que el compromiso mutuo entre variables repercute en la calidad del diseño. La relación:

$$10 \cdot \log \left[\frac{kT}{P_{\text{operación}}} \cdot \left(\frac{f_0}{f_{\text{off}}} \right)^2 \right] - \mathcal{L}\{f_{\text{off}}\} \quad (26)$$

conocida como PFN *Power Frequency Normalized* se propone en [6] como estimador de desempeño asociando simultáneamente potencia consumida con ruido de fase. La aplicación de esta relación para los resultados del estado del arte en MOS $0.35\mu\text{m}$, así como para los alcanzados en este trabajo, se ilustra en la figura 21. Nuevamente, el diseño aplicando el inductor de mejor factor de calidad muestra mejor resultado, en este caso, representado en un compromiso más “eficiente” entre los criterios de desempeño involucrados. Sin embargo, otros resultados del estado del arte mejoran ese factor, debido a su reducido consumo de potencia.

5. CONCLUSIONES Y RECOMENDACIONES

El diseño de un oscilador controlado por voltaje integrado en tecnología CMOS, producto de la aplicación de una estrategia de diseño, es presentado en este artículo. A través

Figura de mérito PFN

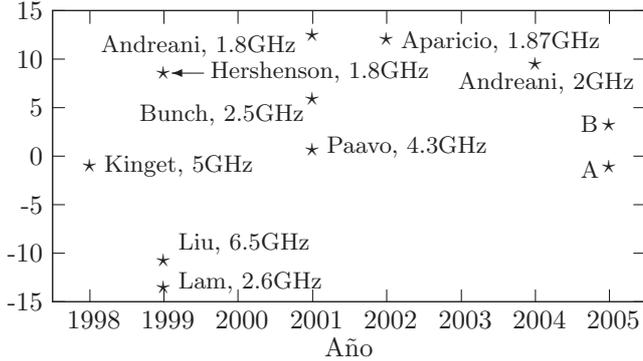


Figura 21: Figura de mérito PFN para MOS $0,35\mu\text{m}$, incluyendo los diseños A (con inductor modelado), y B (con inductor caracterizado).

de todo el diseño se mantiene el interés por aplicar parámetros de proceso de fabricación con el fin asumir algunos fenómenos como se presentan en realidad. Así mismo es evidente el rol protagónico que este circuito analógico juega dentro de un sistema de comunicaciones. Prueba de ello es la constante preocupación por satisfacer la exigencia de ruido de fase, que matiza todas las actividades de diseño del oscilador.

Es notable la influencia del inductor planar en el consumo de potencia y el área de integración. Se recomienda la exploración de nuevas alternativas para inductor integrado que ofrezcan mejor factores de calidad. Así mismo, debe hallarse el camino para el diseño de osciladores integrado dentro de sistemas de comunicaciones cuyas exigencias de canalización demanden bajos ruido de fase en la región $1/f^3$, teniendo que adaptar el correspondiente modelo matemático a términos de variables de diseño. Así mismo, debe cuantificarse el papel de la distorsión armónica en osciladores integrados, y proponerse una estrategia de diseño que satisfaga requisitos de ruido de fase evitando escalamientos sustanciales de la corriente operación, quizás adaptando modelos detallados de ruido para el transistor.

Referencias

- [1] E. Camacho and E. Colmenares, "Diseño y simulación de un modulador Sigma-Delta," Tesis de pregrado de la Universidad Industrial de Santander, 2000.
- [2] R. L. Bunch, "A Fully Monolithic 2.5 GHz LC Voltage Controlled Oscillator in $0.35\ \mu\text{m}$ CMOS Technology," April 2001.
- [3] D. Ham and A. Hajimiri, "Concepts and methods in optimization of integrated LC VCOs," *IEEE J. Solid-State Circuits*, vol. 6, no. 36, pp. 896–909, June 2001.
- [4] M. Hershenson, A. Hajimiri, S. Mohan, S. Boyd, and T. Lee, "Design and Optimization of LC oscillators," in

IEEE Trans. Computer-Aided Design, November 1999, pp. 65–69.

- [5] D. Ham and A. Hajimiri, "Design and optimization of a Low Noise 2.4 GHz CMOS VCO with Integrated LC Tank and MOSCAP Tuning," California Institute of Technology, Pasadena, CA 91125, USA.
- [6] C. Toumazou, G. Moschytz, and B. Gilbert, *Trade-Offs in Analog Circuit Design*. Kluwer Academic Publishers, 2002.
- [7] W. A. Mergado and J. V. do Vale Neto, "Programação Geométrica Aplicada ao Projeto de um Oscilador LC Controlado por Tensão," Escola Politécnica da USP.
- [8] A. Hajimiri and T. Lee, "A General Theory of Phase Noise in Electrical Oscillators," *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 179–194, 1998.
- [9] P. Andreani and S. Mattisson, "On the Use of MOS Varactors in RF VCO's," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 905–910, June 2000.