

SISTEMA FLEXIBLE DE MULTIPROCESADORES ORIENTADO A TRATAMIENTO DE IMÁGENES

Mario Raffo-Jara, Daniel Iparraguirre-Cárdenas, Carlos Silva-Cárdenas.

Grupo de Microelectrónica (GuE) - Pontificia Universidad Católica del Perú.
Av. Universitaria Cdra. 18 S/N, San Miguel, Lima32, Lima-Perú
Telef. (511)6262000 Ext. 4684 – Fax (511) 6262087

mraffo@pucp.edu.pe, daniel.iparraguirre@pucp.edu.pe, csilva@pucp.edu.pe

ABSTRACT

This work is about a “flexible multiprocess system with aims towards image processing” which results in implementing a flexible multiprocessor based system architecture on an FPGA in order to perform different processes to images (filtering, Wavelet Transform, Fourier Transform, etc) using multiple memories, a cross-bar array and an arbiter. The system is designed so the computer transfers information through the PCI Bus and also through an external DDR-SDRAM memory to hold the image to be processed. The FPGA employed will be FPGA STRATIX EP1S25F1020C5 (ALTERA company).

1. INTRODUCCIÓN

Debido a la existencia de múltiples técnicas de procesamiento en el campo de imágenes, se ha visto la necesidad de tener una arquitectura propia que sea flexible para poder realizar diversos procesamientos en Hardware, sea filtrado, umbralización, Transformada de Wavelet, Transformada de Fourier, etc, basados en una plataforma común que se encargará de la administración de los datos, en este caso, imágenes, en el FPGA, que permitirá comparar la eficiencia de distintas técnicas de tratamiento de imágenes que se desarrollarán gracias al uso de la plataforma común.

2. CONSIDERACIONES

El sistema se diseña en VHDL y se utiliza el software Quartus II 6.0 de la compañía ALTERA.

Para la implementación se utiliza la tarjeta de desarrollo “PCI Development Kit STRATIX EDITION” [1], la que utiliza el FPGA STRATIX EP1S25F1020C5 [2]. Tanto la tarjeta de desarrollo como el FPGA son de la compañía ALTERA.

Un programa en Visual C se encargará de transmitir los datos, en este caso imágenes de 256x256 píxeles, en escala de grises desde la PC hacia el FPGA por

intermedio del Bus PCI [3] además de la memoria externa DDR SDRAM [4] [5] para almacenar los datos y la interrelación entre el PCI y la DDR SDRAM [6].

Para ello se utiliza lo siguiente:

2.1 Megacore PCI [1]

Este diseño de propiedad de Altera, gestiona la interrelación del Bus PCI hacia la memoria DDR SDRAM.

2.2 Megacore DDR [3]

Este diseño de propiedad de Altera, permite el acceso a la memoria externa para almacenar información, este megacore también va a ser utilizado por el Diseño MR (diseño propio) que se describirá en la sección 3.

3. ARQUITECTURA

En [6] se explica un diseño de referencia de ALTERA para la gestión de los datos del Bus PCI hacia la memoria DDR SDRAM.

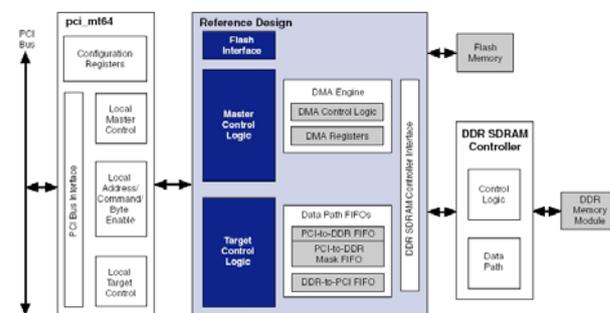


Figura 1. Extraído de [2]

Entonces la idea es modificar el diseño de referencia para que el Diseño MR pueda también acceder a la DDR SDRAM para obtener el dato transmitido desde la PC, efectuar el respectivo procesamiento, almacenar el dato modificado en otra posición de la memoria externa y

finalmente se hace uso del diseño de referencia para que se envíe el dato modificado a la PC.

Para lograr esto, se puede apreciar que en la figura 2 se introduce un Multiplexor / Demultiplexor entre el Diseño de Referencia y el Controlador DDR SDRAM, esto permite que el Diseño MR pueda también acceder a la memoria DDR.

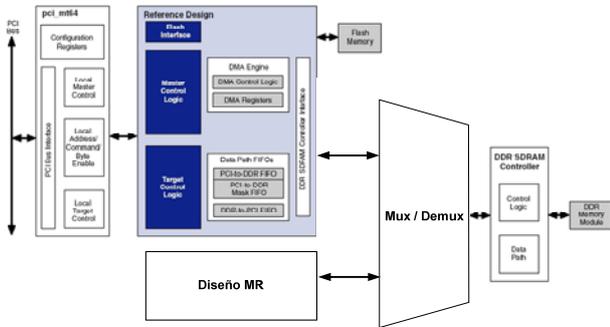


Figura 2. Diseño de referencia modificado [6].

El Diseño MR, como se puede apreciar en la figura 3, se compone de:

- Entrada de datos que proviene del Multiplexor / Demultiplexor.
- Un arreglo de Conmutador de Barra de Cruz.
- Cuatro memorias RAM, c/u de 64KBytes.
- Cuatro Procesadores específicos.
- Una Unidad de Control.

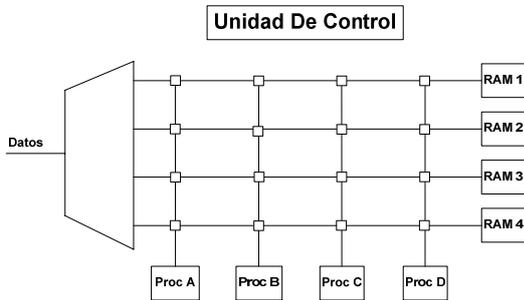


Figura 3. Diseño MR.

Los Conmutadores de barra de cruz están conformados por arreglos de Multiplexores y Buffers, la Unidad de Control se encarga de la correcta dirección de los datos.

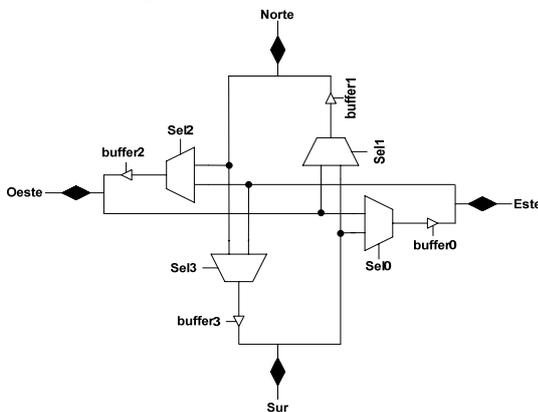


Figura 4. Conmutador internamente.

La transmisión de la información se da en los siguientes modos:

- Modo1: Norte a Sur y Este a Oeste (y viceversa).
- Modo2: Oeste a Norte y Sur a Este (y viceversa).

Las memorias RAM de capacidad de 64KBytes, sirven para almacenar una parte de la información que se traslada de la DDR SDRAM para hacerle el proceso respectivo.

Cada Procesador específico se puede diseñar para poder hacer un procesamiento a la imagen, por ejemplo Transformada de Wavelet. Para probar la arquitectura se hizo un procesador que umbraliza la imagen.

4. RESULTADOS

El sistema fue probado para la tarea de umbralizar una imagen, es decir, el procesador está diseñado para realizar esta tarea. Para esto hubo un consumo menor del 23 % de los recursos del hardware y el sistema opera con una frecuencia de 133MHz.

5. CONCLUSIONES

Poder contar con el manejo del Bus PCI, tener una memoria externa de 256Mbytes y sumado a los resultados anteriores, hace viable el manejo de video.

6. APLICACIONES

Al tener una arquitectura que gestiona el manejo de imágenes en el FPGA, se podrán desarrollar sistemas que permitan:

- Reconocimiento de las placas de los vehículos de los conductores que no respetan la luz roja de los semáforos, lo que es un sistema automático que permite detectar a los infractores.
- Análisis de armónicos en la Red Eléctrica, lo que se puede efectuar haciendo un procesador que realice en principio, la Transformada Rápida de Fourier.

Esto es posible ya que ahora el enfoque consistirá en diseñar el procesador correspondiente para la tarea en cuestión.

7. REFERENCIAS

- [1] Altera Corporation, PCI High-Speed Development Kit, Stratix Professional Edition, Septiembre 2003.
- [2] Altera Corporation, Stratix Architecture, Julio 2005.
- [3] Altera Corporation, PCI MegaCore Function User Guide, (V.2.3), Febrero 2003.
- [4] Altera Corporation, DDR SDRAM MegaCore Function User Guide, (V.2.1.0), Febrero 2003.
- [5] Micron Technology, Inc., "256Mb: x8 (DDR) SDRAM MT46v32m8 Datasheet", Marzo 2004.
- [6] Altera Corporation, PCI to DDR SDRAM Reference Design, an223 (V.1.0), Mayo 2003.