

LAZOS ENGANCHADOS

Héctor Trujillo Alvarado

Centro de investigaciones en Microelectrónica (CIME), ISPJAE

RESUMEN

Se presentan brevemente los circuitos PLL y DLL. De forma análoga, el seguidor de voltaje se interpreta como un lazo enganchado de voltaje. El seguidor de corriente es susceptible de una analogía similar. El conjunto de dispositivos se considera como una familia de lazos enganchados. La analogía propuesta, es favorable desde el punto de vista didáctico.

Se destaca la importancia actual de la fase/demora en los sistemas electrónicos expresando en forma de “leyes” su comportamiento circuital. Resultados de simulación con PSPICE revelan buena concordancia con la teoría presentada.

INTRODUCCION

El desarrollo de los PLL ha ido al compás del desarrollo de la tecnología de la microelectrónica, aumentando sus prestaciones y frecuencia de trabajo. Los DLL, o lazos enganchados de retardo, realizan una función muy similar a la de los PLL y presentan algunas ventajas en estas aplicaciones. Ambos, se emplean en los equipos de comunicaciones, trabajando hasta en el orden de los gigahertz [1]. Son circuitos en constante desarrollo con número elevado de patentes que se conceden anualmente sobre esta temática. Por ejemplo ver [2].

Se presentan las características generales de estos circuitos y se tratan otros dispositivos conocidos considerándolos por analogía como miembros de la familia de los Lazos Enganchados. Esta generalización conceptual es útil desde el punto de vista didáctico y además resalta características comunes que pueden conducir a nuevas prestaciones.

2. LAZOS ENGANCHADOS

Los lazos enganchados son circuitos selectivos de una magnitud eléctrica de entrada dada, con realimentación negativa, que operan produciendo una señal de salida que puede igualarse a la de la señal de entrada, es decir, con ganancia 1. En esta condición “enganchada”, cualquier cambio de la magnitud de la señal de entrada es seguida por la señal de salida. Ejemplos de estos circuitos son los PLL y DLL. Aquí se presenta la analogía de considerar como miembros de esta familia a los seguidores de voltaje y corriente.

2.1. Los PLL y DLL

PLL son las siglas en inglés del lazo enganchado de fase. Está compuesto por un detector de fase, un filtro pasabajos, un oscilador controlado por voltaje (OCV) y un divisor de frecuencia. Cualquier cambio de la frecuencia de entrada primero aparece como un cambio de fase entre la frecuencia de entrada y la del OCV. Este corrimiento de fase actúa entonces como una señal de error para cambiar la frecuencia del OCV para que se iguale a la frecuencia de entrada. En el lazo de realimentación entre la salida del OCV y la entrada del Detector de Fase se puede intercalar un bloque (que no puede ser cualquiera) ya que debe tener una función de transferencia con entrada de fase o frecuencia y salida también de fase o frecuencia, o sea ser un “convertidor de fase”.

Por otra parte, DLL son las siglas en inglés del “lazo enganchado de demora”. Lo componen una línea de demora controlada por tensión, un detector de fase, una bomba de

cargas y un filtro de primer orden. Se emplean donde no se requiere síntesis de reloj, y son una alternativa atractiva frente a los PLL debido a que presentan menores efectos del *jitter* y mejor estabilidad.

2.2. El lazo enganchado de tensión

El seguidor de voltaje presenta características similares a los PLL y DLL. En este caso el circuito es capaz de seguir los cambios de la tensión de entrada dentro de ciertos límites, esto es, cuando la velocidad de cambio de la señal no sobrepase el *Slew Rate* del dispositivo, el ancho de banda de la señal no sobrepase el ancho de banda del amplificador, etc. Comprende un amplificador diferencial de entrada, un filtro pasabajos (debido a su propia construcción) y un amplificador de salida de baja impedancia. En la rama de realimentación se puede, al igual que en el caso del PLL, introducir componentes que solo modifiquen (en este caso) la respuesta de tensión sin alterar la respuesta de frecuencia y la ganancia. O sea se emplearían convertidores tensión-tensión. Los seguidores de corriente originan lazos enganchados de corriente.

3. CIRCUITOS Y FASE/DEMORA

Debido a la importancia que la fase /demora tiene en el funcionamiento de los circuitos integrados, cada vez más grandes, complejos y con elevada frecuencia de trabajo, resulta conveniente resumir algunas propiedades circuitales de la fase.

En un circuito electrónico dependiendo del “camino electrónico” que sigan las señales llegarán a un mismo punto con fases diferentes, como se ilustra en la Figura 1.

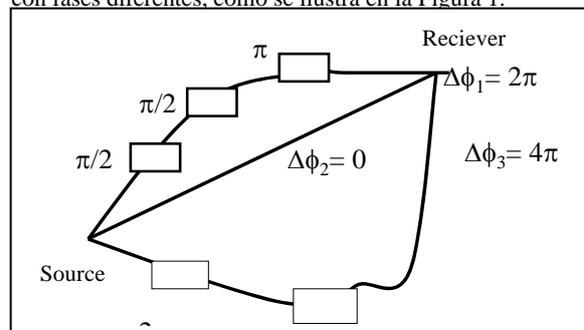


Figura 1. Caminos electrónicos entre dos nodos de un circuito

Ya que la tensión en un nodo respecto a otro de referencia es única, la fase del mismo también es única; no se puede tener ese nodo con fases diferentes de $\pm n\pi$, $n=0,1,2,3\dots$ ya que se produciría la “interferencia”.

Esta interferencia tiene diferentes manifestaciones, una de ellas es la posible pérdida de “sincronismo” con el reloj debido a retardos mayores a los permisibles.

Adecuando la ley de Kirchoff de las tensiones en una malla al caso de la fase, se puede plantear:

En una trayectoria circuital cerrada la suma de las caídas de fase (independientes) más la suma de las subidas de fase (independientes) es igual a cero.

Analíticamente:

$$\sum \Delta\phi_{subidas} + \sum \Delta\phi_{caídas} = 0 \quad (3)$$

4. EJEMPLO DE APLICACIÓN CON EL PLL

Se implementó un PLL para mediante la simulación con PSPICE aplicar la metodología de análisis propuesta. Se conformó un detector de fase del tipo multiplicativo con transistores bipolares y polarizado con una fuente de corriente. Se trabajó con una fuente de señal de pulsos de 4kHz, ciclo útil del 50 por ciento y 8 V pico-pico de amplitud de manera que el DF trabajara como una compuerta OR exclusivo.

Se empleó un filtro RC pasabajos de un polo y como OCV un generador de ondas triangulares y cuadradas [3]. Se incorporaron otras componentes que permitieron aumentar la ganancia del lazo K_L y polarizar al OCV de manera de obtener una onda cuadrada de frecuencia de corrida libre adecuada. Se realizó la conexión típica del PLL como seguidor de fase. Se simuló con PSPICE el circuito así conformado obteniéndose igual frecuencia de la señal de salida del OCV que la señal de entrada, cosa demostrada a través de la respuesta de frecuencia (Fourier) obtenida con la facilidad .PROBE de PSPICE. En el análisis en el tiempo, Figura 2, se observa un defasaje entre ambas señales de , $\Delta\Phi_i = \Delta\Phi_o - \Delta\Phi_{señal} = -15 \mu s$.

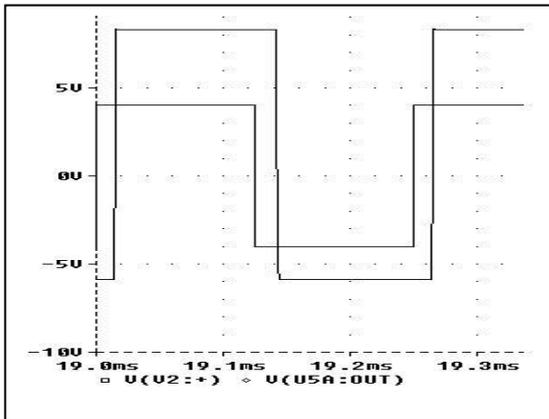


Figura 2. Señal y salida del PLL como seguidor de fase

En la Figura 3 se realimenta al PLL con el bloque de DELAY que brinda el PSPICE. En la figura se señalan los defasajes asociados a cada elemento así como el defasaje a la salida $\Delta\phi_o$.

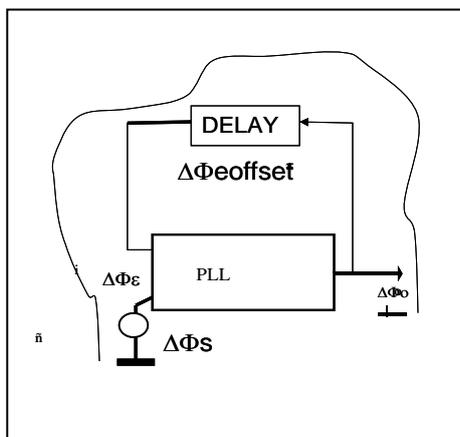


Figura 3. PLL realimentado con red de defasaje

Usando la ley de mallas para la fase dada en (3) se puede plantear:

$\Delta\phi_{señal} + \Delta\phi_i + \Delta\phi_{delay} - \Delta\phi_o = 0$ y como la señal se toma como referencia, $\Delta\phi_{señal} = 0$; con lo cual resulta:

$$\Delta\phi_o = \Delta\phi_i + \Delta\phi_{delay} \quad (4)$$

Para el caso sin delay, (figura7), $\Delta\phi_{o1} = \Delta\phi_i$ y para el caso de un delay determinado, $\Delta\phi_o = \Delta\phi_i + \Delta\phi_{delaydet}$ La variación de fase resulta:

$$\Delta\phi_o = \Delta\phi_{delaydet} \quad (5)$$

Los resultados de la simulación fijando un defasaje de $\pi/4 = 31.25\mu s$ en el bloque de demora aparecen en la Figura 4.

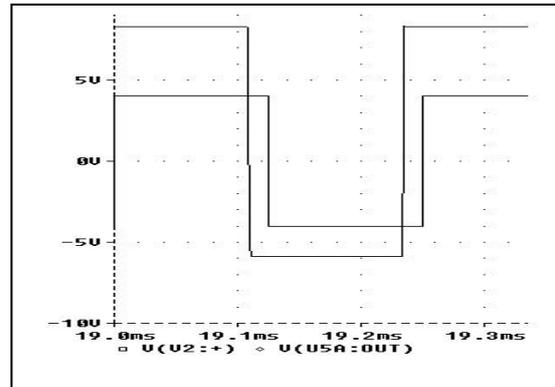


Figura 4. Señal y salida del OCV con red de defasaje

Comparando las formas de onda presentadas en las Figuras 2 y 4 se observa que el PLL está enganchado a una frecuencia fundamental de 4kHz en ambos casos.

El defasaje que aparece entre la señal y la salida del OCV en la figura 4 es de $\Delta\Phi = \Delta\Phi_o - \Delta\Phi_{señal} = 15 \mu s$. Como el defasaje inicial es de $-15\mu s$ entre la señal y la salida del OCV (figura 2), el defasaje introducido por la red es de $30\mu s$, muy próximo al teórico de $31.25\mu s$.

5. CONCLUSIONES

Se propuso una analogía para los seguidores de tensión y corriente tratándolos de forma similar a los PLL y DLL formando una familia de lazos enganchados. Este conjunto de dispositivos poseen aspectos comunes en su funcionamiento y características propias dadas por tipos de componentes que se pueden emplear en sus lazos de realimentación y procesos lineales o no lineales. Esta generalización permite un enfoque más didáctico de su tratamiento y la posibilidad de desarrollar otras aplicaciones. Se resumieron las características circuitales fundamentales de la fase en sendas leyes. Se implementó un PLL realimentándolo con un bloque de demora y se simuló con PSPICE obteniéndose corrimientos de fase a la salida similares al valor de defasaje introducidos por la red corroborando las leyes de la fase propuestas.

6. REFERENCIAS

[1]. "Wide range 10GHz frequency synthesizer with optional f/2 or f/4 outputs". Newlogic Technologies AG, Austria, 2004
 [2]. Bening, A, et al.:(Philips) US 6823032 "Telecommunication device including a clock generation unit"
 [3] Millman, J .: Microelectronics, Mc Graw Hill, N.Y., 1979