

# IMPLEMENTAÇÃO E VALIDAÇÃO DE IP SOFT CORES PARA INTERFACES ETHERNET 10/100 E 1000 MBPS SOBRE DISPOSITIVOS RECONFIGURÁVEIS

*Chris Tomás Horna<sup>1</sup>, Fábio Ramos<sup>1</sup>, Marcelo Barcelos<sup>1,2</sup>, Ricardo Reis<sup>1</sup>*

<sup>1</sup> Instituto de Informática – Universidade Federal do Rio Grande do Sul (UFRGS)

<sup>2</sup> Datacom Telemática – Av. França, 735 – CEP.90230-220 – Porto Alegre/RS – Brasil

{ctomas, flramos, reis}@inf.ufrgs.br , barcelos@datacom-telematica.com.br

## RESUMO

Este artigo apresenta a implementação e validação de três núcleos de propriedade intelectual (IP Soft Cores) destinados a desempenhar o papel de interfaces Ethernet sobre dispositivos reconfiguráveis. Dois dos três IP Soft Cores, implementam as funções correspondentes ao subnível de controle de acesso ao meio (MAC) para taxas de transmissão de 10/100 e 1000 Mbps, respectivamente. O terceiro IP Soft Core implementa os subníveis PCS e PMA do sistema de mídia 1000BASE-X, para prover interligação com o meio físico de fibra óptica. A descrição dos circuitos foi totalmente modular e realizada na linguagem VHDL, o que permitiu obter um alto grau de customização e reúso do projeto. A plataforma de implementação utilizada é um dispositivo reconfigurável FPGA Virtex-II Pro da Xilinx. Finalmente, duas propostas de ambientes de validação hardware são apresentadas.

## 1. INTRODUÇÃO

Ethernet é, sem dúvida, a tecnologia de rede de comunicação de dados mais difundida nas últimas duas décadas; desde sua concepção para redes locais (em inglês, *Local Area Networks* ou LANs) até sua atual integração sobre redes metropolitanas (MAN) e redes de longa distância (WAN). A popularidade e o crescimento desta tecnologia são evidentes devido ao acelerado processo de padronização da taxa de transmissão: 10 Mb/s em 1983, 100 Mb/s em 1995, 1 Gb/s em 1998, e 10 Gb/s em 2002[1]. O sucesso da Ethernet se encontra na simplicidade de uso e no rigor da sua especificação, o que permite uma excelente integração com outras tecnologias de redes.

O presente trabalho propõe a implementação e validação de três núcleos de propriedade intelectual flexíveis (também conhecidos como IP Soft Cores) sobre dispositivos reconfiguráveis, destinados a executar funções essenciais da tecnologia Ethernet. Trata-se aqui da implementação de dois IP Soft Cores que desempenham o papel de protocolo de controle de acesso ao meio para redes Ethernet (*Medium Access Control* ou MAC), capazes de suportar taxas de transmissão de 10/100 Mbps e 1000 Mbps, respectivamente. Um

terceiro IP Soft Core foi desenvolvido com a finalidade de prover enlace com o meio físico de fibra óptica. Para auxílio na validação dos núcleos de propriedade intelectual foi necessário projetar um quarto módulo, chamado de PacketFIFO, para a contenção dos quadros Ethernet transferidos pelo subnível MAC.

O objetivo estratégico do trabalho foi dominar as especificações e os critérios de implementação em hardware digital das interfaces Ethernet impostas pelo padrão IEEE, para em seguida projetar o hardware partindo de uma descrição VHDL. A alternativa, que justifica este trabalho, é a criação de módulos de hardware reutilizáveis e personalizáveis voltados à prototipação rápida de circuitos de comunicação de dados para redes Ethernet. Este projeto se realiza em parceria com a Empresa Datacom Telemática (empresa brasileira de fabricação de equipamentos de telecomunicações).

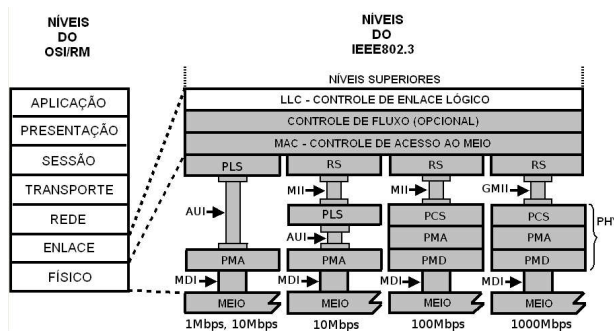
Este artigo é dividido em seis seções. A seção 2 introduz os detalhes mais relevantes da tecnologia Ethernet e os trabalhos relacionados ao desenvolvimento de interfaces Ethernet. Na seção 3 são descritas as características funcionais dos núcleos de propriedade intelectual projetados e os resultados experimentais obtidos da implementação sobre um dispositivo FPGA. A seção 4 resalta as alternativas de validação hardware utilizadas no presente trabalho. Finalmente, nas seções 5 e 6 são apresentadas as conclusões e as referências do trabalho.

## 2. A TECNOLOGIA ETHERNET

A proposta original da tecnologia Ethernet foi publicada no ano 1976 por Metcalfe e Boggs[2]. Posteriormente, no ano 1980, esta foi padronizada pela primeira vez pelo consórcio de empresas DEC-Intel-Xerox com o nome de padrão DIX Ethernet. Finalmente, no ano 1985, sob a direção da IEEE (*Institute of Electrical and Electronics Engineers*) Standards Association se definiu o padrão Ethernet oficial para redes locais, identificando-o com o código IEEE 802.3.

O padrão IEEE 802.3 ocupa o equivalente aos níveis 1 e 2 do modelo de referência para interconexão de sistemas abertos (em inglês, *Reference Model for Open Systems Interconnection* ou RM-OSI). O nível 2 do RM-OSI, também conhecido como nível de enlace de dados, é

representado pelo subnível MAC e pelo subnível de controle de enlace lógico (em inglês, *Logical Link Control* ou LLC), como se observa na figura 1. O subnível MAC suporta dois modos de operação: Half-duplex (para transmissão de dados sobre um meio físico compartilhado) e Full-duplex (para transmissão de dados em ligação ponto-a-ponto).



**Figura 1: Relação entre o padrão IEEE 802.3 e o RM-OSI**

### 2.1 O Quadro 802.3 e o protocolo CSMA/CD

Todos os campos do quadro Ethernet são de tamanho fixo, a exceção do campo de dados. Para efeito de sincronização e sinalização de início de quadro, são utilizados os campos de preâmbulo e SFD (*Start Frame Delimiter*), respectivamente. O campo FCS (*Frame Check Sequence*) é um valor de 4 bytes resultante da técnica CRC-32 (*32bit-Cyclic Redundancy Check*) utilizada para verificação de erros no quadro recebido. A figura 2 mostra a estrutura do quadro padrão 802.3.

Preâmbulo	SFD	Endereço Destino	Endereço Origem	Tamanho do Quadro	Dados	FCS (CRC)
7 bytes	1 byte	6 bytes	6 bytes	2 bytes	46 ~ 1500 bytes	4 bytes

**Figura 2: Estrutura do quadro 802.3 básico**

O protocolo CSMA/CD (*Carrier Sense Multiple Access / Collision Detection*) pertence ao subnível MAC e é especificado na cláusula 4 do padrão IEEE 802.3[3]. Sua função principal é arbitrar o acesso de vários dispositivos interligados em um ambiente de meios físicos compartilhados. Este protocolo fornece o modo de operação Half-duplex.

### 2.2 Full-duplex e o Mecanismo de controle de fluxo

Ambas características foram introduzidas no suplemento IEEE 802.3x, no ano 1997. O modo de operação Full-duplex desativa o protocolo CSMA/CD e permite a comunicação simultânea entre dois dispositivos.

No suplemento é incluído um mecanismo opcional para o controle de fluxo sobre *links* Full-duplex (conhecido como *MAC Control*), sendo especificado na cláusula 31 do padrão IEEE 802.3[3]. Sua função principal é bloquear temporariamente a transmissão de um dispositivo que está fornecendo quadros em excesso (além da

capacidade do buffer do dispositivo receptor). Isto é realizado através da geração e detecção do quadro especial de *Pause* (definido pelo padrão), capaz de transportar um parâmetro chamado tempo de pausa que indica o tempo de bloqueio do transmissor (em unidades de tempo de *slot*).

### 2.3 A interface independente do meio

Esta interface é especificada na cláusula 22 do padrão IEEE 802.3[3] e é conhecida como MII (*Media Independent Interface*). Sua função principal é permitir que qualquer um dos meios físicos padronizados possa se comunicar de forma única com o subnível MAC, com taxas de transferência de dados de 10 Mbps e 100 Mbps. Também possui um mecanismo para o gerenciamento de dispositivos de nível físico de 10/100 Mbps ou 1000Mbps (em inglês, *Physical Layer Devices* ou PHYs). Este mecanismo é conhecido como MIIM (*Media Independent Interface Management*) e permite acessar às informações de estado, erros e capacidades próprias do PHY.

### 2.4 Gigabit Ethernet

A tecnologia Gigabit Ethernet é a terceira geração do Ethernet, capaz de suportar uma taxa de transmissão de 1000 Mbps mantendo compatibilidade com o sistema Ethernet original. Esta extensão arquitetural foi definida pelos padrões IEEE 802.3z e IEEE 802.3ab, nos anos 1998 e 1999 respectivamente.

O modo de operação Half-duplex, utiliza o método de acesso CSMA/CD original com duas importantes modificações: extensão da portadora (*carrier extension*) e rajada de quadros (*frame bursting*). A maioria dos dispositivos Gigabit Ethernet produzidos até hoje suportam somente o modo de operação Full-duplex[4].

A figura 1 mostra a ligação entre o subnível MAC e o nível físico da tecnologia Gigabit Ethernet. Esta é realizada através do subnível de reconciliação (em inglês, *Reconciliation Sublayer* ou RS) e da interface gigabit independente do meio (em inglês, *Gigabit Media Independent Interface* ou GMII), ambas especificadas na cláusula 35 do padrão IEEE802.3[3].

O nível físico suporta dois tipos de sistemas de mídia: O sistema de mídia de par trançado 1000BASE-T e o sistema de mídia de fibra óptica 1000BASE-X. Ambos sistemas de mídia são encapsulados em um dispositivo PHY, como mostra a figura 1. A seguir serão descritas as principais características dos três subníveis que compõem o PHY no sistema de mídia 1000BASE-X:

- PCS (*Physical Coding Sublayer*): Este subnível é responsável pela geração dos sinais de controle da GMII e pela codificação/decodificação tipo 8B/10B dos octetos transferidos pela GMII. Também implementa o processo de *auto-negotiation* para informar se o PHY está pronto para ser usado.

- PMA (*Physical Medium Attachment*) Sublayer: É o encarregado da serialização dos códigos vindos do PCS e da deserialização dos bits vindos do meio físico. Também é responsável pela recuperação do relógio a partir dos dados codificados no esquema 8B/10B.
- PMD (*Physical Medium Dependent*) Sublayer: Este subnível define a sinalização do nível físico, suportando vários conectores e tipos de mídia tais como: fibra óptica monomodo, fibra óptica multimodo e cabeamento de cobre balanceado.

## 2.5 Trabalhos relacionados

Foi feita uma pesquisa bibliográfica para identificar o estado-da-arte no desenvolvimento de IP Soft Cores para a implementação de interfaces Ethernet [5-9].

Nos últimos anos, a companhia Xilinx vem criando uma série de *Soft IP's* para redes Ethernet[10,11]. Recentemente, lançou ao mercado os dispositivos Virtex-4 FX com interfaces MAC Ethernet embutidas no modo de IP Hard Cores[12].

## 3. IMPLEMENTAÇÃO DOS IP SOFT CORES ETHERNET E O MÓDULO PACKETFIFO

### 3.1 O IP Soft Core MAC 10/100

Este core é responsável pela implementação em hardware do subnível MAC para taxas de transmissão de 10/100 Mbps (Half Duplex e Full Duplex) segundo as cláusulas 2, 3 e 4 do padrão IEEE 802.3[3]. As funcionalidades do core são organizadas em sete módulos como mostra a figura 2.

A seguir serão descritas as principais funcionalidades de cada módulo que compõe o core segundo as especificações do projeto:

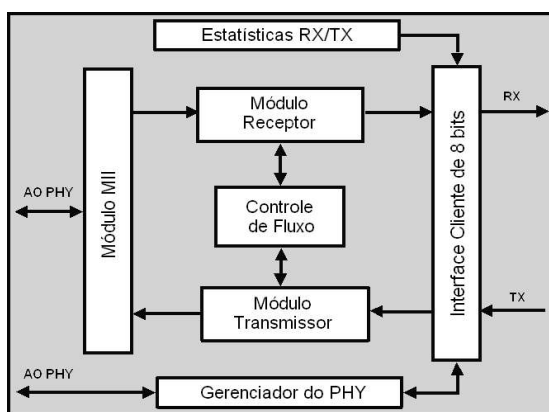


Figura 3: Diagrama de Blocos funcional do IP Soft Core MAC 10/100

- Módulo Receptor:
  - Remove os campos de preâmbulo, SFD e FCS.
  - Detecta automaticamente quadros com número não inteiro de octetos ou com quantidade de octetos não compatível segundo o padrão IEEE 802.3.

- Implementa o mecanismo CRC-32 para detecção de erros no quadro recebido.
- Verifica endereços *Broadcast* e *Multicast*.
- Detecta quadros com Tag VLAN.
- Funções adicionais fora do padrão: Filtra cinco endereços MAC diferentes, suporta modo promíscuo e recepção de pacotes tipo *Jumbo* de até 64KBytes.

- Módulo Transmissor:

- Gera os campos de preâmbulo, SFD e FCS.
- Gera automaticamente o *Inter-Frame Gap* (IFG).
- Complementa automaticamente o tamanho mínimo do quadro transmitido (*padding*).
- Detecta colisões e gera o sinal de *Jam*.
- Implementa o algoritmo de "*Truncated binary exponential backoff*" e o processo de deferencia.
- Funções adicionais fora do padrão: Habilita a transmissão de pacotes tipo *Jumbo*.

- Módulo de Controle de fluxo:

- Gera e/ou detecta quadros de *Pause*.
- Utiliza lógica de *handshaking* com os módulos transmissor e receptor do core, devido às diferenças de domínio de relógio.

- Módulo de estatísticas RX/TX:

- Estatísticas RX: Indica se o quadro recebido é do tipo: *Pause*, *Unicast*, *Broadcast*, *Multicast*. Indica o tamanho do quadro recebido e se está livre de erros.
- Estatísticas TX: Indica o tamanho do quadro transmitido e se é do tipo *Pause*. Também indica os eventos do protocolo CSMA/CD (*excessive collision*, *late collision*, *excessive deferral*, *tx deferred*).

- Módulo MII:

- Implementa o subnível de reconciliação da MII, para transferências de dados em formato de *nibbles* com uma frequência de operação de 2.5MHz (10 Mbps) ou 25 MHz (100 Mbps).
- Funções adicionais fora do padrão: Opção de *loopback* na MII para validação funcional do core.

- Módulo Gerenciador do PHY:

- É um co-processador independente encarregado do gerenciamento do PHY através de um canal bidirecional-serial chamado MDIO (*management data input/output*) e um sinal de relógio de 2.5MHz chamado MDC (*management data clock*).

- Interface Cliente de 8 bits:

- Permite a configuração do core. Inclui um banco de registradores que armazena os parâmetros de implementação 10/100 Mbps, definidos na secção 4.4.2 do padrão IEEE 802.3[3].
- Provê uma interface de 8 bits compatível com um módulo FIFO.

### 3.2 O IP Soft Core MAC 1000

Este core é responsável pela implementação em hardware do subnível MAC para uma taxa de transmissão de 1000 Mbps (Full Duplex) segundo as cláusulas 2, 3 e 4 do padrão IEEE 802.3[3]. As funcionalidades deste core são organizadas em sete módulos (equivalente ao core MAC 10/100) com as seguintes diferenças funcionais:

- Suporta unicamente o modo de operação Full-duplex.
- Não implementa as funcionalidades próprias do protocolo CSMA/CD.
- Para interação com o nível físico, utiliza o módulo GMII. Este módulo implementa o subnível de reconciliação da GMII, para transferências de dados em formato de *bytes* com uma frequência de operação de 125MHz (1000 Mbps).

### 3.3 O IP Soft Core Ethernet 1000BASE-X PCS/PMA

Este core é responsável pela implementação em hardware dos subníveis físicos PCS/PMA que compõem o PHY no sistema de mídia 1000BASE-X (modo Full Duplex forçado) segundo as cláusulas 36 e 37 do padrão IEEE 802.3[3]. As funcionalidades deste core são organizadas em seis módulos como se mostra na figura 3.

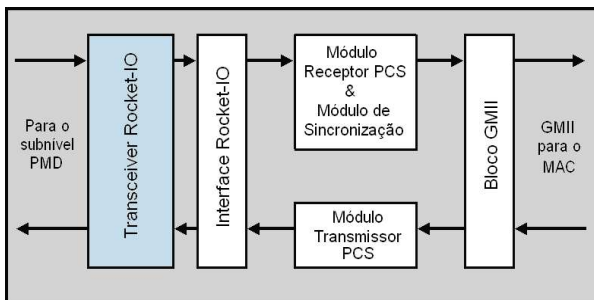


Figura 3: Diagrama de Blocos funcional do IP Soft Core Ethernet 1000BASE-X PCS/PMA

A seguir serão descritas as principais funcionalidades de cada módulo que compõe o core segundo as restrições do projeto:

- **Bloco GMII:**
  - Este módulo fornece o lado cliente da GMII. Isto obriga ao core trabalhar com uma frequência de operação de 125 MHz.
- **Módulo Receptor PCS:**
  - Converte a seqüência de códigos recebidos pelo decodificador 8B/10B em octetos da GMII segundo a máquina de estados representada nas figuras 36-7a e 36-7b do padrão IEEE 802.3[3].
  - Não implementa os estados que representam as seguintes funções: recepção no modo Half-Duplex,

comunicação com o dispositivo de autonegociação e o processo de *carrier sense*.

- **Módulo de Sincronização:**
  - Verifica se o meio físico está pronto para uma adequada recepção dos dados segundo a máquina de estados representada na figura 36-9 do padrão IEEE 802.3[3].
- **Módulo Transmissor PCS:**
  - Converte a seqüência de octetos da GMII em símbolos para a codificação 8B/10B segundo as máquinas de estados representadas nas figuras 36-5 e 36-6 do padrão IEEE 802.3[3].
  - Não implementa os estados que representam as seguintes funções: transmissão no modo Half-duplex, mecanismo de corrupção de dados e comunicação com o dispositivo de autonegociação.
- **Interface Rocket-IO:**
  - Provê os sinais de relógio que são utilizados no *transceiver* Rocket-IO (125 MHz e 62.5 Mhz) para obter uma velocidade de transferência de dados de 1.25 Gbaud/s.
- **Transceiver Rocket-IO:**
  - Implementa o codificador/decodificador 8B/10B do subnível PCS.
  - Implementa as principais funções do subnível PMA: serialização/deserialização de dados, *buffers* elásticos e a circuitaria para recuperação do relógio.
  - É compatível com dispositivos *transceivers* ópticos externos tais como: GBIC (*gigabit interface converter*) ou SPF (Small Form-factor Pluggable) que suportam o subnível PMD.

### 3.4 Módulo Packet FIFO

Este módulo utiliza o princípio de *First-In-First-Out* (FIFO) para o armazenamento temporário dos quadros Ethernet transferidos pela interface MAC. As principais características deste módulo são:

- É composto por dois sub-módulos independentes (Rx FIFO e Tx FIFO), para suportar transferências de dados no modo Full-duplex.
- Funcionamento assíncrono: Apresenta domínios de relógio diferentes, tanto para escrita como para leitura de dados.
- Possui duas memórias RAM de dupla porta de tamanho parametrizável e largura de palavra de 16 bits internas ao FPGA.
- É compatível com a interface cliente de 8 bits dos IP Soft Cores MAC 10/100 e MAC 1000. Também oferece uma interface cliente de 16 bits para os níveis superiores do RM-OSI.
- Utiliza uma lógica de descritores para gerenciar o armazenamento dos quadros na FIFO.

- Possui um mecanismo de controle capaz de realizar auto-descarte de quadros nos casos de: *Overflow* de memória e erro de CRC.

### 3.4 Resultados experimentais

Foi realizada a síntese dos circuitos desenvolvidos no presente trabalho sobre um dispositivo FPGA Virtex-II Pro XC2VP30. As ferramentas de síntese utilizadas são: XST (*Xilinx Synthesis Tool*) do ISE 7.1i da Xilinx e Synplify Pro 8.1 da Synplify.

A tabela 1 apresenta o consumo de recursos e a frequência máxima obtidas na síntese dos cores MAC 10/100 e MAC 1000. A frequência de operação do core MAC 10/100 é 25MHz (segundo o padrão), por esse motivo, o critério de otimização no XST foi visando “área” e no Synplify é usado um *constraint* de frequência de 25MHz. A frequência de operação do core MAC 1000 é 125 MHz (segundo o padrão), por esse motivo, o critério de otimização no XST foi visando “velocidade” e no Synplify é usado um *constraint* de frequência de 125MHz.

		XST	Synplify
CORE MAC 10/100	LUTs	918	981
	Flip Flops	507	337
	Fmax (MHz)	88	92.3
CORE MAC 1000	LUTs	741	746
	Flip Flops	399	377
	Fmax (MHz)	147.4	128.3

**Tabela 1: Resultados da síntese dos cores MAC 10/100 e MAC 1000**

A tabela 2 mostra uma comparação entre o terceiro IP Soft Core desenvolvido e um core da Xilinx que implementa de forma completa as funções das cláusulas que definem os subníveis físicos PCS e PMA. A frequência máxima pós síntese do core é 158.2 MHz, alcançando assim o requisito de velocidade imposta pela GMII. O consumo de recursos e a latência do caminho de dados no transmissor e no receptor PCS (Rx PCS e Tx PCS) do nosso core, resultaram menores comparado com [11] devido à redução de funções implementadas segundo as restrições do projeto.

Latência do caminho de dados (ciclos)					
Ref.	Slices	LUTs	Flip Flops	Rx PCS	Tx PCS
(**)	75	123	88	4	2
[11]	166	204	168	6	4

(\*\*) IP Soft Core Ethernet 1000BASE-X PCS/PMA

**Tabela 2: Desempenho do IP Soft Core Ethernet 1000BASE-X PCS/PMA**

O módulo PacketFIFO necessita atingir o requisito de frequência de 125 MHz para manter a compatibilidade com os cores MAC 10/100 e MAC 1000, portanto, o critério de otimização no XST foi visando “velocidade”. A tabela 3 mostra os resultados da síntese dos sub-módulos Rx FIFO e Tx FIFO modificando o tamanho da FIFO (*FIFO Depth*).

	FIFO Depth	LUTs	Flips Flops	Fmax (MHz)	Blocks RAM
Rx FIFO	128	318	167	153.5	1
	256	497	235	146.3	1
	512	707	368	142.9	1
Tx FIFO	128	285	128	156.5	1
	256	386	196	156.4	1
	512	576	322	153.6	1

**Tabela 3: Resultados da síntese dos sub-módulos que compõem o PacketFIFO**

## 4. PROPOSTAS DE VALIDAÇÃO HARDWARE

A validação funcional foi realizada fazendo uso de *testbenchs* para cada um dos blocos que compõem os cores. As ferramentas utilizadas para verificação funcional foram ModelSim da Mentor Graphics e Chipscope Pro 7.1i da Xilinx. No caso da validação em hardware teve que ser montado um cenário de teste composto pela placa de desenvolvimento AVNET Virtex-II Pro[13], um switch Metro Ethernet comercial DATACOM e um computador com placa de rede Fast Ethernet. A ideia principal da proposta de validação hardware é montar uma rede capaz de “duplicar” os quadros Ethernet que são transferidos desde o computador. A transmissão dos dados é realizada em ligação ponto-a-ponto (Full-duplex).

### 4.1 Cenário de testes do core MAC 10/100

A figura 4 mostra o cenário de testes utilizado para validação física do core MAC 10/100. O computador gera um tráfego determinístico de quadros UDP de tamanho fixo através de um transmissor Multicast desenvolvido em Java. Esses quadros são enviados à porta 10/100 # 2 do switch, para em seguida ser espelhados à porta 10/100 #1. Os quadros ingresam à placa de desenvolvimento através do conector RJ-45, que os encaminha ao *transceiver* de nível físico (chip PHY). Já no formato digital, os quadros são recebidos pelo core MAC 10/100 e o módulo de PacketFIFO. Um circuito de *loop-back* retorna os quadros ao core MAC 10/100 para serem transferidos de volta ao computador. No computador o analisador de rede Ethereal mostra a duplicação dos quadros e a integridade dos dados transmitidos na rede.

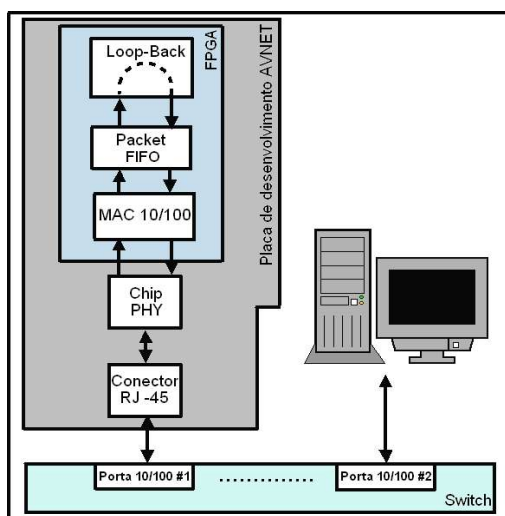


Figura 4: Cenário de testes para validação física do core MAC 10/100

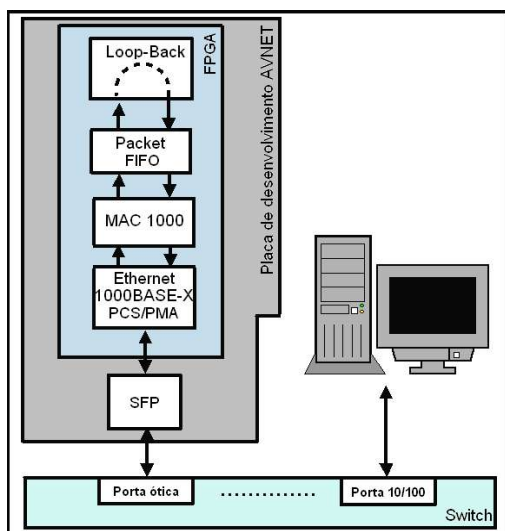


Figura 5: Cenário de testes para validação física dos cores MAC 1000 e Ethernet 1000BASE-X PCS/PMA

#### 4.2 Cenário de testes dos cores MAC 1000 e Ethernet 1000BASE-X PCS/PMA

A figura 5 mostra o cenário de testes utilizado para validação física dos cores MAC 1000 e Ethernet 1000BASE-X PCS/PMA. Seguindo o fluxo detalhado na seção 4.1, os quadros são transferidos desde o computador à placa de desenvolvimento através de um link óptico. O transceiver óptico SFP transfere os dados ao core Ethernet 1000BASE-X PCS/PMA, que a sua vez, disponibiliza os quadros em formato digital para o core MAC 1000. A partir daí, o módulo PacketFIFO e o circuito de loop-back realizam a função de realimentação de dados ao MAC 1000 para serem transferidos de volta ao computador. No computador o analisador de rede Ethernet mostra a duplicação dos quadros e a integridade dos dados transmitidos na rede.

## 5. CONCLUSÕES

Apresentou-se neste trabalho algumas alternativas para a implementação e validação física de interfaces ethernet 10/100/1000 Mbps sobre FPGAs. Os IP Soft Cores desenvolvidos implementam as especificações do padrão IEEE 802.3 e outras funções adicionais definidas no projeto. A modularização das arquiteturas de hardware adotada neste trabalho permitiu uma rápida prototipação e customização dos circuitos, atingindo assim, as necessidades de baixo custo e tempo de produção reduzido impostas pela realidade tecnológica nacional. Este trabalho se realizou dentro do convênio empresa-universidade TERACOM-UFRGS, como parte de um projeto destinado à concepção de um circuito integrado switch Ethernet Layer 2.

## 6. REFERENCIAS

- [1] H. Frazier and H. Johnson. "Gigabit Ethernet: From 100 to 1,000 Mbps". IEEE Internet Computing Journal January/February 1999.
- [2] M. Metcalfe and D. Boggs. "Ethernet: Distributed Packet Switching for Local Computer Networks". Communications of the ACM, Vol. 19, No. 5, 1976.
- [3] Institute of Electrical and Electronic Engineers. "IEEE Std 802.3". Standard document, 2005.
- [4] C. Spurgeon. "Ethernet: The Definitive Guide". O'Reilly and Associates Inc. 2002.
- [5] J. Fragozo et al., "Specification and Design of an Ethernet Interface Soft IP". Journal of the Brazilian Computer Society, vol. 6, no. 3, April, 2000
- [6] D. Torok et al., "Projeto, Implementação e Validação de um IP Soft Core Ethernet sobre Dispositivos Reconfiguráveis". In: VII Workshop Iberchip, Montevideo-Uruguay, 2001
- [7] M. Chen et al., "Parameterized MAC Unit Implementation". Proceedings of the Asia and South Pacific Design Automation Conference, Japan, 2001
- [8] I. Mohor. "Ethernet IP Core Specification". 2002. Disponível: <http://www.opencores.org/projects/ethmac/> (Acessado em 06/2005)
- [9] J. Moreno et al., "Design of a parametrizable low cost Ethernet MAC core for SoC solutions". International Symposium on System-on-Chip, 2003.
- [10] Xilinx Corporation, Inc. "1-Gigabit Ethernet MAC v8.1". Disponível em: [http://www.xilinx.com/ipcenter/catalog/logicore/docs/gig\\_eth\\_mac.pdf](http://www.xilinx.com/ipcenter/catalog/logicore/docs/gig_eth_mac.pdf) (Acessado em 11/2006)
- [11] Xilinx Corporation, Inc. "Ethernet 1000BASE-X PCS/PMA or SGMII v8.0". Disponível em: [http://www.xilinx.com/ipcenter/1gbsx\\_phy\\_lounge/gig\\_eth\\_pes\\_pma\\_ug155.pdf](http://www.xilinx.com/ipcenter/1gbsx_phy_lounge/gig_eth_pes_pma_ug155.pdf) (Acessado em 02/2006)
- [12] Xilinx Corporation, Inc. "Virtex-4 Embedded Tri-Mode Ethernet MAC User Guide". Disponível em: <http://www.xilinx.com/bvdocs/userguides/ug074.pdf> (Acessado em 06/2006)
- [13] Avnet, Inc. "Xilinx Virtex-II Pro development Kit". ADS-003704 Literature Number. May, 2003.