

INTERFASE ETHERNET DEDICADA IMPLEMENTADA SOBRE CYCLONE II

María Isabel Schiavon, Martin Raúl Lisandro, Daniel Crepaldo

Laboratorio de Microelectrónica, Facultad de Ciencias Exactas, Ingeniería y Agrimensura
Universidad Nacional de Rosario, Argentina.

Av. Pellegrini 250 – (2000) Rosario. Argentina.

TE: 54 341 4802649 int. 119 FAX: 54 341 4802654

E-mail: bambi@fceia.unr.edu.ar, rlmartin@fceia.unr.edu.ar, crepaldo@fceia.unr.edu.ar

SUMMARY

Encoder/decoder interface with collision detection VHDL design and implementation on the FPGA Cyclone II EP2C35F672C5 is presented. The interface uses a minimum subset of IEEE 802.3 standard rules for ETHERNET network connection respecting the TCP/IP. The implemented subset is enough for efficient and optimum communication.

Simulation and experimental test results over the ALTERA DE2 development board are shown.

RESUMEN

Se presenta el diseño y la implementación sobre una FPGA Cyclone II de una interfase que permite conectar un sistema autónomo a una red Ethernet utilizando el conjunto mínimo y necesario del protocolo regulado por la norma IEEE802.3 para el intercambio de datos con una red Ethernet. La interfase codifica y decodifica datos y detecta colisiones.

Se presentan resultados de simulaciones realizadas en el entorno QUARTUS II y de ensayos de laboratorio realizados sobre la placa de desarrollo DE2 provista por ALTERA para la FPGA Cyclone II EP2C35F672C5.

1. FUNDAMENTOS.

El objetivo general del trabajo es implementar sobre una plataforma lógica reconfigurable, un sistema autónomo que almacena una página web y maneja el protocolo necesario para conectarse a INTERNET a través de una red Ethernet. Del marco regulado por la normativa IEEE802.3, se recortó e implementó el conjunto mínimo y necesario de normas que permite realizar el intercambio de datos con una red ETHERNET respetando el protocolo TCP/IP.

Se describe el diseño e implementación del módulo que controla la comunicación, detectando colisiones y realizando la codificación/decodificación de datos. Se sintetizó el diseño descrito en VHDL [2]. La implementación se realizó sobre la placa de desarrollo DE2 [3] para la FPGA de ALTERA Cyclone II EP2C35F672C5 [4] se utilizaron las herramientas de desarrollo provistas por el mismo fabricante (Quartus II) [5]. Se trató de utilizar la menor cantidad de los recursos disponibles en la FPGA a fin de tener mayor disponibilidad para el resto del sistema.

2. DESARROLLO DEL TRABAJO

El módulo de comunicación se sintetizó en cuatro bloques descriptos en VHDL, uno encargado de codificar y transmitir los datos (transmisor), otro de recepcionar y decodificar la información recibida (receptor), una unidad de control que supervisa el proceso y detecta colisiones, y un bloque administrador de reloj. Este último bloque se implementó

sobre uno de los cuatro PLL embebidos en la FPGA. En la figura 1 se muestra el diagrama en bloques del sistema.

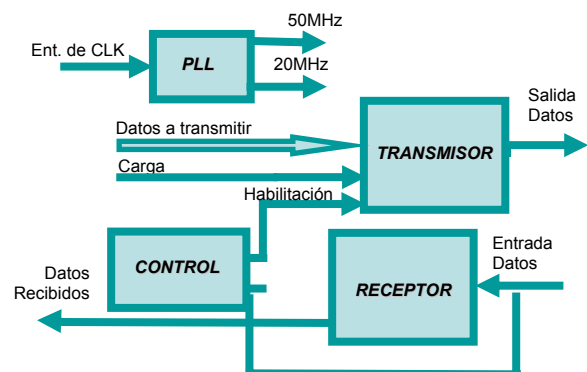


Figura 1: DIAGRAMA EN BLOQUES DEL SISTEMA

De acuerdo a lo establecido para una conexión tipo 10BASE-T, el sistema transmite y recibe datos en codificación Manchester a una velocidad de 10Mb/seg.. El reloj del sistema es de 50 MHz, ésta es la frecuencia de muestreo de los datos recibidos mientras que para la transmisión de datos se utiliza una señal de reloj de 20MHz generada por el bloque administrador de reloj.

A continuación se presenta una breve descripción funcional de cada uno de los bloques, y de los resultados obtenidos en la implementación.

2.1 Transmisor

Los datos deben ser transmitidos en codificación Manchester a una velocidad de 10 Mb/seg. Como se requieren al menos dos pulsos de reloj para conformar el dato de salida, el transmisor (figura 2) trabaja a una frecuencia de 20 MHz y consta de una máquina de estados y un registro de desplazamiento.

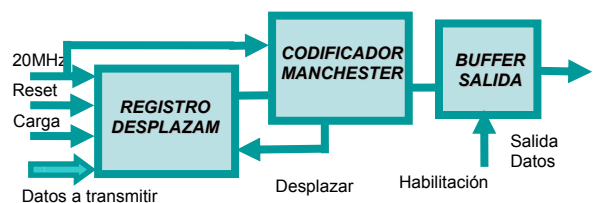


Figura 2: MÓDULO TRANSMISOR

El registro de desplazamiento se carga en forma paralela con el dato a transmitir, y el desplazamiento para disponer del siguiente dato se produce en sincronismo con la señal desplazar que genera un pulso positivo cada dos pulsos de

reloj. La datos están conectados al exterior a través de un buffer tri state.

2.2 Receptor

Como el sistema autónomo trabaja con datos binarios sin codificar, el receptor debe reconstituir los datos a este formato. Se implementó con un detector de flancos y un decodificador Manchester que funcionan a la misma frecuencia que el reloj principal (50MHz).

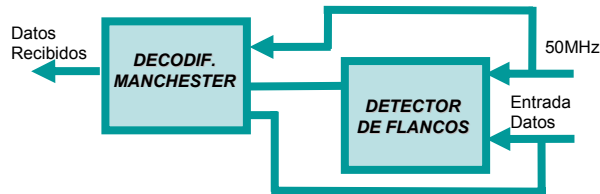


Figura 3: MODULO RECEPTOR

Para recuperar los datos es necesario detectar el inicio de bit. Dado que la trama Ethernet comienza con una sucesión alternada de unos y ceros, el inicio de bit se detecta cuando se reciben dos datos consecutivos distintos, o sea cada vez que se inicia una trama. De esta manera se asegura el sincronismo y se garantiza la correcta lectura de la información entrante. El bloque detector de flancos es el encargado de implementar este algoritmo y de generar la señal que sincroniza el muestreo en el decodificador.

2.3 Módulo De Control

El módulo de control es el encargado de supervisar las operaciones de transmisión y recepción, y en particular de detectar colisiones. Si detecta actividad en el canal de entrada inhibe cualquier otra transmisión hasta que éste se encuentre libre. La detección se realiza mediante el monitoreo permanente de un registro de desplazamiento de 16 bits que se carga en forma permanente con los datos que llegan al receptor. Ante una solicitud por parte del circuito interno, sólo habilita la transmisión si todos los bits del registro se encuentran en 0. En este caso pone en nivel alto la señal "libre" y de esta manera indica al circuito interno que el canal se halla disponible.

3. RESULTADOS OBTENIDOS

En las figuras 4 y 5 se presentan resultados de simulaciones para la recepción y transmisión de datos respectivamente realizadas en el entorno QUARTUS II.

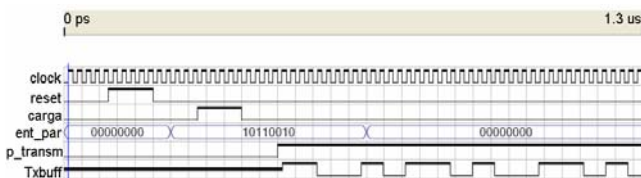


Figura 4: SIMULACIÓN DEL TRANSMISOR

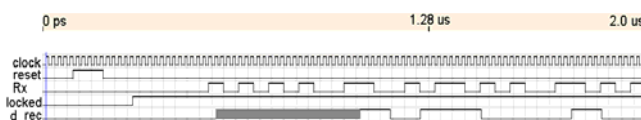


Figura 5: SIMULACIÓN DEL RECEPTOR

Para el ensayo de laboratorio se cargó el registro de desplazamiento con un dato de 8 bits (decimal 178).

Para verificar la recepción/decodificación y la codificación/transmisión y obtener las gráficas de la entrada (dato codificado) y la salida (dato decodificado) del receptor que se muestran en la figura 6 se implementó un bloque adicional, este bloque carga el dato a transmitir en forma cíclica y al mismo tiempo, para permitir el ensayo, inhabilita la detección de colisiones en el módulo de control.

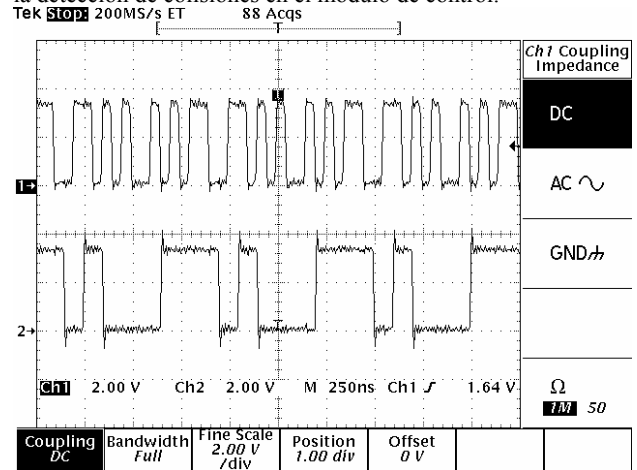


Figura 6: SEÑALES DE E/S DEL SISTEMA

Al forzar un nivel alto en el receptor se verificó el funcionamiento del detector de colisiones. La visualización y registro de ondas se realizó con un ORC Tektronix TDS 420.

4. CONCLUSIONES

Se presentó el diseño y la implementación sobre una placa de desarrollo DE2 de ALTERA para la FPGA Cyclone II EP2C35F672C5 de un circuito que codifica/transmite y recibe/decodifica datos en codificación Manchester de acuerdo a lo establecido para una conexión tipo 10BASE-T (10 Mb/s). Los recursos disponibles en la FPGA cubren los requerimientos de la norma en cuanto a entrada y salida diferencial y niveles de tensión. Los requerimientos de aislamiento se cubren mediante la incorporación de elementos externos.

A diferencia de los disponibles en el mercado bajo licencia para implementar una interfase Ethernet sobre una FPGA, este es un circuito dedicado a una aplicación específica. Como módulo encargado de la comunicación dentro de un sistema autónomo que utiliza más del 90% de los recursos de la FPGA, implementa las funciones necesarias y suficientes del protocolo para permitir la conexión a una red ETHERNET y realizar correcta y eficientemente el intercambio de información.

El módulo utiliza 56 elementos lógicos de los 33216 disponibles en el dispositivo lógico programable, utilizando en total menos del 1% del total de recursos.

4. BIBLIOGRAFÍA

- [1] IEEE Std 802.3-2002® (Revision of IEEE Std 802.3®, 2000 Edition). IEEE, marzo 2002
- [2] VHDL. Lenguaje para descripción y modelado de circuitos. Fernando Pardo Carpio. Universidad de Valencia, 1997.
- [3] DE2 Development and Education Board User Manual. Altera Corporation, 2006.
- [4] Cyclone II Device Family Data Sheet v3.0, Altera Corporation, 2006.
- [5] Quartus II Version 6.0 Handbook, Altera Corporation, 2006.