

DISEÑO E IMPLEMENTACIÓN DE UN FILTRO DIGITAL PASA-BAJO EN FPGA UTILIZANDO VHDL PARA EL LABORATORIO DE COMUNICACIONES DEL INSTITUTO TECNOLÓGICO DE SOLEDAD ATLÁNTICO – ITSA

C. Heiner, R. Alejandro, J. Jaime, C. Diana

Grupo de Investigación en Ciencias Electrónica Telecomunicaciones e Informática – GICETI -

jjuvinao@itsa.edu.co

Keywords: Filtro Digital, Filtro FIR, VHDL, DSP, FDA Tool, MATLAB, FPGA.

1. ABSTRACT

The present project is intended to design a low-pass FIR filter, which is described using VHDL and implemented on a FPGA. The design process includes the use of a DSP tool, Filter Design & Analysis Tool of MATLAB, to obtain the filter coefficients necessary to calculate the transfer function and the ideal parameters of the filter. The characteristics and the behavior of the design are described by the use of a Hardware Description Language as VHDL taking into account an algorithmic description that includes process and states machines. A D2E Spartan FPGA carries out the processing tasks determined in the VHDL code, and an analog to digital and a digital to analog converter are considered in the signal acquisition stage in order to transform the analog input signal into an appropriate format for the FPGA and to convert the filtered digital data into an analog signal again after the filtering process. An input sine signal is applied to the system and the response of the real filter is compared with the parameters obtained in the ideal case, in order to determine the proper functionality of the design.

2. DISEÑO DE UN FILTRO FIR

El diagrama general del proceso de diseño de un filtro FIR es el siguiente:

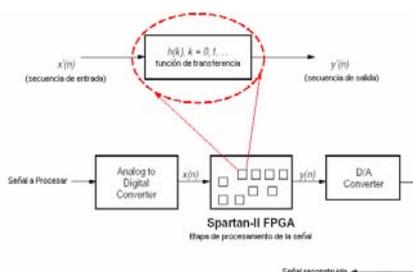


Figura 1. Diagrama Proceso de diseño Filtro FIR.

En el proceso se distinguen tres fases:

1. Interfaz de conversión A/D
2. Procesado de la señal (implementación de la función de transferencia)
3. Interfaz de conversión D/A

2.1 Interfaz de Conversión

Esta interfaz esta compuesta por los conversores ADC 7805, y el DAC 715, ambos de la Burr-Brown. Los cuales trabajan con una resolución de 16 Bits, y una frecuencia de muestreo de 100 Khz., para el caso del ADC.

2.2 Calculo de la Función de Transferencia

En este punto se empleo el FDA Tool (Filter Desing and Analysis Tool) de MATLAB, herramienta que permite obtener la función de transferencia del sistema, es decir; permite el calculo de los coeficientes, además de parámetros como la respuesta en frecuencia, la respuesta en fase, diagrama de polos y ceros, la respuesta al impulso, entre otros. El diseño se hizo en base a la siguiente tabla de especificaciones:

Respuesta al Impulso	FIR
Banda de paso	Pasa-baja
Orden del Filtro	10
Frecuencia de Corte	1000 hz
Frecuencia de Muestreo	10000 hz

Tabla 1. Especificaciones del Filtro

La función de transferencia del sistema es la siguiente:

$$\sum_{k=0}^{10-1} h_k z^{-k} = a z^{-1} + b z^{-2} + c z^{-3} + d z^{-4} + e z^{-5} + d z^{-6} + c z^{-7} + b z^{-8} + a z^{-9}$$

Ecuación 1. Función de Transferencia

Donde $a=0.0785$, $b=0.004015$, $c=0.10325$, $d=0.17066$, $e=0.2000$

2.3 Descripción del Filtro en VHDL

El sistema se diseño mediante una estructura comportamental algorítmica, el circuito se

describió mediante procesos secuenciales e incluyo el uso de maquinas de estados. Para la descripción de las multiplicaciones, fue necesaria la conversión de los coeficientes obtenidos, a formato digital. El esquema de desarrollo es el siguiente:

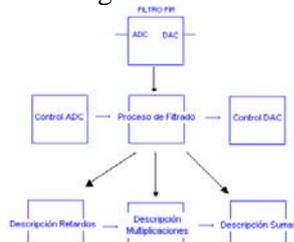


Figura 2. Esquema del Proceso de descripción.

2.4 Implementación Hardware

La implementación física se hace en la FPGA Spartan D2E de Xilinx, la cual trabaja con una frecuencia de reloj de 50 Mhz, el cual es dividido para obtener los retardos equivalentes al periodo de muestreo del sistema.



Figura 3. FPGA – Tarjeta Conversora.



Figura 4. Vista General del Proyecto

3. RESULTADOS

Para las especificaciones dadas, se obtuvieron los resultados que se muestran a continuación, teniendo en cuenta que la señal es analizada a nivel espectral, la escala usada es de 2dB.

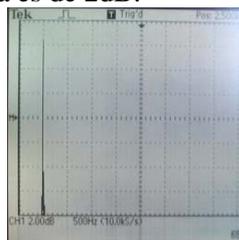


Figura 5. Señal Inicial a 500 Hz - 14dB.

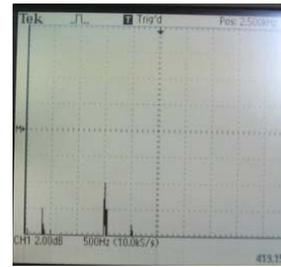


Figura 6. Señal a 1.5Khz – 4 dB.

Frecuencia	Nivel de Señal	Atenuación
500 hz (inicial)	14 dB	0 dB
1000 hz (Fc)	14 dB	0 dB
1500 hz	4 dB	-10 dB
2000 hz	<2 dB	-12 dB

Tabla 2. Atenuación en dB de la Señal de Entrada

4. CONCLUSIONES

- El procedimiento de diseño de los filtros FIR, incluye el cálculo de una función de transferencia, que es la base del proceso. Este paso, puede ser facilitado y optimizado, mediante el uso de MATLAB.
- VHDL, es una herramienta de descripción de circuitos muy versátil, que incluye todas las ventajas de los HDL, como la modificación de estructuras y rediseño de circuitos de forma rápida, lo cual permite la realización de múltiples pruebas y variaciones, hasta conseguir el diseño ideal. el uso de estructuras secuenciales como los process y las maquinas de estado, y de estructuras loop, permiten describir el comportamiento del circuito en forma abreviada.
- El uso de una FPGA, para la implementación física de circuitos digitales, facilita la etapa de pruebas del circuito, ya que puede ser reprogramada múltiples veces, lo cual evita sobrecostos en la misma.

5. REFERENCIAS

BOLUDA, José y PARDO, Fernando. VHDL Lenguaje para Síntesis y Modelado de Circuitos. Segunda Edición Actualizada. España: Alfaomega, 2004. p251.

MANOLAKIS, Dimitris G y PROAKIS, Jhon G. Tratamiento Digital de Señales Principios, Algoritmos y aplicaciones. Tercera Edición. Madrid: Prentice Hall, 1998. p976.

NAWAB, S. Hamid, OPPENHEIM, Alan V. y WILLSKY, Alan S. Señales y Sistemas. Segunda Edición. México: Prentice Hall, 1998. p956.