

DISEÑO DE MÓDULOS DE COMUNICACIÓN GPIB DE PROPOSITO ESPECIAL CON CELDAS ESTÁNDAR.

Eduardo Barrera Gualdrón, Iván Jaramillo Jaramillo, Nicolás Mora Parra

Universidad Nacional de Colombia Sede Bogotá
Departamento de Ingeniería Eléctrica y Electrónica
GMUN – Grupo de Microelectrónica Universidad Nacional

{ ebarrerag, ijaramilloj, nmorap }@unal.edu.co

ABSTRACT

En este artículo se presenta una perspectiva a tópicos de diseño y fabricación de dispositivos microelectrónicos con especial énfasis en los esquemas VLSI, los fundamentos del diseño de circuitos integrados de alta densidad y las herramientas CAD de integración a nivel eléctrico y lógico, a partir del desarrollo de tres módulos de comunicación GPIB implementados con la metodología de celdas estándar desde la herramienta L-Edit versión Demo.

Palabras de búsqueda - top down, VLSI, partición jerárquica, regularidad, modularidad, localidad, floorplanning, testeabilidad, GPIB.

1. INTRODUCCIÓN

Con el rápido crecimiento del mercado de la microelectrónica en el mundo, la producción de circuitos integrados de propósito específico se ha convertido en uno de los pilares de desarrollo más importantes en las últimas décadas, en donde las variables monetarias y temporales serán vitales para la permanencia en el sector.

La implementación de sistemas microelectrónicos de alto desempeño se vale de los avances en las tecnologías de producción para hacer integración a gran escala en donde la rigurosidad en el diseño es la única vía para lograr los niveles de eficacia y eficiencia que se esperan de un equipo de trabajo competitivo.

En este artículo se explora la posibilidad de hacer diseño VLSI con celdas estándar desde un ambiente académico, para implementar topologías de buses de instrumentación.

El objetivo central de este proyecto es generar un chipset basado en celdas estándar que permitiera realizar una interfaz para instrumentos electrónicos sobre un bus de datos de la estructura general del bus GPIB.

En paralelo con el desarrollo del sistema en el artículo se presenta la necesidad de trabajar en equipos muy bien segmentados en donde la línea de trabajo obedezca a subdivisiones jerárquicas de diseño. También se hace una revisión del diseño de celdas estándar CMOS con las reglas de diseño para tecnología CNM25.

Este artículo está organizado de la siguiente manera: la sección dos explica la metodología de diseño implementada en el sistema, la sección tres se habla de la elaboración, simulación de las celdas y se muestran los chips después del proceso de enrutamiento, la sección cuatro explica la prueba física del sistema y finalmente en la sección cinco las conclusiones.

2. DISEÑO JERÁRQUICO, MODULARIDAD, REGULARIDAD Y LOCALIDAD

La meta en el proceso de diseño de los circuitos integrados del proyecto comprendía lograr una abstracción de los procesos necesarios para lograr la comunicación entre varios instrumentos del bus, que redundara en estructuras de hardware fácilmente realizables a partir de celdas estándar CMOS.

Para estos fines, la mejor estrategia fue realizar una segmentación *top down* [1] del sistema en el que la complejidad del problema inicial se fue reduciendo al subdividir el esquema en un *datapath* y varios submódulos de propósito especial, que a su vez se

componen de estructuras más simples que estaban también subdivididas.

Como resultado de esta *partición jerárquica*, se espera que los bloques que resulten además de ser simples, estén realizados a partir de la misma clase de compuertas y elementos secuenciales. Esta *regularidad* en el diseño es importante a la hora de implementar ya que reduce la cantidad de celdas a probar. [3] y [4]

Cada una de las funciones a implementar con los módulos deben ser bien definidas e independientes de otros módulos del sistema, de esta manera, al eliminar la ambigüedad se logra una optimización de los recursos. Otra de las consecuencias del diseño *modular* es la posibilidad de producir sistemas *plug and play* integrados en horizontal que al mismo tiempo podrán funcionar en paralelo con otros sistemas; con la ventaja de que al tener los procesos internos *localmente* separados de los trámites con la interfaz, se evita la construcción de conexiones largas entre módulos que redunden en retrasos de propagación.

El estándar IEC 60488-1 define la topología para el bus GPIB como un bus que se compone de instrumentos capaces de realizar funciones propias de medición y funciones de interfaz con otros elementos del bus. En el estándar se especifican las posibles funciones de interfaz que dependiendo del nivel de comunicación que se desee tener con el instrumento, es cuota del diseñador escoger cuales utilizar y cuales no.

Para el desarrollo de proyecto, la partición jerárquica se realizó desde un punto de vista funcional dado que las posibilidades de implementación de un layout CMOS a nivel universitario son limitadas y el único camino de verificación del diseño, además de la simulación en software, es la implementación de la descripción en *VHDL* de los módulos creados sobre un FPGA.

La primera partición jerárquica que se realizó basado en las posibilidades del estándar fue el diseño del *datapath* general y los niveles de comunicación entre elementos. En la figura 1, se distinguen claramente dos clases de elementos para la primera jerarquía del bus, los usuarios y los módulos de interfaz.

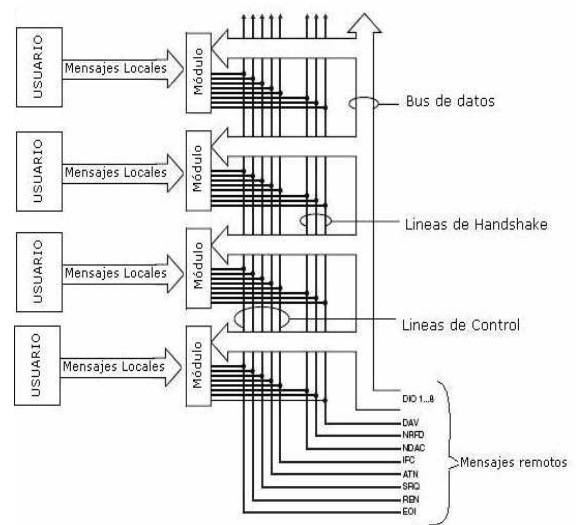


Fig. 1. Primera partición jerárquica del diseño

Entendiéndose por usuario; cualquier dispositivo de instrumentación que se conecte al bus y por módulos de interfaz; una tarjeta física siendo para este proyecto una FPGA. En la figura 1, también se muestra los mensajes locales; que son aquellos de un mismo modulo y los mensajes remotos que son los mensajes que comparten todos los dispositivos por un único bus.

La segunda aproximación en el flujo *top down* del diseño permitió clasificar los módulos de interfaz para tres clases de usuarios capaces de conectarse al bus:

Listeners: usuarios cuyo propósito general de instrumentación sea la aceptación de datos provenientes de otros usuarios conectados a la interfaz.

Talkers: usuarios cuyo propósito general de instrumentación sea el envío de datos de medición a otros usuarios conectados a la interfaz.

Controllers: usuarios cuyo propósito general sea el de controlar el funcionamiento de la interfaz y la comunicación entre usuarios conectados a la interfaz.

A continuación en la figura 2, se presenta el esquema final de la partición general del diseño.

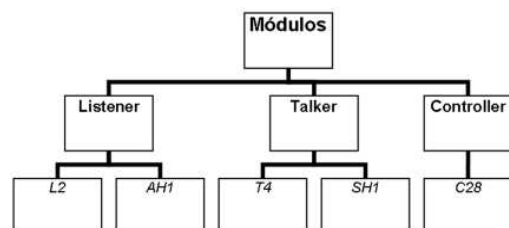


Fig. 2. Partición jerárquica general del diseño

Finalmente, la descripción funcional de cada uno de los módulos posibles se desarrolló a través de las funciones de interfaz L2, AH1, T4, SH1 y C28 descritas por el estándar a manera de diagramas de estado. En la figura 3 se ejemplifica el diagrama de estado especificado por el estándar para la función AH1 (Acceptor Handshake).

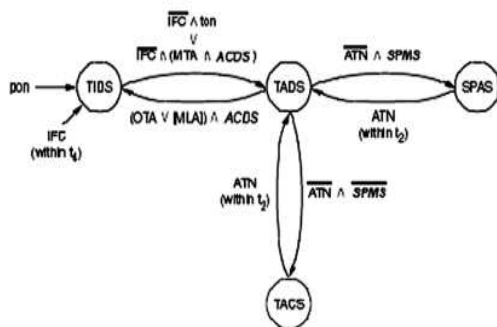


Fig. 3. Descripción en diagramas de estado de la función AH1.

3. ÁREA Y TIEMPO, DOS VARIABLES ECONÓMICAS.

El layout de circuitos integrados basado en celdas estándar es una labor muy rigurosa dado que existe una alta complejidad en las restricciones de fabricación de las máscaras del diseño. El área utilizada es quizás el factor determinante de un diseño con celdas estándar, dado que de este traducen los costos de fabricación de un *chipset*.

Cada una de las celdas estándar que se desarrollaron fueron caracterizadas para todos los posibles *fanouts* que pudiera manejar el proyecto en curso. Los retrasos en la celda, el margen de ruido y el consumo de potencia dependen directamente del tamaño de la compuerta, las distancias de separación entre sustratos y polisilicio y además, de la ubicación de pads que se realicen sobre el sistema, por tal razón las reglas de diseño de las librerías de implementación de hardware se deben cumplir a cabalidad.

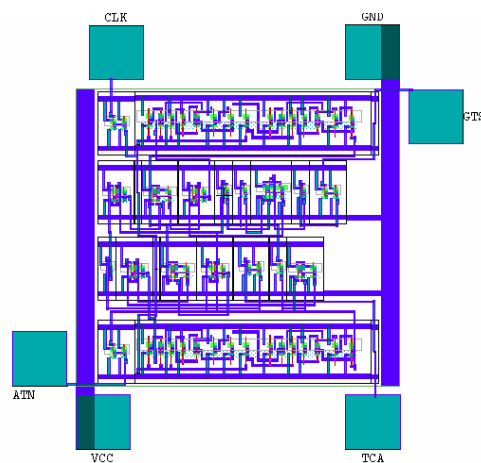
El *netlist* de celdas estándar necesarias para la elaboración del *floorplaning* del circuito se obtuvo a partir de la implementación de la descripción funcional de los módulos en VHDL sobre un arreglo de compuertas. La implementación sobre familias de FPGA avanzadas, genera unidades funcionales (LUTS) complejas cuya caracterización con compuertas básicas consume mucha área, entonces la obtención del *netlist* se realizó a partir de la implementación sobre un CPLD,

éste por ser un arreglo más simple, generó estructuras menos sofisticadas y fácilmente realizables a partir de librerías elementales.

La descripción de hardware se desarrolló en el marco de las reglas de diseño para tecnología CNM25, ésta es una tecnología que trabaja con una longitud de canal de 2.5 μm , y por consiguiente, con separación entre elementos del core de hasta 1.25 μm (mitad de la longitud del canal) [2]. Las celdas se diseñaron teniendo en cuenta las técnicas de construcción típicas, velando por cumplir con todos los requisitos de diseño y teniendo en cuenta las técnicas recomendadas para el fácil enrutamiento de las compuertas dentro de la celda. El uso de herramientas con enrutamiento automático como el de L-Edit acorta los tiempos de generación de layout, que en general es el proceso que más recursos consume.

Dentro de las caracterizaciones más importantes a realizar se encuentran las pruebas de timing, las pruebas de simulación circuital, las pruebas de retraso vs. Capacitancia de carga y las pruebas de potencia y fan out. Algunas de estas pruebas fueron suministradas con el paquete de descripción y diseño de celdas.

La descripción de celdas estándar es un proceso que debe ir acompañado de la asistencia de un buen paquete de diseño y simulación computarizado, dado que los altos niveles de integración que puede conllevar un proyecto, supera las capacidades de abstracción de cualquier ingeniero de microelectrónica. La competencia de mercados no da espera para la entrega de resultados confiables, en este sentido, la escogencia de una buena herramienta CAD es fundamental para alcanzar resultados de manera eficaz y en el tiempo deseado.



a) Controller

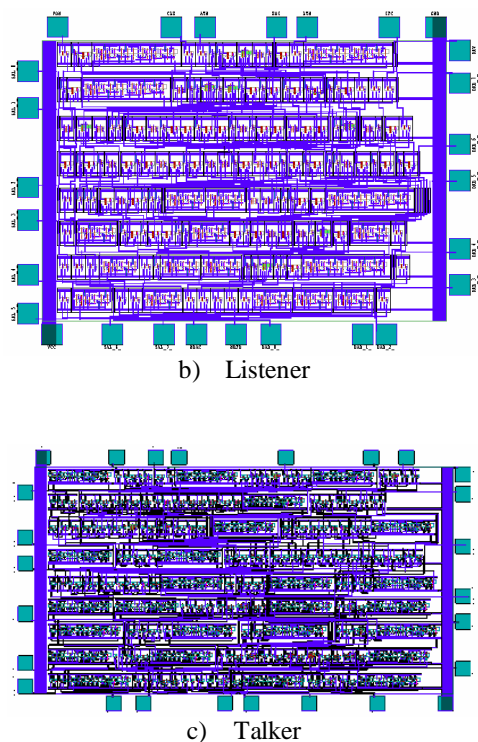


Fig. 4. CMOs floorplannig del chipset

4. PRUEBA DEL SISTEMA.

El control de confiabilidad de plataformas VLSI lo componen procesos de análisis de falla que se aplican al sistema antes y después de la fabricación. En general, un defecto no detectado en el proceso de diseño, redundará en una falla de costos incalculables para la industria que lo adquiera y para la *foundry* que lo produzca. Por tal razón la *testeabilidad* es un requisito indispensable del diseño, en donde el criterio más importante de verificación es el *índice de cobertura* de las compuertas; de la *controlabilidad* y *observabilidad* de las compuertas dependerá entonces la posibilidad de hacer una buena prueba de hardware antes de su envío a producción.

La primera instancia del test es la verificación de las reglas de diseño en cada compuerta, esta tarea se desarrolló constantemente durante la etapa de CMOs *floorplanning*, con la ayuda del programa L-Edit. Como acto seguido, en la rutina de test, se dio la verificación de correspondencia entre el esquemático y el layout con herramientas LVS, la revisión de fenómenos de *latchup* sobre el circuito y su posterior corrección con la respectiva polarización del pozo. Algunos diseños requieren de la creación de un canal de descarga electrostática (ESD), en el caso particular del proyecto, la herramienta con la que se trabajó el diseño no contaba con aplicaciones de verificación de este fenómeno.

Como prueba del diseño funcional, se implementó el producto final de la descripción en VHDL de la siguiente manera: Se realizó la conexión de tres FPGAs, cada una comportándose como un talker, un listener y un controler, se utilizaron los pulsadores de estas tarjetas emulando un dispositivo de instrumentación, con el objetivo de poder transmitir que pulsador fue el presionado, de esta manera se verificó el correcto funcionamiento del diseño lógico y secuencial del bus. La comunicación en tiempo real de las tarjetas programadas con cada uno de las descripciones de módulos tipo *controller*, *listener* o *talker*, fue exitosa. Los requisitos en tiempos de propagación, capacitancia de carga, naturalmente no pudieron ser verificados. [5]

Dentro de las técnicas de test para el sistema completo se encuentran diversas maneras de implementación de diseños dotados con opciones de prueba *full custom*, con particionado, de *scanboard*, con prueba de *boundary* o de *autotest* (BIST). Para nuestro caso particular, la planeación de un sistema de estas características se sale del alcance universitario en la enseñanza de diseño VLSI y la experiencia de verificación tendría que hacerse en instancias de orden industrial.

5. CONCLUSIONES

La exploración académica en el diseño de dispositivos VLSI con celdas estándar, hace parte del inicio de la generación de experiencias que a mediano plazo podrán incidir en la creación de nuevos conocimientos y cimientos para industrias de base tecnológica, ya que es una tecnología hasta ahora inexplorada en este país y que puede tener una gran acogida en el mercado por las innumerables posibilidades que presenta.

La metodología *top down* brindó excelentes resultados en tiempo de diseño e implementación dado que a partir de la partición exhaustiva de los grupos, fue posible aprovechar al máximo las capacidades de cada uno de los integrantes del equipo y la distribución de tareas bien definidas fue más eficiente.

Cada módulo que se generó era *testeable*, y aunque en la práctica la implementación se hizo sobre FPGA dadas las condiciones, la experiencia con las técnicas de diseño confiable se pudieron poner en práctica.

Quedan abiertas las puertas para emprender proyectos académicos de mayor envergadura que puedan contar con una fase de implementación de tipo industrial en donde se puedan verificar resultados sobre el hardware que comprueben lo simulados desde plataformas de software. Esto constituiría un paso fuerte en el avance

tecnológico de la industria de diseño en microelectrónica Colombiana.

6. REFERENCIAS

- [1] D.D. Gajski, *Principles Of Digital Design*, Prentice Hall.
- [2] E. Sicard, *Microwind – An Introduction To Microelectronics*, Insa.
- [3] W. Maly, *Atlas of IC Technologies*, Menlo Park, CA: Benjamin/Cummings, 1987.
- [4] D.A. Pucknell, and K. Eshragian, *Basic VLSI Design*, Prentice Hall.
- [5] D. J. Mlynek, Y. Leblebici, *Design of VLSI systems*, <http://lsiwww.epfl.ch/LSI2001/teaching/webcourse/toc.html>