

Fig. 6. (a) Esquemático del PFD. (b) Flip-flop usado en el PFD.

el filtro o hasta los nodos X e Y. Esta configuración es utilizada para aumentar la rapidez de conmutación, sin embargo, se presentan picos de corriente cuando las señales *INC* y *DEC* se activan. Los transistores M_7 - M_{12} se encargan de que los nodos X e Y tengan tensiones aproximadas a la tensión de salida V_{CTRL} , de esta forma se evitan en gran parte los picos producidos por la conmutación.

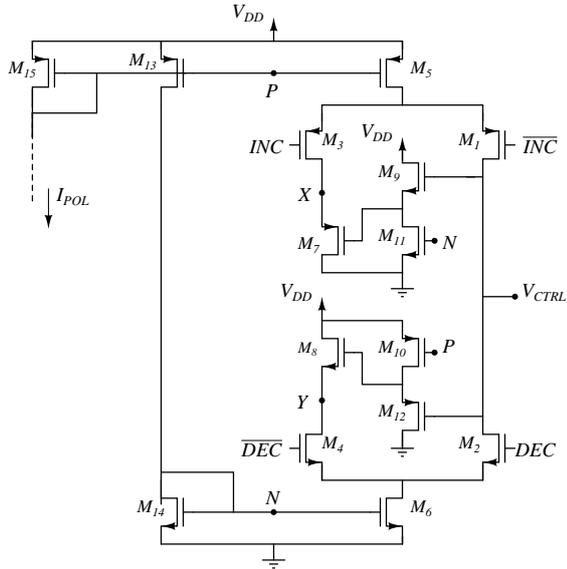


Fig. 7. Implementación de circuito de la bomba de carga.

4. DISEÑO DEL FILTRO

Se utilizó el filtro ilustrado en la figura 8, como resultado, la función de transferencia de lazo cerrado se puede expresar mediante la ecuación (1). En ella se reconocen dos polos dominantes complejos de magnitud $2\pi f_o$. El polo real ubicado en $s=-2\pi f_{cp}$ tiende a ser cancelado con el cero que está en $s=-2\pi f_z$, a medida que aumenta la ganancia de lazo cerrado. Sin embargo, este par polo-cero influye considerablemente en la estabilidad, tiempo de establecimiento y ruido de fase del PLL. Por esta razón, el diseño del filtro debe estar en función de las variables f_o y f_z/f_{cp} .

$$H(s) = \frac{N(1 + s/2\pi f_z)}{(1 + s/2\pi f_{cp})(1 + s/2\pi f_o Q + (s/2\pi f_o)^2)} \quad (1)$$

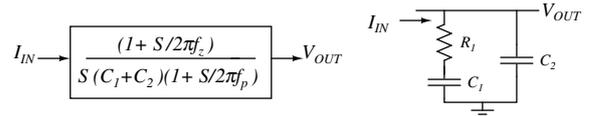


Fig. 8. Filtro pasivo de segundo orden.

4-1. Selección de Q

La variable Q representa la relación entre la parte imaginaria y la parte real de los polos complejos. El efecto de una cantidad elevada de Q se refleja en la función de transferencia como un pico a la frecuencia f_o . Este pico, relacionado directamente con la estabilidad del lazo, sólo aparece cuando $Q > 1/\sqrt{2}$. Por esta razón, $Q=1/\sqrt{2}$ es una solución adecuada. Al fijar este valor de Q, el margen de fase varía entre 45° y 63° .

4-2. Ruido de fase

En el caso de GSM, el ruido de fase medido a 400kHz debe ser inferior a -105dBc/Hz. En Bluetooth, el ruido de fase medido a 3MHz debe ser menor que -111dBc/Hz. A pesar de que cada estándar especifica el ruido de fase para varias frecuencias de *offset*, se han tomado como base estos puntos por ser críticos para el cumplimiento de la especificación. En las figuras 9(a) y 9(b), la curva denominada f_{o1} describe el mayor valor que puede tomar f_o , para cumplir con los requerimientos mencionados anteriormente.

4-3. Tiempo de establecimiento

Existe un límite inferior para el valor de f_o , tal que se cumpla el requisito de tiempo de establecimiento. En la figura 9 se muestran dichos límites para cada estándar, f_{o2} representa el menor valor de f_o si se sólo se consideran los polos complejos, mientras que f_{o3} considera únicamente el polo real de lazo cerrado. Se puede observar que predomina f_{o3} , para valores de f_z/f_{cp} cercanos a 1.

4-4. Selección de f_z/f_{cp}

Al establecer los límites en f_o también se imponen restricciones en los valores que puede tomar f_z/f_{cp} . En la figura 9a se puede ver que para valores de f_z/f_{cp} mayores a 0.9, es difícil que el PLL cumpla con las especificaciones de ruido y rapidez simultáneamente. De otra parte, al disminuir f_z/f_{cp} se decrementa el margen de fase. Una consideración importante, es que

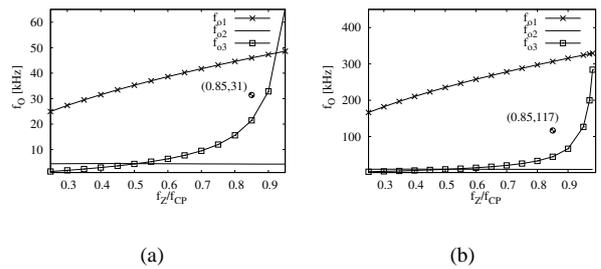


Fig. 9. Límites impuestos por las especificaciones de ruido y rapidez para: (a) GSM. (b) Bluetooth.

los componentes del filtro deben ser iguales en lo posible para ambos estándares. En concordancia con lo anterior, se ha seleccionado un valor de 0.85 para f_z/f_{cp} en *GSM* y *Bluetooth*. Este valor junto con el seleccionado para Q , hacen que el margen de fase sea 55.7° .

4-5. Selección de f_o

El valor de f_o debe estar dentro de los límites impuestos por f_{o1} , f_{o2} y f_{o3} . También se debe dar un margen de variación hacia los límites superior e inferior. Los valores seleccionados para f_o son mostrados en la tabla III, la constante del *VCO* utilizado es 30MHz/V. No obstante, el *PLL* puede adaptarse a *VCO* de diferentes constantes, variando la corriente de la bomba de carga I_{BC} .

TABLA III

COMPONENTES DEL FILTRO.

Estándar	f_o	R_1	C_1	C_2	I_{BC}
<i>GSM</i>	31kHz	140k Ω	340pF	25pF	5.7 μ A
<i>Bluetooth</i>	117kHz	38k Ω	340pF	25pF	40 μ A

5. RESULTADOS

5-1. Layout

El *layout* del sintetizador de frecuencia, mostrado en la figura 10, se diseñó a través de *IC Station* de *Mentor Graphics*. El área ocupada por el sintetizador sin incluir el *VCO* es $215\mu\text{m} \times 125\mu\text{m} = 0.027\text{mm}^2$. En la parte superior se encuentra el divisor de frecuencia, a la derecha están el *PFD* y bomba de carga. En la parte inferior se sitúa el modulador Σ - Δ . El modulador ocupa aproximadamente la mitad del área. Los componentes del filtro son externos al integrado.

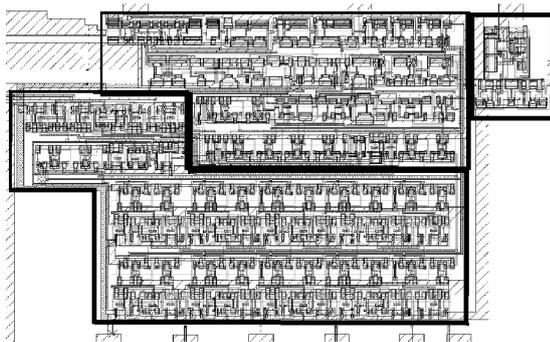


Fig. 10. Layout del Sintetizador de frecuencia.

5-2. Resumen de Desempeño del PLL

El comportamiento del *PLL* se midió utilizando la herramienta de simulación *EldoRF*. En las simulaciones se usó el *VCO* ideal con que cuenta *EldoRF*. Para el transistor MOS se empleó el modelo nivel 53 proveído por *Austria Micro Systems*. En las figuras 11(a) y 11(b) está graficada la respuesta transitoria del lazo, cuando hay un cambio del primer al último canal, que es el peor caso. En la tabla IV se agrupan las principales características del *PLL* diseñado.

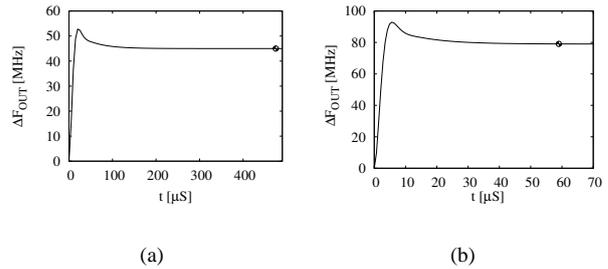


Fig. 11. Cambio del primer al último canal en: (a) *GSM*. (b) *Bluetooth*.

TABLA IV

RESUMEN DE CARACTERÍSTICAS DEL *PLL*.

Especificación	<i>GSM</i>	<i>Bluetooth</i>
Voltaje de alimentación	3.3V	3.3V
Frecuencia de referencia	6.4MHz	32MHz
Frecuencia de salida	MS 890-915MHz BS 935-960MHz	2.4-2.48GHz
Ancho de banda	31kHz	117kHz
Distancia entre canales	200kHz	1MHz
Consumo de potencia	5.93mW	9.04mW
Ruido de fase @ 1MHz	-120 dBc/Hz	-118 dBc/Hz
Tiempo de establecimiento	494 μ s	59 μ s
Area	0.027mm ²	

5-3. Conclusiones

Se diseñó un *PLL* con bomba de carga y modulador Σ - Δ en tecnología CMOS $0.35\mu\text{m}$. El plan de frecuencias como primera parte de la estrategia de diseño, tuvo soporte en un algoritmo propuesto, donde cada variable fué seleccionada de acuerdo a las consideraciones pertinentes. El algoritmo permitió encontrar el valor adecuado para los divisores y el modulador, teniendo en cuenta que la mayor parte de los bloques implementados son compartidos por los dos estándares aplicados. Lo anterior se ve reflejado en la baja ocupacion de area obtenida.

Se usó la lógica TSPC en los divisores de frecuencia, favoreciendo el bajo consumo de potencia del *PLL*, el cual es en su mayoría dinámico (8.54mW). El único consumo estático es el de la bomba de carga (0.5mW).

El problema de diseño del filtro se planteó en función de dos variables, que representan la ubicación de los polos de lazo cerrado, y se establecieron límites en la selección de dichas variables.

6. REFERENCIAS

- [1] B. Razavi, *RF Microelectronics*. Prentice Hall, first ed., 1998.
- [2] M. Perrott, "PLL design assistant program." Disponible: www-mtl.mit.edu/~perrott.
- [3] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE J. Solid-State Circuits*, February 1989.
- [4] S. Pellerano *et al.*, "A 13.5mW 5GHz frequency synthesizer with dynamic-logic frequency divider," *IEEE J. Solid-State Circuits*, February 2004.
- [5] M. Kozak and I. Kale, "A pipelined noise shaping coder for fractional-n frequency synthesis," *IEEE Trans. Instrum. Meas.*, October 2001.
- [6] W. H. Lee *et al.*, "A high speed and low power phase-frequency detector and charge-pump," *Design Automation Conf. Proc. of the ASP-DAC'99. Asia and South Pacific*, January 1999.