

REDIMENSIONAMENTO AUTOMÁTICO DE PORTAS LÓGICAS EM CIRCUITOS CMOS PELA REDUÇÃO DAS DIMENSÕES DOS TRANSISTORES VISANDO A REDUÇÃO DE POTÊNCIA

Wagner Altermann, João Baptista Martins, Alisson Thomas Barden

Universidade Federal de Santa Maria (UFSM)

PPGEE - Programa de Pós-Graduação em Engenharia Elétrica

Av. Roraima, 1000 – Camobi – Santa Maria (RS) - Brasil

Campus Universitário - CEP: 97.105-900

wagner@mail.ufsm.br, batista@inf.ufsm.br, alissonbarden@gmail.com

RESUMO

Este artigo trata do desenvolvimento de uma ferramenta de CAD, fazendo uso da integração de várias outras ferramentas propondo a análise e redução automática do consumo de potência em circuitos CMOS no nível lógico, através do redimensionamento da largura do canal (W) das portas lógicas que estão no caminho crítico de maior atraso. Para isso é desenvolvido um *script* na linguagem PERL com o propósito de gerenciar a execução automática das ferramentas como o SIS [2] no nível lógico e TROPIC [5] na síntese física. A análise leva em conta ainda, restrições de potência consumida versus atraso crítico. Também é desenvolvido e implementado um algoritmo para listar os caminhos de maior atraso e consumo do circuito para este(s) caminho(s). Os resultados obtidos com esse algoritmo são apresentados, mostrando-se interessantes e satisfatórios em termos de desempenho.

1. INTRODUÇÃO

Com o passar dos anos e o aumento da complexidade dos circuitos integrados, a principal preocupação no projeto destes circuitos mudou de foco. No começo, os projetistas dedicavam-se a reduzir a área de silício, pois circuitos com grandes dimensões acarretavam um aumento considerável no custo econômico do projeto. Com o aumento da frequência e nível de integração às custas da evolução tecnológica, o foco dos projetistas passou então, para o consumo de potência, pois este afeta diretamente o desempenho, bem como a confiabilidade do circuito.

A estimativa do consumo de potência de circuitos digitais é um fator determinante no desenvolvimento de um projeto VLSI (*Very Large Scale Integration*), relevante tanto para os pesquisadores quanto para a indústria de semicondutores.

Estimar esse consumo no nível lógico é extremamente importante, pois é possível antecipar problemas de projeto antes mesmo da geração do seu leiaute, o que reduz consideravelmente o *time-to-market* do produto em desenvolvimento. Nesse nível a estimativa de potência de portas lógicas convencionais já foi estudada e validada em [1].

Vários autores têm pesquisado formas de diminuir o consumo de potência nos circuitos. Alguns trabalham na simulação elétrica, com os modelos SPICE vistos em [3] e [4]. Porém neste nível o tempo de processamento pode ser muito grande ou até sem convergência de resultados, tornando inviável a sua análise.

Dentre os vários fatores que influenciam na potência consumida em um circuito está a capacitância parasita associada à largura do canal (W) do transistor que forma a porta lógica. Assim, podemos então diminuir o consumo em uma porta lógica apenas alterando o tamanho do transistor que

a compõe. Todavia, sabe-se que transistores com W muito pequeno acarretam um maior atraso do sinal [1]. Pensando nisso, uma das restrições na redução do W , é que esta não cause um aumento significativo do atraso. Existe um compromisso da potência dissipada versus atraso do sinal que deve ser respeitado para que o desempenho do circuito não seja prejudicado.

Assim, o presente artigo propõe a implementação de uma ferramenta de CAD que faça o redimensionamento das portas lógicas de forma automática e iterativa visando à redução do consumo de potência, com restrições de atraso. Um *script* criado em linguagem PERL, fará o gerenciamento bem como a integração de várias ferramentas de CAD, como é o caso do SIS (*Sequential Interactive System*) [2] no nível lógico e TROPIC [5] no síntese física.

O artigo está estruturado em 4 capítulos. O capítulo 2 trata da metodologia proposta, o 3 dos resultados da listagem dos caminhos de maior consumo, o capítulo 4 faz as conclusões e propõe as próximas etapas de desenvolvimento do projeto.

2. METODOLOGIA

A metodologia completa proposta neste artigo, segue o fluxograma da Figura 1. A partir de um *script*, criado na linguagem PERL, pode-se ter acesso tanto às ferramentas de análise, como à ferramenta de redimensionamento das portas lógicas do circuito. Para realizar o redimensionamento, o programa parte da leitura de um arquivo de descrição do circuito (*blif*), dos dados da tecnologia de fabricação (SPICE) e das regras de restrição da redução do consumo proposta.

Dentre os vários programas que serão integrados nesta ferramenta, destaca-se aqui o que faz a listagem de caminhos de maior consumo do circuito.

2.1 – Listagem dos caminhos de maior consumo de um circuito CMOS

Inicialmente é criado um algoritmo que lista todos os caminhos do circuito pela integração de modelos de cálculo de potência e atraso. Este algoritmo é baseado em comparações. Ele parte de uma entrada do circuito, percorre a entrada de todas as portas tentando encontrar alguma conexão e caso encontrada, determina a saída associada àquela porta reiniciando o processo de comparação desta saída com as entradas das outras portas até que a saída do circuito combinacional seja concluída. O processo continua até que não restem mais entradas no circuito combinacional a serem percorridas. Finalmente, um arquivo de saída em formato texto é gerado fornecendo os dados do circuito (nome, entradas, saídas, portas lógicas totais) e o mapeamento dos caminhos.

Para a implementação desse algoritmo foi escolhida a linguagem de programação C, facilitando desta forma a integração deste com outros programas desenvolvidos no ambiente Linux, como é o caso do algoritmo de estimativa de capacitâncias e consumo de potência, desenvolvido em [1], o SIS [2] desenvolvido na Universidade de Berkeley (Califórnia) e o TROPIC [5].

Assim, após obter as informações relativas aos caminhos com maiores consumos e o atraso crítico do circuito, é feita então a alteração da largura do canal do transistor. Esse redimensionamento dos transistores são feitos levando-se em conta o atraso crítico do circuito, ou seja, o transistor alterado não poderá ter um atraso maior que o atraso crítico, caso isso ocorra, o transistor pertencente a esse caminho não poderá ser alterado.

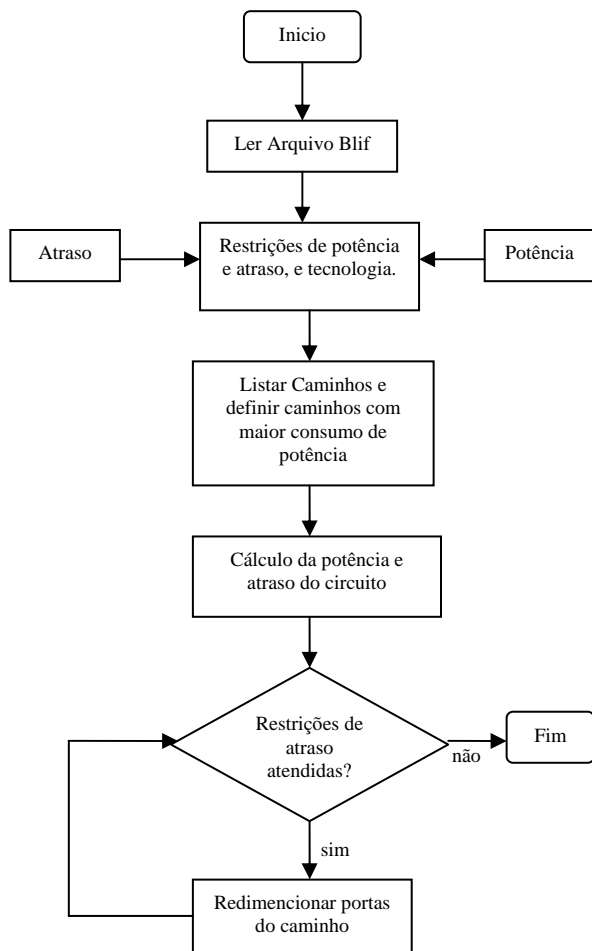


Fig 1 – Fluxograma completo da ferramenta

3. RESULTADOS PRELIMINARES

No presente momento o trabalho está concentrado no desenvolvimento do *script* de gerenciamento e integração de algumas ferramentas, paralelamente a isso a etapa de redimensionamento das portas lógicas que compõem os transistores também está sendo executada.

A ferramenta de listagem de caminhos foi desenvolvida e testada com alguns circuitos *benchmarks*. Para execução deste programa, foi usado um computador Pentium(R)4, CPU 3GHZ e memória de disco de 1GB RAM. Os resultados obtidos para esta situação podem ser vistos na Tabela 1.

Tabela 1: Resultados obtidos no programa da listagem de caminhos de circuitos *benchmarks*

Nome do Circuito	Nº Portas Lógicas	Nº total de caminhos	Nº de portas lógicas do caminho crítico	Nº de caminhos críticos
9sor	780	522	24	35
Alu2	309	38623	32	24
Alu4_cl	644	239281	35	24
C17	6	11	3	6
C499	202	9440	11	3072
C2670	1193	234573	30	512
C5315	2307	1341305	49	12
ccA	44	95	4	17
chtAA	171	205	5	22
I5	199	883	6	144
I6	274	796	3	409
I7	340	1018	3	357
I8	1308	52543	9	1958
I9	439	36980	9	216
Op2	46	239	9	32
Pair	1344	17468	21	8
Parity	75	256	12	16
Rot	538	7968	23	18

4. CONCLUSÃO E TRABALHOS FUTUROS

Foi apresentada aqui, uma etapa do projeto de uma ferramenta de CAD utilizada na análise e gerenciamento automático do consumo de potência do circuito pelo redimensionamento da largura do canal dos transistores levando em consideração o atraso crítico do circuito. Como parte de uma das etapas deste projeto, um software que realiza a listagem dos caminhos de maior consumo do circuito é desenvolvido e validado. Este software usa de um *script* descrito em PERL.

Como trabalhos futuros, destaca-se a conclusão da ferramenta de CAD, pela integração das demais ferramentas de estimativa de potência e síntese física. E como fator de melhoria na interface homem x máquina, sugere-se à implementação de um ambiente gráfico para o *script*.

AGRADECIMENTOS

Agradecemos ao CNPq/PNM pela bolsa de fomento, ao PPGEE/UFSM. Beneficiário de auxílio financeiro da CAPES, dentro do acordo de cooperação internacional CAPES/GRICES, nº 155/06.

REFERÊNCIAS

- [1] Martins, J. B., Estimativa de capacitâncias e Consumo de Potência em Circuitos Combinacionais CMOS no Nível lógico, Tese de Doutorado UFRGS, 2001
- [2] Sentovich, E. M. A System for Sequential Circuit Synthesis. Berkeley: electronics research lab. University of California, (UCB/ERLM92/41), 1992
- [3] Silva, João M.S., Silveira, Luis M., Optimização de Circuitos Integrados, relatório final do TFC nº98, Instituto Superior Tecnico, Lisboa, 2000.
- [4] Girard P., C. Landrault., S. Pravossoudovitch and D. Severac, "Technique for reducing power consumption in CMOS circuits", *IEEE electronics Letter*, vol 33 No 6, Laboratoire d'Informatique de Robotique et de MicroElectronique de Montpellier, 1997.
- [5] MORAES, F. et al. Flexible Macro Cell Layout Generator. In: ACM/SIGDA Physical Design Workshop, 4., 1993. Proceedings ... Los Angeles: [s.n.], 1993, p. 105-116.