

ANÁLISIS DE LA TOLERANCIA AL RUIDO DE CIRCUITOS DINÁMICOS DIGITALES CON EL ESCALAMIENTO DE LA TECNOLOGÍA

F. Mendoza-Hernández,¹ M. Linares-Aranda,²

¹Intel GDC, Guadalajara, Jal., México

²Depto. de Electrónica, Instituto Nacional de Astrofísica, Óptica y Electrónica-INAOE, PO. Box 51, Puebla, Pue., 72000, México.

fernando.mendoza.hernandez@intel.com, mlinares@inaoep.mx

RESUMEN

En este artículo se analiza y modela el ruido de acoplamiento en circuitos dinámicos CMOS frente al escalamiento tecnológico considerando diferentes técnicas de inmunidad a ruido.

1. INTRODUCCIÓN

Hoy en día, para obtener sistemas complejos, las dimensiones de los transistores y sus interconexiones, así como las magnitudes de las fuentes que les proporcionan energía (baterías) se están reduciendo (escalando) cada vez más. Sin embargo, este escalamiento también tiene desventajas: i) un aumento de las corrientes de fuga en los dispositivos [1] cuando las fuentes de energía y el voltaje de encendido de los transistores se reducen; ii) el efecto del acoplamiento capacitivo en los circuitos aumenta debido a la mayor densidad de interconexiones, a las mayores frecuencias de operación [4] y al creciente uso de circuitos dinámicos (menos tolerantes al ruido que su contraparte estática) en secciones de alta velocidad de microprocesadores.

En este trabajo se analiza el efecto del ruido de acoplamiento capacitivo en los circuitos dinámicos y el desempeño de circuitos tolerantes a ruido ante el escalamiento tecnológico [2], [3], [4].

2. ESCALABILIDAD DEL RUIDO DE ACOPLAMIENTO

Para estimar la tolerancia al ruido, considérese el circuito latch TSPC (True-Single Phase Clocking) mostrado en la Fig. 1 y supongamos que pasa de fase de precarga a fase de evaluación y que en ese instante se presenta un pulso de ruido. En la Fig. 1b se muestra la primera etapa del circuito con todas las capacitancias asociadas al nodo P concentradas en el capacitor C_L . En la Fig. 1c se ha simplificado la primera etapa (Fig. 1b) a un transistor equivalente (M_{eq}) donde se considera que inicialmente la terminal de drenaje del transistor equivalente está en un

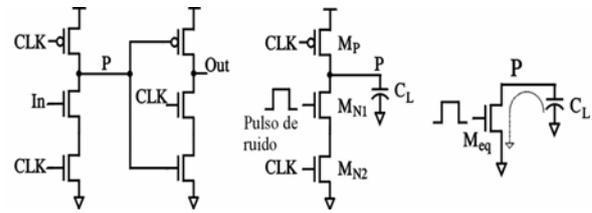


Fig. 1 a) Latch TSPC convencional, b) Latch con carga concentrada y c) modelo simplificado para análisis.

nivel lógico ALTO y la compuerta en nivel lógico BAJO. Si el pulso de ruido tiene una amplitud mayor que el voltaje de umbral V_t en la entrada del latch el capacitor C_L se descarga a través del transistor.

Despreciando la corriente a través del transistor M_p , la corriente I_{CL} a través del capacitor C_L iguala a la corriente I_{Meq} a través del transistor equivalente M_{eq} . La corriente I_{CL} está dada por:

$$I_{CL} = -C_L \frac{dV_p}{dt} \quad (1)$$

en donde V_p es el voltaje en el nodo de salida P.

Ya que el transistor equivalente entra en saturación cuando el voltaje de compuerta a fuente sobrepasa su voltaje de umbral V_t , la corriente que pasa a través del transistor equivalente puede expresarse como [5]:

$$I_{Meq} = K v_{sat} C_{ox} W_{eff} (V_{GS} - V_t) \quad (2)$$

en donde

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_t)} \quad K \equiv \frac{1}{E_c L_{eff} \left(1 + \frac{1}{(V_{gs} - V_t)}\right)} \quad E_c = \frac{2v_{sat}}{\mu_{eff}}$$

Igualando (1) y (2) se obtiene:

$$-C_L \frac{dV_p}{dt} = K v_{sat} C_{ox} W_{eff} (V_{GS} - V_t) \quad (3)$$

Reordenando (3) e integrando resulta:

$$\Delta t = \frac{C_L \left[1 + \frac{2v_{sat} L_{eff} (1 + \theta(V_{GS} - V_t))}{\mu_0 (V_{GS} - V_t)} \right]}{v_{sat} C_{ox} W_{eff} (V_{GS} - V_t)} (V_{OH} - V_{IL}) \quad (4)$$

De (4) puede notarse que V_{GS} es el voltaje en la compuerta del transistor equivalente (figura 1c), y por lo tanto, constituye la amplitud del pulso de ruido aplicado al latch. Representando esta amplitud como An , reemplazando An en (4) y reordenando se obtiene una expresión para estimar la amplitud del pulso de ruido An_{min} necesaria para provocar una transición lógica indeseada en el nodo de salida P para un ancho de ruido de pulso $\Delta t = Wn$ determinado. Esto es,

$$A_{n\min} = V_t + \frac{K_1 \pm \sqrt{K_1^2 + 4W_n K_2 K_3}}{2W_n K_3} \quad (5)$$

en donde

$$K_1 = C_L (\mu_0 + 2\theta v_{sat} L_{eff}) (V_{OH} - V_{IL})$$

$$K_2 = 2C_L v_{sat} L_{eff} (V_{OH} - V_{IL})$$

$$K_3 = v_{sat} C_{ox} W_{eff} \mu_0$$

El primer término de la ecuación (5) representa la fracción de la amplitud del pulso de ruido necesaria para encender el transistor, y el segundo término representa la fracción de la amplitud del pulso de ruido necesaria para descargar la capacitancia C_L desde V_{OH} hasta V_{IL} . Idealmente $V_{OH} = V_{DD}$ y $V_{IL} = 0$.

3. RESULTADOS DE SIMULACION

Se investigaron las tendencias de escalamiento de inmunidad a ruido de un latch TSPC convencional (Fig. 1a) y dos latches implementados con la técnica ventana de transparencia (VT) (Fig. 2a) y la técnica de Bobba [5] (Fig. 2b). La tolerancia al ruido de los latches fue determinada utilizando el modelo escalable del transistor de McFarland [3]. Con el fin de tener un escenario real de escalamiento, la frecuencia de reloj también fue escalada. La degradación de señal de fan-out causada por etapas subsecuentes se simuló con un latch TSPC tipo P.

En la Fig. 4 se muestran las curvas de inmunidad a ruido de los diferentes latches bajo análisis para diferentes longitudes del transistor, donde el ancho de pulso de ruido ha sido normalizado al periodo T de la señal de reloj. El área bajo las curvas representa la robustez al ruido del circuito. Se observa que la tolerancia al ruido disminuye con el escalamiento tecnológico. Así, cuando ambos V_{dd} y V_t se escalan, la inmunidad a ruido se escala en la misma forma ya que es proporcional a ellos. Se puede ver que la técnica VT presenta una mejor inmunidad al ruido para las diferentes tecnologías consideradas. Además, se observó que la diferencia en el consumo de potencia entre las diferentes técnicas se reduce con el escalamiento, debido principalmente al escalamiento agresivo de V_{dd} , el cual ofrece una señal con menor excursión.

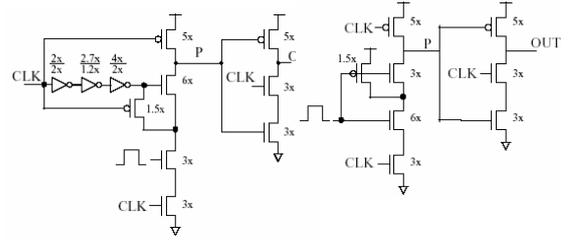


Fig. 2 Latches dinámicos TSPC: a) con técnica VT, b) con técnica de Bobba.

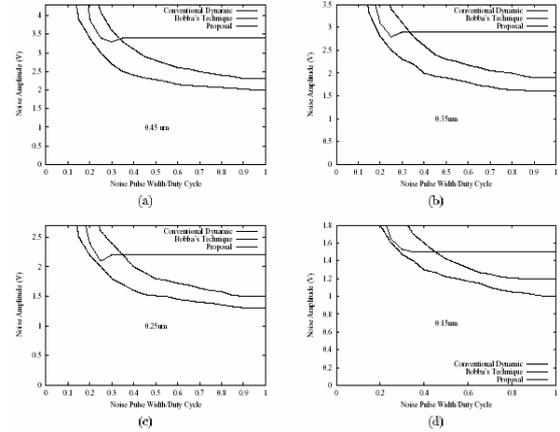


Fig. 3 Curvas de inmunidad a ruido para las tres clases de latch TSPC.

4. CONCLUSIONES

El resultado principal del presente análisis es que la inmunidad al ruido de los circuitos dinámicos se verá reducida con las tecnologías futuras debido principalmente al escalamiento del voltaje de alimentación y voltaje de umbral y al incremento del *crosstalk* en las interconexiones.

5. AGRADECIMIENTOS

Este trabajo fue parcialmente apoyado por el Consejo Nacional de Ciencia y Tecnología (CONACYT-MEXICO) bajo el proyecto No. 5151-Y.

6. REFERENCIAS

- [1] K. Roy, S. Mukhopadhyay and H. Mahmodi-Meimand, "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits". *Proc. of the IEEE*, vol. 91, no. 2, pp. 305-327, Feb. 2003.
- [2] G. W. McFarland, "CMOS technology scaling and its impact on cache delay", Ph.D. Thesis, Stanford University, 1997.
- [3] Kabbani and A. Al-Khalili, "Dynamic CMOS noise immunity estimation in submicron regime", *Proceedings of the IEEE ISCAS*, vol. 1, pp. 529-532, May 1999.
- [4] Fernando Mendoza Hernández, "Design techniques to enhance noise tolerance in CMOS digital dynamic circuits". Ph.D. Thesis, National Institute for Astrophysics, Optics and Electronics (INAOE), México, 2003.
- [5] K. Y. Toh, P. K. Ko and R. G. Meyer, "An Engineering Model for Short-Channel MOS Devices," *IEEE Journal of Solid-State Circuits*, Vol. 23, no.4, pp. 950-957, Aug. 1988.