

# REDES DE DISTRIBUCIÓN DE SEÑAL DE RELOJ PARA SISTEMAS SoC CON ROBUSTEZ A FALLAS DE INTERCONEXIONES ABIERTAS

*Mónico Linares Aranda*

Instituto Nacional de Astrofísica, Óptica y  
Electrónica, INAOE  
Luis Enrique Erro 1. Sta. Ma. Tonantzintla  
Puebla, Pue. Méx. Apdo. Postal 51, 72000.

mlinares@inaoep.mx

*Manuel Salim Maza*

Freescale Semiconductor Mexico  
Complejo Intermex Suite "E",  
Sta. Ma. Tlaquepaque 45601. Jalisco, Méx.

R11231@freescale.mx

## RESUMEN

En sistemas síncronos integrados las Redes de Generación y Distribución de Señales de Reloj, constituidas principalmente de interconexiones, son las más propensas a presentar defectos debido a fallas del proceso de fabricación. Con el fin de lograr un mayor rendimiento de las mismas, en este trabajo se proponen redes locales interconectadas y acopladas que permiten generar y distribuir simultáneamente señal/es de reloj en circuitos integrados con gran robustez a problemas de interconexiones abiertas.

## 1. INTRODUCCION

En sistemas síncronos integrados las *redes de generación y distribución de señales de reloj*, comúnmente referidas como "*Redes De Reloj (RDRs)*", son vitales para temporizar y sincronizar correctamente el funcionamiento de los mismos. Estas RDRs operan a la frecuencia más alta, manejan la mayor carga y abarcan el área más grande de un circuito integrado (CI).

Las RDRs están constituidas principalmente de interconexiones y repetidores (bufers), y son las interconexiones las que dominan (en cantidad) y determinan el desempeño de los circuitos y sistemas fabricados con tecnologías submicrométricas.

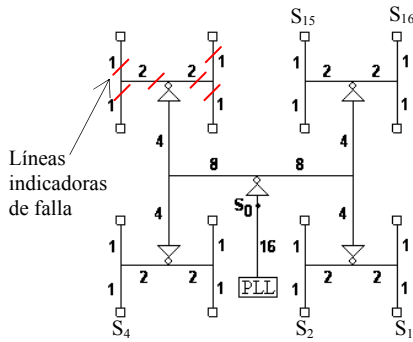
Siendo las interconexiones las que predominan en un circuito integrado, son las más propensas a presentar defectos debido a fallas del proceso de fabricación. Con el fin de lograr un mayor rendimiento de chips funcionales en los diferentes lotes de fabricación, en este trabajo se presentan RDRs diseñadas en base a anillos interconectados y acoplados, las cuales permiten generar y distribuir simultáneamente señal/es de reloj en circuitos integrados con gran robustez a problemas de interconexiones abiertas. Además, estas RDRs muestran gran regularidad y escalabilidad con los avances de la tecnología aún considerando circuitos integrados de tamaño grande, lo cual es muy atractivo para sistemas en un solo chip (SoC).

## 2. FALLAS EN CIRCUITOS INTEGRADOS

En todo proceso de fabricación de CI's se presentan defectos tanto en los dispositivos como en las interconexiones que los unen debido a variaciones del proceso de fabricación, pero principalmente a partículas de polvo (presentes siempre en las mascarillas, en el sistema de proyección, o en el ambiente). Los defectos pueden ser conductores abiertos, contactos cerrados, cortocircuito entre conductores, y muchos otros que pueden causar que los circuitos y sistemas finalmente fallen. En particular, es de vital importancia el defecto de conductores abiertos (roturas) cuya probabilidad es alta en interconexiones de sistemas actuales. Esto es más crítico en CI's con tecnologías que utilizan varios niveles de metal, así como a la complejidad misma del sistema. De aquí la importancia de lograr RDRs que sean robustas a fallas de circuito abierto.

## 3. REDES DE DISTRIBUCIÓN DE SEÑAL DE RELOJ

Actualmente la estructura de RDR más utilizada es la de *árbol H*, mostrada en la figura 1a para el caso de árbol H de dos etapas alimentando a 16 nodos (sumideros). Como se observa, la señal de reloj es generada o parte de un sumidero inicial  $S_0$  y es distribuida a 16 sumideros finales  $S_i$ ,  $i=1,2,\dots,16$ . El mismo árbol H, pero con fallas se muestra en la figura 1b, indicándose con números en las interconexiones cuántos sumideros finales se quedarían sin señal de reloj si sucede una falla de circuito abierto en ellas. Como se puede ver, de suceder una ruptura en la interconexión que lleva la señal de reloj (la cual puede provenir de un circuito de amarre de fase o de un oscilador de cristal) al sumidero inicial de la red  $S_0$ , entonces, todos los sumideros finales de la red  $S_i$ ,  $i=1,2,\dots,16$ , se quedarán sin señal de reloj. Si bien existen técnicas para prevenir estas fallas, como el uso de interconexiones amplias y el uso de rejillas; sin embargo, esto trae como consecuencia un mayor uso de metal lo cual afecta el desempeño de la red ya que redundante en mayor capacitancia y en consecuencia mayor consumo de potencia de la RDR.

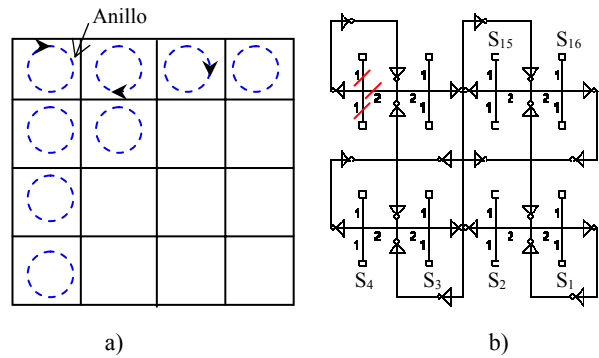


**Fig. 1** RDR con topología de árbol H con interconexiones abiertas

#### 4. REDES DE ANILLOS INTERCONECTADOS Y ACOPLADOS

Con el fin de obtener RDRs con mayor confiabilidad se desarrollaron *RDRs locales en base a arreglos osciladores interconectados y acoplados* [1], [2], las cuales se basan en la estructura de rejilla mostrada en en la figura 2a, en donde cada cuadro es un anillo interconectado y acoplado con sus vecinos. Entre las diversas formas de acoplamiento optimizado resalta la RDR de anillos interconectados acoplados en forma de ajedrez mostrado en la figura 2b, alimentando a los mismos 16 sumideros que el árbol H de la figura 1. Para ver cómo afectan las interconexiones abiertas el funcionamiento y desempeño de la red, en la figura 2 se muestra el arreglo de anillos interconectados y acoplados en forma de ajedrez con fallas. Los segmentos sin número están respaldados por al menos otro segmento de tal forma que aunque exista una falla crítica el arreglo sigue funcionando y la señal de reloj llega a todos los sumideros por otro camino diferente al de la falla.

Para observar el impacto de varias fallas críticas en arreglos grandes, estos fueron extendidos hasta 64 sumideros con cobertura de 12mmx12mm. En las tablas 1 y 2 se presentan las figuras de mérito de arreglos acoplados en forma Rejilla y Ajedrez, respectivamente, alimentando 64 sumideros ante diferente número y posición de las fallas críticas. Se utilizaron parámetros de diseño de una tecnología AMS de 0.35  $\mu\text{m}$  y una alimentación de 3.3V. Se observó que una falla puede generar un corrimiento de hasta 10.5% del periodo de la señal reloj tanto para el arreglo rejilla como el arreglo ajedrez; mientras que para el caso de tres fallas la frecuencia de operación de los arreglos disminuye solo 1.9% y 2.1%, respectivamente. En el caso extremo de siete fallas se observa que los arreglos resultantes son simétricos y cuentan con dos anillos intactos acoplados entre ellos por un segmento de metal que permiten a los arreglos seguir funcionando. De las tablas 1 y 2 se aprecia que estos arreglos presentan un corrimiento de 10% y 14%; y una desviación en el ciclo de trabajo (CT) de 7% y 9%. La frecuencia de operación de los arreglos disminuye solo 0.8% y 2.2%, y por ende el consumo de potencia disminuye 9.6% y 10.4 %, respectivamente. En las tablas,  $V_{s_{\min}}$  corresponde al barrido de voltaje en los nodos de salida.



**Fig. 2** RDR de anillos interconectados acoplados en ajedrez alimentando 16 sumideros con una cobertura de 6mmx6mm.

**Tabla 1.** Figuras de mérito para 64 anillos acoplados en forma Rejilla ante diversas fallas críticas.

Num. De fallas	Fallas	f (GHz)	ClkSkw (%)	Pow (mW)	$V_{s_{\min}}$ (V)	CT (%)
0	-	2.127	4.86	177.21	1.62	3.0
1	1	2.121	10.38	173.78	1.14	6
	3	2.130	5.56	175.80	1.60	3.0
	5	2.120	5.54	175.80	1.60	3.2
	7	2.143	10.49	173.78	1.14	8.1
3	1, 4 y 6	2.086	12.24	169.76	1.15	8.7
5	1 a 5	2.135	14.90	166.37	1.14	7.3
7	1 a 7	2.109	10.52	160.18	1.16	7.3

**Tabla2.** Figuras de mérito para 64 anillos acoplados en forma Ajedrez ante diversas fallas críticas

Num. De fallas	Fallas	f (GHz)	ClkSkw (%)	Pow (mW)	$V_{s_{\min}}$ (V)	CT (%)
0	-	2.254	4E-13	167.70	1.62	1.7
1	1	2.263	10.49	164.43	1.12	8.6
	3	2.232	3.88	165.33	1.58	2.3
	5	2.266	3.94	165.33	1.58	3.1
	7	2.247	10.42	164.43	1.12	8.2
3	1, 4 y 6	2.207	12.35	160.68	1.13	8.0
5	1 a 5	2.291	18.01	155.86	1.13	10.5
7	1 a 7	2.204	14.01	150.25	1.14	9.0

#### 5. CONCLUSIONES

Se presentaron RDRs interconectadas y acopladas que muestran ser más robustas a fallas de circuito abierto. Estas redes pueden ser aplicables a sistemas en un solo chip (SoC), conservando aceptables características de funcionamiento. Además, son obtenidas con menor esfuerzo de diseño, pues este se reduce al de un solo oscilador de anillo repetido las veces necesarias para lograr una cobertura dada.

#### Agradecimientos

Al Conacyt por el apoyo otorgado. Proyecto 51511-Y.

#### REFERENCIAS

- [1] Manuel Salim Maza, "Generación y distribución de señal de reloj para sistemas en chip". Tesis Doctorado, Junio 2005, INAOE México.
- [2] M. Salim Maza and M. Linares Aranda, "Analysis and Verification of Interconnected Rings as Clock Distribution Networks". Proc. of the IEEE ACM Great Lakes Symposium on VLSI 2004, pp. 312-315.