

ANÁLISIS DE ESTRUCTURAS DE SUMADORES DIGITALES PARA SU INCORPORACIÓN EN DOCENCIA¹

Gashaw Sassaw, Adrián Estrada, Carlos J. Jiménez, Manuel Valencia

Instituto de Microelectrónica de Sevilla – Dpto. de Tecnología Electrónica (Universidad de Sevilla)

sassaw@imse.cnm.es, estrada@imse.cnm.es, cjesus@imse.cnm.es, manolov@dte.us.es

ABSTRACT

En esta comunicación se revisan los sumadores digitales, se clasifican según el transporte de acarreo serie/paralelo y se presentan sus datos en área, velocidad y consumo para tecnologías submicrónicas. Teniendo en cuenta las características y prestaciones actuales de estos sumadores y la estructura académica curricular universitaria común, se propone una implementación concreta de su docencia en una carrera universitaria.

1. INTRODUCCIÓN

Las tecnologías de circuitos integrados tienen un impacto muy notable en la realización de sistemas digitales, destacando: 1/Las tecnologías de implementación han evolucionado hacia el uso de circuitos con millones de puertas, tanto ASICs (*Application Specific Integrated Circuits*) como dispositivos programables de alta densidad tipo FPGA (*Field Programmable Gate Array*); 2/los criterios de diseño de circuitos digitales tradicionalmente limitados al coste (medido actualmente en área o en bloques lógicos ocupados), incorporan ahora los de velocidad de operación y reducción en el consumo de potencia; y 3/este campo de conocimientos continúa evolucionando en diseño y en tecnología.

Por otra parte, el diseño de operadores aritméticos es, entre los sistemas digitales, uno de los más importantes y, probablemente, el que mayor atención investigadora ha recibido en la historia de la electrónica digital, manteniéndose actualmente como línea de interés totalmente activa. Entre los operadores aritméticos, los más determinantes son los circuitos sumadores, esenciales en las demás operaciones. Existen publicadas múltiples estructuras de sumadores con una amplia diversidad de características. Algunas de ellas años atrás eran consideradas no convenientes por diversas causas (p. ej., por coste excesivo), pero ahora vuelven a ser examinadas ante el cambio de criterios de diseño

sobrevenido del avance tecnológico. Otras, simplemente, son propuestas recientes que dan solución a los requerimientos de área, velocidad y consumo exigidos por las nuevas tecnologías.

Los cursos universitarios de diseño digital deben incorporar esta situación, ya que la facilidad para el diseño en las nuevas tecnologías permite a los ingenieros actuales diseñar unidades aritméticas adaptadas a sus necesidades específicas, en vez de usar, como antes, circuitos de propósito general. Se debe pues revisar cómo incorporar esta materia a la enseñanza universitaria, con el fin de ofrecer a los futuros profesionales una visión suficientemente actualizada y completa.

En este trabajo se hace una propuesta de docencia universitaria para los sumadores digitales. Para ello se tiene en cuenta tanto los aspectos curriculares (diferente grado de preparación del alumnado y tiempo disponible en los distintos cursos), como las aportaciones de las diferentes estructuras de sumador (complejidad y ventajas en área, tiempo o consumo). Con ello se plantea la selección de las estructuras a impartir en cada etapa del diseño curricular.

En lo que sigue, en primer lugar se presenta una revisión de las estructuras de sumadores más empleadas actualmente [1][2][3]. Posteriormente, se analizan los datos en área, velocidad y consumo que hemos obtenido recientemente para tecnologías submicrónicas [4]. Por último, se propone una forma de incorporar los sumadores a los diferentes niveles de enseñanza universitaria y se extraen las principales conclusiones.

2. ESTRUCTURAS DE SUMADORES

Como paso previo a clasificar los sumadores, haremos una selección ya que existen múltiples propuestas conocidas, abarcando una gran diversidad de aportaciones que incluye: el nivel (físico, eléctrico,...), el tipo de sumador (si es sobre 1 bit o sobre n-bits) e incluso sobre la repre-

1. Este trabajo ha sido financiado en parte por los proyectos TEC2004-00840/MIC del Ministerio de Educación y Ciencia (España) y TIC2006-635 de la Junta de Andalucía (España).

sentación del número (posicional, logarítmica, de residuos) [5][6][7].

Nuestro interés está en los sumadores paralelos ($S=A+B$) de n bits a nivel lógico para notación posicional. El sumador paralelo básico es el sumador de rizado (*Carry-Ripple Adder*, CRA), formado con el encadenamiento serie de n *Full Adders* (FA) o sumador completo de 1 bit ($C_{i+1}S_i=A_i+B_i+C_i$, siendo $C_{i/i+1}$ el acarreo). En esta estructura, el tiempo de retraso al hacer la suma aumenta linealmente con el número de bits n , ya que el acarreo se debe propagar en serie por todas las etapas ($C_i \rightarrow C_{i+1}$), por lo que hay que sumar el retraso de cada etapa con el acumulado en las anteriores. Esta es la gran limitación en la velocidad de los sumadores y en resolver este problema se ha centrado gran parte de las aportaciones. Atendiendo a la forma en que se ataca este problema, los sumadores se pueden clasificar en dos categorías (Figura 1):

1. Transporte serie del acarreo. Estos sumadores propagan el acarreo desde las etapas menos significativas hacia las más significativas como, para el caso de un bit, muestra la Figura 1.a. Además del clásico CRA, en este grupo se incluyen:
 - SCRA (*Switched Carry-Ripple Adder*) o sumador de Manchester. La cadena de transporte serie se realiza mediante *switches* que propagan/generan/anulan el acarreo a la etapa siguiente.
 - CSeA (*Carry-Select Adder*) o sumador con selección de acarreo. Estos sumadores tienen duplicado el blo-

que de transporte serie, uno para acarreo de entrada 0 y otro para acarreo de entrada 1, y normalmente la estructura de transporte abarca varios bits a la vez. Otra variante de interés para transporte de acarreo serie en grupos de bits es la de los sumadores con salto de acarreo (*Carry-Skip Adder*).

- CSaA (*Carry-Save Adder*) o sumador con ahorro de acarreo. Se trata de sumadores de múltiples datos, con aplicación directa en los multiplicadores. En el caso genérico, la estructura de transporte del CSaA evita el acarreo serie al incorporar la salida de acarreo de una celda directamente a la entrada de suma en la columna de peso siguiente. No hay, pues, retraso por acarreo salvo en las celdas extremas.
2. Generación de acarreos en paralelo. Estos sumadores generan el acarreo de las diferentes columnas directamente de las entradas de suma y del acarreo de entrada, esto es, generan los acarreos en paralelo, como se muestra en la Figura 1.b. En este grupo destacan:
 - CLA (*Carry lookahead adder*) o sumador con acarreo adelantado. La generación del acarreo de cada celda se obtiene mediante ecuaciones derivadas directamente de los datos de entrada de esa etapa y de las anteriores, usando únicamente tres niveles de puertas, independiente del número de bits a sumar, n . Una variante es el sumador de Ling.
 - PPA (*Parallel Prefix Adders*) o sumadores paralelos prefijos. Se trata de una extensión del CLA, en la que el acarreo se obtiene mediante una operación asociativa que permite utilizar técnicas similares a las de la computación paralela y que da lugar a un árbol de computación de acarreos. Existen distintas variantes (*Brent-Kung*, *Kogge-Stone*, *Ladner-Fischer*, *Han-Carlson*) según se prime el área, la velocidad o el consumo.

3. CARACTERIZACIÓN DE SUMADORES

Estas estructuras de sumadores han sido diseñadas y caracterizadas en tecnologías fuertemente submicrónicas. La metodología se ha basado en describir en VHDL cada una de las estructuras y emplear herramientas de síntesis para su implementación en una tecnología concreta. Esta metodología tiene como principales ventajas que es independiente de la tecnología en las primeras etapas del diseño y que utiliza flujos de diseño comerciales [4].

El proceso de caracterización se ha centrado en la obtención del área, el retraso máximo y el consumo de potencia. Para estimar la potencia dinámica consumida, es necesario estimar las transiciones en los nodos para lo que se ha utilizado un simulador lógico. Estos circuitos han sido caracterizados en diferentes tecnologías, mostrando aquí los resultados obtenidos para la tecnología UMC 130nm. Los diseños han sido realizados para 16, 32 y 64 bits.

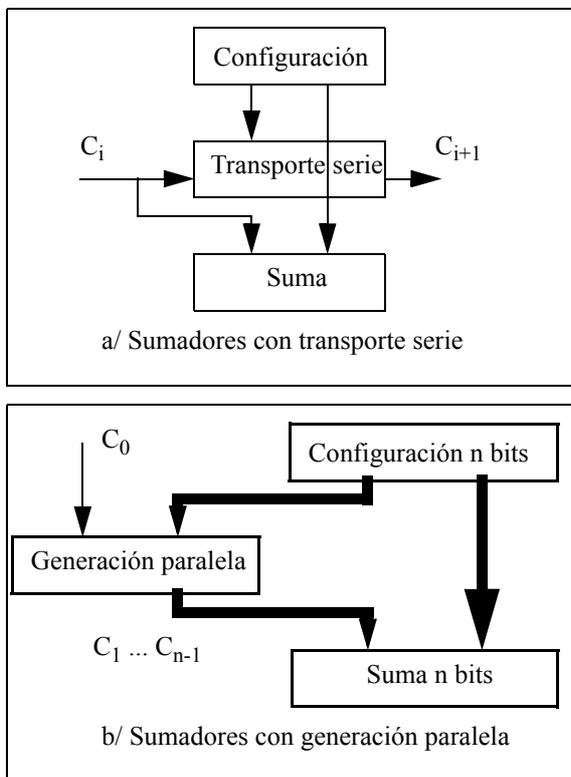


Figura 1 Clasificación de sumadores

La Figura 2 muestra el consumo de área de cada uno de los sumadores en función del número de bits. Como se puede observar, los sumadores paralelos prefijos son los que consumen mayor área, notándose aún más esta diferencia a medida que aumenta el número de bits de los sumandos lo que refleja la complejidad que presentan los árboles de computación que los forman.

Sin embargo, y como se observa en la Figura 3, los sumadores paralelos prefijos son los que presentan un menor retraso, siendo además el crecimiento de dicho retraso, prácticamente lineal respecto al número de bits. Son pues idóneos para aplicaciones que precisen alta velocidad. El resto de sumadores tiene un comportamiento bastante más lento, siendo el sumador Manchester el que tiene un peor comportamiento. Es de destacar que el retraso del sumador rizado tiene un comportamiento casi lineal con el número de bits y, aunque es el que presenta un peor valor para 16 bits, no es así para realizaciones con 64 bits.

En relación al consumo (Figura 4), para el caso de 16, 32 y 64-bits el sumador que menos consume presenta es el basado en la estructura de acarreo adelantado, mientras que el que más consume es el sumador basado en la estructura con selección de acarreo. Los sumadores paralelos prefijos, ofrecen una variación del consumo similar para el mismo número de bits. En término medio

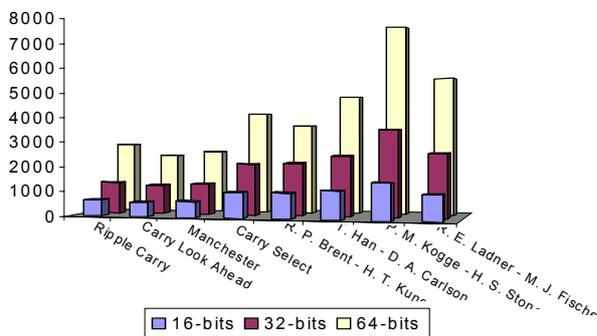


Figura 2: Consumo de área en función del número de bits.

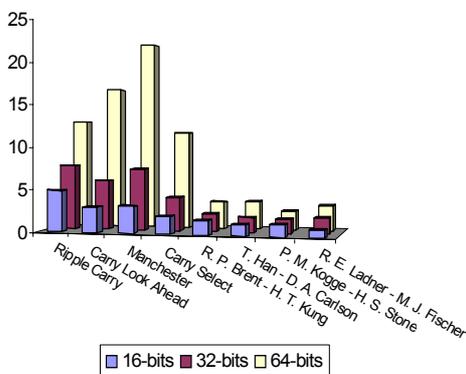


Figura 3: Retraso en función de la longitud de los operandos

los sumadores paralelos prefijos son una buena opción para aplicaciones que requieran un bajo consumo de potencia

Se puede concluir que los sumadores paralelos prefijos, junto con las estructuras de acarreo adelantado, son las mejores opciones para aplicaciones que requieran alta velocidad y bajo consumo. Sin embargo, las otras estructuras, son ideales para aplicaciones que tengan restricciones de área.

4. PROPUESTA DE IMPLEMENTACIÓN CURRICULAR

A la vista de las estructuras de sumadores y de los resultados de las caracterizaciones, puede hacerse una recomendación de su inclusión en los diferentes niveles de la docencia universitaria. La propuesta que hacemos se estructura en cuatro niveles de docencia: docencia en cursos básicos, en cursos de nivel avanzado, en cursos de postgrado y finalmente en investigación.

4.1. Docencia en cursos básicos.

En este nivel de docencia los conocimientos de los alumnos son todavía muy limitados y, además, suele disponerse de poco tiempo para impartir toda la materia. Por ello creemos que en este nivel se deben presentar los sumadores conceptualmente más simples aunque en uso, el de rizado y el Manchester, con una doble visión: lógica y temporal. La visión lógica, además de explicar su funcionamiento, incluiría los problemas de desbordamiento y la recuperación de resultados en caso de desbordamiento. En la visión temporal, se usaría un modelo de retraso básico (el unitario) para justificar el problema del tiempo de suma. Fuera de este curso quedarían los aspectos a nivel eléctrico (como la implementación del FA) o temporales (como el crecimiento del retraso en la cadena Manchester al aumentar el número de *switches*).

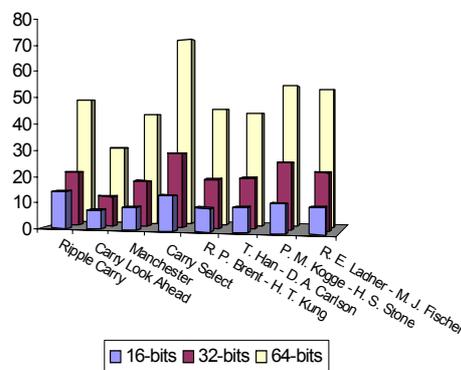


Figura 4: Consumo en función de la longitud de los operandos.

4.2. Docencia en cursos avanzados.

En estos cursos el nivel de conocimientos de los alumnos permite introducir discusiones sobre los problemas que pueden aparecer en la propagación del acarreo y las soluciones que se presentan. Es por eso recomendable la presentación en este nivel de las estructuras de sumador con acarreo adelantado y el sumador con selección de acarreo. En este nivel es importante incluir y relacionar los compromisos adoptados: p. ej., que la disminución del retraso se hace a costa de un aumento en la complejidad y, por lo tanto, de los recursos consumidos.

4.3. Docencia en cursos de postgrado.

Los cursos de postgrado son el lugar adecuado para la introducción de los sumadores paralelos prefijos. Estos sumadores tienen una justificación teórica compleja, dando lugar a estructuras también complejas. Es por ello que se desaconseja su introducción en otros cursos, pero su mejor comportamiento, sobre todo relativo al retraso y al consumo de potencia, hace que sean utilizados en aplicaciones de altas prestaciones. Asimismo, en postgrados con microelectrónica, se incluirán las implementaciones CMOS y las consideraciones de diseño a nivel de transistor y geométrico.

4.4. Investigación.

Un último apartado se requiere para el nivel de trabajo de investigación. Muchas son las líneas abiertas hoy en día, centradas en mejorar aspectos concretos. Así por ejemplo, en el campo de las estructuras, son los sumadores paralelos prefijos y las estructuras híbridas sobre los que más se está investigando. Otras líneas importantes son las de la caracterización de precisión y el diseño a distinto nivel o con diferentes objetivos (optimización de celdas para velocidad o consumo, diseños de bajo ruido para circuitos mixtos analógico-digital, etc.).

5. CONCLUSIONES

En esta comunicación se ha presentado una propuesta de incorporación a la docencia de las distintas estructuras de sumadores. Para ello se ha realizado un estudio de las estructuras más habituales que aparecen en la literatura y se ha establecido una clasificación en función de la forma de generar los acarros de cada etapa (serie o paralelo).

Para disponer de datos realistas, se ha realizado una caracterización de los sumadores en una tecnología submicrónica, midiéndose sus áreas, velocidad y consumo en las tecnologías más importantes. De aquí se concluye que no hay una mejor estructura en términos absolutos, sino que depende de los objetivos de implementación.

En base a las estructuras y a los resultados obtenidos en la caracterización se ha propuesto una implemen-

tación curricular que se estructura en cuatro niveles de docencia universitaria habituales. En esta propuesta se avanza desde el nivel lógico y temporal más simple y los sumadores más sencillos (sumador de rizado y Manchester), hasta el más profundo e innovador (investigación), que incluirá diseño y caracterización de implementaciones submicrónicas de las estructuras más avanzadas de sumadores.

6. REFERENCIAS

- [1] Digital arithmetic, Milos D. Ercegovac, and Thomas Lang, ed. Morgan and Kauffmann, 2004
- [2] Computer arithmetic algorithms, Israel Koren, ed. A.K. Peters. 2nd Edition, 2002
- [3] Circuitos integrados digitales, Jan M. Rabaey, Ananthan Chandrakasan, ad Borijove Nikolic, Prentice Hall, 2004.
- [4] A. Estrada Perez, "Metodología de caracterización de circuitos aritméticos para tecnologías submicronicas", Trabajo de investigación del programa de doctorado Informática Industrial, Univ. de Sevilla, septiembre 2005.
- [5] High-Performance System Design: Circuits and Logic, V. G. Oklobdzija, IEEE Press, 1999.
- [6] Y. Choi, and E. E. Swartzlander, Jr, Parallel Prefix Adder Design with Matrix Representation, Proc. 17th IEEE Symposium on Computer Arithmetic, 2005, pp. 277-281.
- [7] S. Knowles, A Family of Adders, Proc. 15th IEEE Symposium on Computer Arithmetic, 2001, pp. 277-281.